

光通信用面発光レーザ(VCSEL)の高性能化  
に関する研究

平成 15 年度

大磯, 義孝

## 第 1 章 序論

1.1	背景	1
1.2	VCSEL の特徴	3
1.3	VCSEL の研究の歴史と現状	5
1.4	本研究の目的と構成	9
	参考文献	11

## 第 2 章 上面発光型 0.85 $\mu\text{m}$ 帯 VCSEL

2.1	緒言	16
2.2	VCSEL のレーザ発振条件	16
2.3	0.85 $\mu\text{m}$ 帯 VCSEL の作製	29
2.4	作製工程	38
2.5	VCSEL の特性評価	41
2.6	2 次元アレーレーザ	48
2.7	まとめ	55
	参考文献	56

## 第 3 章 下面発光型 0.85 $\mu\text{m}$ VCSEL

3.1	緒言	58
3.2	下面発光型と上面発光型 VCSEL	58
3.3	下面発光型 VCSEL の作製	60
3.4	下面発光型 VCSEL の素子特性	64
3.5	まとめ	72
	参考文献	73

## 第 4 章 wafer fusion 法を用いた 1.55 $\mu\text{m}$ VCSEL

4.1	緒言	75
4.2	VCSEL の長波長化へのアプローチ	75
4.3	wafer fusion 法	77
4.4	接着ウェハの特性評価	82
4.5	端面発光型半導体レーザの作製	87
4.6	1.55 $\mu\text{m}$ 帯 VCSEL の検討	89
4.7	1.55 $\mu\text{m}$ 帯 VCSEL の作製	96
4.8	1.55 $\mu\text{m}$ 帯 VCSEL の特性	98

4.9	高出力化の検討	99
4.10	まとめ	101
	参考文献	103
<b>第5章 薄膜化 wafer fusion 法</b>		
5.1	緒言	106
5.2	薄膜化 wafer fusion 法	107
5.3	薄膜化 wafer fusion 法プロセスの検討	108
5.4	接着ウェハの特性評価	112
5.5	端面発光型半導体レーザの作製	118
5.6	まとめ	123
	参考文献	125
<b>第6章 埋込み型 1.55 <math>\mu\text{m}</math>帯 VCSEL</b>		
6.1	緒言	127
6.2	埋込み VCSEL 構造	127
6.3	横モード制御	128
6.4	埋込み VCSEL の作製	132
6.5	1.55 $\mu\text{m}$ 帯埋込み型 VCSEL の特性	139
6.6	まとめ	148
	参考文献	149
<b>第7章 結論</b>		
	参考文献	154
	本研究に関連する論文リスト	157

# 第1章 序論

## 1.1 背景

近年、インターネットをはじめとした情報通信は、音声から画像、そして動画と大量の情報を瞬時に伝送、処理することが必要となり、従来とは比べものなく大容量の通信システムが要求されるようになってきた。このため、電気通信を主体としたエレクトロニクスから、光ファイバ網をはじめとした光エレクトロニクス技術の進展が益々重要性を増してきている。光通信技術を支えるデバイス、即ち、光源、変調器、光ファイバ、光アンプ、光検出器等は、世の性能要求が高まるにつれ、それぞれのデバイスに様々な工夫が施され、その要求に応えてきた。そして現在では、40 Gbit/s の伝送が研究開発段階に入り、信号を多重した伝送では Tbit/s レベルの伝送が報告されている。これらの光通信システムの光源として、広く用いられているのが半導体レーザーであり、現在では光通信のキーデバイスとして不動の地位を確立している。

半導体レーザーの開発は、1958 年頃の Bascov らの一連の研究や Schawlow と Townes によるレーザー理論に端を発し<sup>1)</sup>、1962 年における GaAs レーザの発振<sup>2,4)</sup>、1963 年の Kroemer による高注入キャリア密度達成のためのダブルヘテロ構造の提案<sup>5)</sup>、1970 年、Alferov の GaAs/AlGaAs ダブルヘテロ構造による室温連続発振と続く<sup>6)</sup> (この業績により Kroemer と Alferov は 2000 年にノーベル物理学賞受賞者となる)。1970 年代後半からは、光ファイバが長波長帯 (当時は 1.1  $\mu\text{m}$ ) に低損失領域があることがわかると、発振波長と格子整合の関係から InP 系の材料が開発され始めた。そして、光ファイバを用いた光通信が本格的に検討されるに従い、半導体レーザーへの要求条件が一段と厳しさを増してきた。まず、レーザー発振の不安定動作を取り除くために、横モードの単一化を目指して多くの機関から様々な方法が提案された<sup>7,8)</sup>。中でも埋込み構造 (Buried Heterostructure: BH)<sup>9)</sup> は電流と光閉じ込めを同時にできるため、現代でも基本的な作製方法と位置付けられている。次いで、動的に安定な単一縦モード動作が急務となると、ブラッグ反射型 (Distributed Bragg Reflector : DBR)<sup>10)</sup> や分布帰還型 (Distributed FeedBack : DFB)<sup>11)</sup> が、多くの研究者の手によって開発された。そして、この単一縦モード通信が確立されるとともに、今日の光通信の繁栄の根幹が揺るぎないものとなっていった。

さて、これまで述べてきた半導体レーザー構造の形態は、端面発光型 (edge emitter) もしくは導波路型 (waveguide) レーザと呼ばれ、基本的には基板面方向に平行な導波

路が形成されており、共振器の作製に欠かせないミラーとなる端面は、劈開によって作られている。劈開とは結晶の面方位を利用することによって切断する手法で、原子スケールで平坦性が確保されるため、良好な反射面を得ることができる。しかしながら、結晶を割りやすくするために 100  $\mu\text{m}$  程度まで薄くする必要があったり、劈開後の端面に傷や汚れ等がつかないように十分に配慮しなければならない。また劈開後、マウントして動作テストを行い、素子特性を調べることで初めてスクリーニングが可能となるなど、この作業工程の多さのため製造コストを下げられないといった問題が生じている。また素子作製後、光ファイバに接続する際、レーザの発光パターンが非対称な形状をしているため、結合のトレランスが小さくなり、実装コストが下げられず、これも光通信用半導体レーザが電子デバイス並みに容易に普及しない大きな要因となっている。

一方、これとはまったく構造の異なるものとして、基板面に垂直に共振器を形成して、半導体レーザを作製しようという提案が伊賀らによって提案され、1979 年に電流注入により、初めてレーザ発振が確認され<sup>12)</sup>、面発光レーザ(Surface-Emitting Laser Diode)と命名された。この構造は劈開が不要で、ウェハ状態で素子のテストが可能で、かつ光ファイバとの結合が容易といった特徴を持っていた。その後基板に水平に形成された共振器からの出力光を 45 度の反射鏡や回折格子を使って上方に取り出すタイプの面発光レーザも開発されるようになり<sup>13-14)</sup>、これと区別するために、垂直共振器(Vertical-Cavity)という言葉が付加され、Vertical-Cavity Surface-Emitting Laser (VCSEL) と呼ばれる名前が一般的となった。以降、本論文で扱う垂直共振器型面発光レーザを VCSEL と略記することにする。

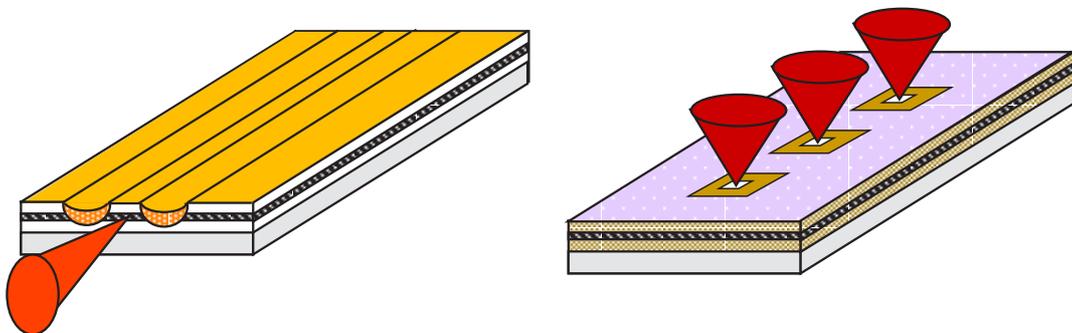


図 1.1 端面発光型レーザと面発光レーザ (VCSEL) の模式図

## 1.2 VCSEL の特徴

VCSEL の研究開発が活発化した要因は、従来の端面発光型レーザに対して以下のような優れた特徴があるためである。<sup>15)</sup>

- ( 1 ) プロセス前のウェハ段階で発振波長の予測が可能。
- ( 2 ) 素子分離前にウェハ上でのテストが可能。
- ( 3 ) 低閾値電流、かつ低消費電力動作。
- ( 4 ) 低電流値で高速直接変調が可能。
- ( 5 ) 短共振器構造のため単一縦モード動作。
- ( 6 ) 対称狭出射ビームのため光ファイバとの高効率結合が可能。
- ( 7 ) 高密度 2 次元アレー化が可能。
- ( 8 ) 他のデバイスと集積化が可能。

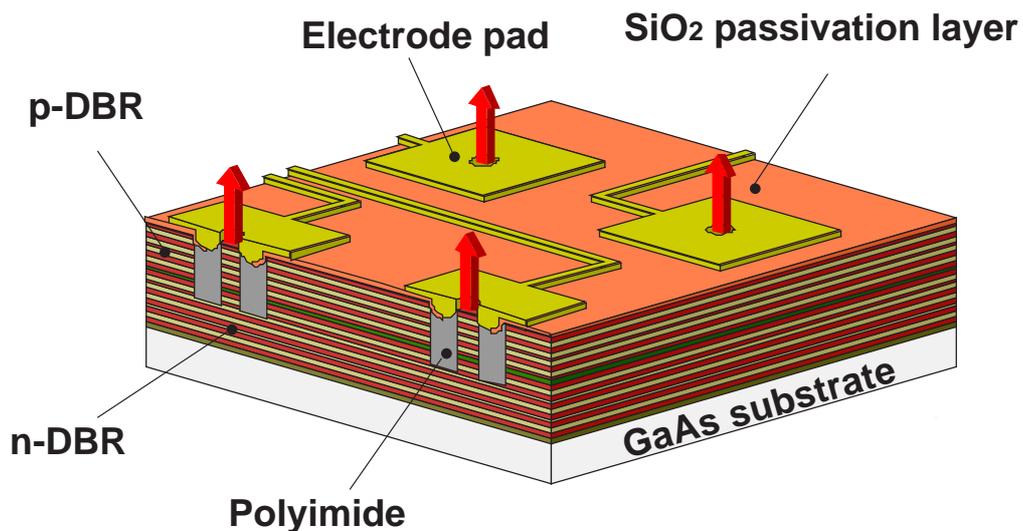


図 1.2 2次元 VCSEL アレーの模式図

( 1 ) は半導体多層膜ミラーを活性層の両側に挟んだ構造になっているため、結晶成長後、結晶表面から可変波長レーザや白色光、もしくは SLD (スーパーluminescenceダイオード) といった光源を入射させて、その反射スペクトルを測定すれば共振器波長が予想可能となる。( 2 ) は劈開をしなくても半導体レーザが作製出来ることによるもので、低コスト化を可能にする要因となる。( 3 ) は極端にミラー損失を少なくした構造になっているため、低電流値で高効率が達成可能となる。端面発光型レーザに比

ベ素子抵抗が多少大きくても動作電流が小さいので、消費電力が小さくなる。また自然放出光の制御可能な構造ともなっているため、自然放出光がレーザモードに寄与する割合、いわゆる 値が桁違いに大きいことにより、低閾値電流化が実現しているという報告もある<sup>16)</sup>。(4)は共振器体積が桁違いに小さいため、端面発光型レーザの1/10~1/100程度の低電流で10 Gbit/s 高速変調が可能となっている<sup>17,18)</sup>。また(5)は、端面発光型レーザの縦モード間隔が数 nm に対して、VCSELの縦モード間隔は短共振器構造のため、約50~100 nm程度となり、反射ミラーの帯域内に共振器波長が一つしか存在しないことによる。(6)は出射方向に対して、光閉じ込めが等方的な構造になっているため、遠視野像が対称性をなすことによる。これにより、光ファイバとの結合が容易となり、結合効率が90%という報告もある<sup>19-20)</sup>。(7)はVCSELならではの構造的特徴のもので、2次元集積化可能なことから各々独立駆動可能な2次元のアレーレーザ<sup>21-23)</sup>や、多波長アレーレーザ<sup>24-27)</sup>、位相同期レーザ<sup>28,29)</sup>、といった試みも報告されている。(8)は従来の半導体レーザでも可能であるが、劈開が不要で、かつ2次元化による集積メリットが期待されることから電子デバイスとの集積等が報告されている<sup>30,31)</sup>。

以上のように、VCSELは端面発光型レーザに比べて優れた特徴を有しているが、以下に示すような解決すべき課題が残っている。

- (9) VCSELの結晶成長の際、高精度の膜厚制御が要求される。
- (10) 2次元アレー化した場合、変調帯域が小さい。
- (11) 単一モード動作条件での光出力が小さい。
- (12) 長波長帯(1.3~1.55 μm帯)、赤色帯(0.6~0.7 μm帯)のVCSELの温度特性が悪い。

等である。

(9)はVCSELの成長膜厚は、0.85 μmの短波長帯で約7~9 μmまで及び、レーザの高性能な特性を得るためには、結晶成長中の組成の揺らぎを抑え、かつ成長膜厚を1%程度以下まで制御する必要がある。これはVCSELを構成する各層の膜厚揺らぎが、数原子層以内であることに相当し、成長装置に高精度な膜厚制御性が要求される。また、結晶成長ごとの膜厚変化は、成長原料の残留量依存性や配管温度の変化、基板の温度分布、基板の厚さなど様々な要因が考えられ、高精度な膜厚制御を再現することは難しい。このため成長中に膜厚をモニターすることで解決する試みもなされている<sup>32)</sup>。(10)は、2次元アレー化にした場合、配線長の延長に伴う寄生容量の増加によ

るものである。これにより電氣的に変調帯域の制限が生じる。現在、光源に要求される変調帯域は数 GHz にまで及ぶため、素子単体の電気容量は配線も含めて、サブ pF 以下の値が必須となる。(11)は、光の出射側の反射率が高い構造となっており、かつ横モードの光の閉じ込めが難しい構造となっているためである。(12)は長波長帯、赤色帯ともに高反射率、低熱抵抗、低光吸収に優れたミラーとなる材料に乏しく、また大きなバンドオフセットを有するクラッド層の材料にも乏しいため、活性層自体の特性温度が低い材料系となっているためである。

### 1.3 VCSEL 研究の歴史と現状

VCSEL は光の進行方向の利得領域長が端面発光型レーザの典型的な  $200 \sim 300 \mu\text{m}$  程度に比べて、数百 と  $1/10000$  程度以下であるため、レーザ共振器の Q 値を同等にするには、光を何度も往復させる必要がある。このため、端面での光の反射率を高めることがレーザ発振を得る必須条件となる。1979 年、最初に 77 K パルス動作でレーザ発振が確認された構造は、InP 基板上に活性層を成長し、上下の両面に 90 % 程度の反射率を持つ金の薄膜を蒸着させて反射器を形成していた<sup>12)</sup>。その後、特性温度の良い GaAs 系活性層の材料で研究が行われ、1988 年、誘電体多層膜を用いて DBR 構造を形成し、GaAs 基板上の VCSEL で室温連続動作が確認され、その翌年に報告された<sup>33)</sup>。しかしながら、閾値電流や光出力等の特性において端面発光型レーザに対して大きな優位性を示すまでには至らなかった。

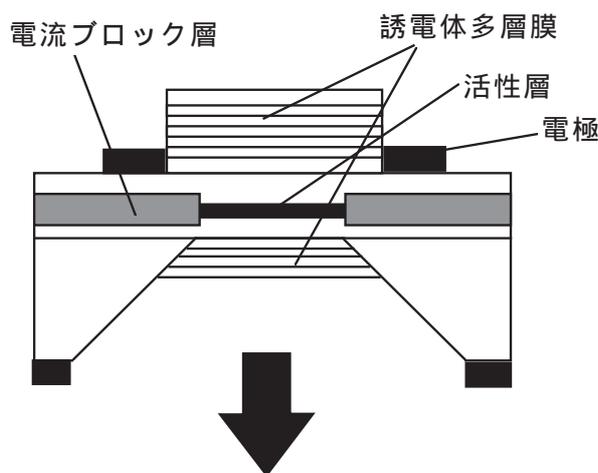


図 1.3 誘電体多層膜を用いた VCSEL 構造

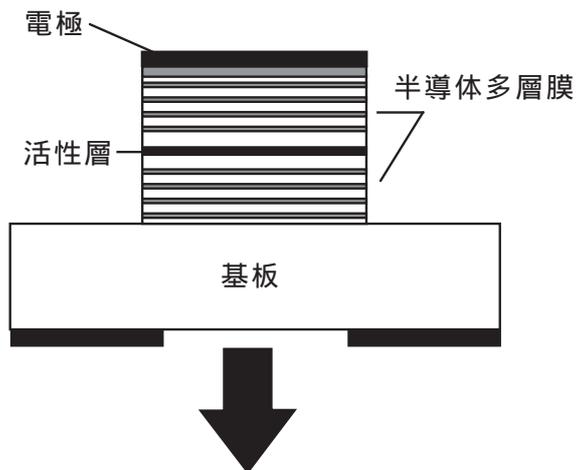


図 1.4 半導体多層膜を用いた VCSEL

層はたった 1 層の量子井戸（厚さ 80 nm）を採用し、光励起であるが室温連続発振が報告された。その後、直ぐに電流注入における室温連続動作で、閾値電流 1.2 mA という驚異的な値を達成している<sup>35)</sup>。このことは分子線エピタキシャル成長法（Molecular Beam Epitaxy : MBE）や有機金属気相成長法（Metal Organic Chemical Vapor Deposition : MOCVD）といった半導体薄膜エピタキシャル成長の技術で、界面散乱や膜厚の揺らぎの少ない 99.9% 程度の高反射率を有する半導体多層膜ミラーが作製可能であることを意味していた。また、全 VCSEL 構造を結晶基板上に一回のエピタキシャル成長で作製可能で、かつ簡便なプロセスを施すだけで半導体レーザが作製できるという特徴を有し、しかも驚くほどその特性がよいことで注目を浴び、世界中の研究機関で VCSEL の研究開発に火がついた。Jewell らの VCSEL は、0.98  $\mu\text{m}$  帯に発光のピークを有する光学利得に優れた圧縮歪みを有する InGaAs という材料を活性層に採用しており、これが基板に透明な波長帯であったため VCSEL の作製が容易であったという点からも、優れた着眼点があったと言える<sup>36,37)</sup>。しかしながら、1990 年代半ばから VCSEL の発振波長は、他の光学部品や光検出器の整合性から、0.85  $\mu\text{m}$  帯 VCSEL が開発の主役に躍り出ることになる<sup>38)</sup>。0.85  $\mu\text{m}$  帯は 0.98  $\mu\text{m}$  に比べて光学利得は多少劣るが、Si のフォトダイオードで受光できる波長で、また 0.8  $\mu\text{m}$  帯の端面発光型半導体レーザの開発が、0.98  $\mu\text{m}$  に比べて先行していた経緯があるため、レンズ等の光学部品が揃っていたことが大きな優位点となった。そして、1999 年、VCSEL としては 0.85  $\mu\text{m}$  帯のみが IEEE の 1 Gbit イーサネットの光源の標準化に採用された。

さて、Jewell の発表以降の具体的な研究経過についてふれる。1990 年代前半は、高抵抗層である p 型半導体多層膜の低抵抗化のためのアプローチが盛んに議論された。

それが 1989 年に当時 Bell 研究所の Jewell らが、国際会議で発表した講演で状況が一変する<sup>34)</sup>。これまで VCSEL を構成する上下のミラーの反射率は、99 %以上にまで高めることは困難と考えられていたため、閾値電流を最小にする活性層膜厚は  $\mu\text{m}$  の単位であるというのが常識であった。しかしながら、この VCSEL は、上下の DBR ミラーは GaAs/AlAs 半導体多層膜を用い、活性

これは GaAs と AlAs の界面のバンドギャップの不連続性のため、特に p 型において電氣的に高抵抗となり、ドーパ量を増やして抵抗を下げると反対に光の吸収が増え、閾値電流の増加やスロープ効率の減少といったドーパント量に対する、いわゆるトレードオフの関係があったためである。1990 年代初頭には、VCSEL の作製のエピタキシャル成長法として MBE 法が多く用いられ、p 型 DBR の様々な構造が提案された<sup>39-43</sup>。その後、電子デバイスの高濃度ドーピング材料として注目されていた C (カーボン) ドーピング<sup>43</sup> が p 型 DBR に導入され、これにより AlAs 層への高ドーピングが可能となり、DBR の低抵抗化が行われて VCSEL の一層の特性改善が見られた<sup>45</sup>。その後この C ドーピングの出現により、C ドーピングが比較的容易な MOCVD 法が MBE 法にとって代わり、VCSEL の結晶成長法として主流になっていく。そして、この頃から VCSEL のデバイスの性能指数として、電力変換効率が盛んに議論されるようになり、変換効率で 12.3 %<sup>46</sup>、17.3 %<sup>43</sup>、21 %<sup>47</sup>と改善の報告がされ、端面発光型レーザと比べて遜色ない値を達成した。しかもこの値が低消費電力動作で得られたことから VCSEL の市場価値が不動のものとなっていった。

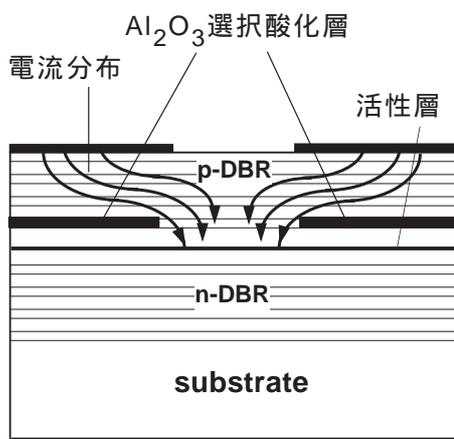


図 1.5 選択酸化法を用いた VCSEL

た<sup>48-49</sup>。これは以前から Holonyak らが提案していたエピタキシャル成長層内の AlAs だけを横方向から水蒸気で酸化させ  $\text{Al}_2\text{O}_3$  という絶縁物に変化させる手法で<sup>50</sup>、選択酸化法と呼ばれ、これを VCSEL に導入したものである。形成された  $\text{Al}_2\text{O}_3$  層は、単に電流狭窄層になるだけでなく、膜そのものの屈折率が小さくなるため、VCSEL において弱い屈折率導波路構造が形成されるといった効果も伴っていた。更に高抵抗層である p 型半導体多層膜層内の電流パスが、いわゆる漏斗型となり電流パスの広がりによ

更に 1994 年、VCSEL にとって特筆すべき作製手法が報告された。これ以前における VCSEL の横方向の電流狭窄構造はプロトン注入によって形成された報告が多く、VCSEL は、いわゆる利得導波路構造となっていた。このため、発振モードや素子の長期動作の信頼性において不安視する声が上がっていた。そうした中、テキサス大や米国 Sandia National Lab.のグループにより、DBR 層内の AlAs、一層のみを選択酸化し、狭窄構造を設けるという作製技術が登場し

り、一段と素子の抵抗低減にも寄与し、 $0.98\ \mu\text{m}$ 帯で電力変換効率 50 %という驚異的な値が達成された<sup>49)</sup>。その後  $0.85\ \mu\text{m}$ 帯でも 57 %という値が報告され<sup>51)</sup>、低消費電力素子として認識されるようになった。こういった 90 年代の研究開発の経過をたどり、今日の光インターコネクション用として  $0.85\ \mu\text{m}$ 帯 VCSEL が実用化の域に達するまでに至った。また同時に選択酸化は、活性層を外気に露出させない製法のため、表面再結合速度の影響を受けず、また発光径を微細にしても、光の回折損失も小さく出来ることから、発光径の微細化によるレーザの低閾値電流化も盛んに行われ、 $0.7\ \text{mA}$ <sup>52)</sup>、 $0.2\ \text{mA}$ <sup>53)</sup> とサブミリアンペア動作が報告された後、更に  $91\ \mu\text{A}$ <sup>54)</sup>、 $40\ \mu\text{A}$ <sup>55)</sup>、 $8.5\ \mu\text{A}$ <sup>56)</sup>とマイクロアンペア領域まで低閾値化が達成された。

また、その他のレーザ特性改善も盛んに研究され、高光出力化のアプローチとして、多モードであるが 200 mW の出力が達成され<sup>57)</sup>、また 1000 個の 2 次元アレーを用いて連続出力 2 W という値が報告された<sup>58)</sup>。また、傾斜基板を用いた偏波制御<sup>59)</sup>、単一横モードでの高出力化<sup>60)</sup>など、VCSEL の更なる高性能化に向けて、現在でも多くの取り組みがなされている。

一方、その他の波長帯も  $0.85\ \mu\text{m}$ 帯には及ばないが精力的に検討が行われており、POF (Plastic Optical Fiber) 用の光源として  $0.6\ \mu\text{m}$ 帯の赤色 VCSEL の室温連続発振が 1994 年に報告され<sup>61)</sup>、1997 年には 85 の連続動作が達成された<sup>62)</sup>。しかしながら、赤色 VCSEL は、端面発光型レーザでも主要な問題となっている活性層の特性温度の問題をそのまま引き継ぎ、未だにこれ以上の高温動作が達成されていない。これは活性層に対してバンドオフセットの大きい適当な材料がないためで、高温時に注入された電子がクラッド層へオーバーフローしてしまうためである。

また、レーザプリンタ用として検討されている  $0.78\ \mu\text{m}$ VCSEL は、2 次元アレー化を酸化狭窄法によって、素子間  $3\ \mu\text{m}$ ピッチ程度の高密度に作製する試みがなされおり<sup>62)</sup>、実用化の一手手前の状態となっている。また、次世代の長距離用 10 Gbit イーサーネットや WDM(Wavelength-Division-Multiplexing)用光源、波長可変光源として、 $1.3\ \mu\text{m}$ もしくは  $1.55\ \mu\text{m}$ 帯の長波長帯 VCSEL といったものが、ユーザーからの要望も後押しして、研究開発が活発化している。長波長帯は InP 基板に格子整合し、熱伝導率がよく、高反射率が可能な半導体多層膜層の作製が難しく、このため材料面や作製プロセスからのアプローチが盛んで、各研究機関が独自に様々な構造を提案している<sup>63-68)</sup>。 $1.3\ \mu\text{m}$ 帯は  $0.85\ \mu\text{m}$ 帯で実績のある GaAs/AlAs を用いて、GaAs 基板に整合した GaInNAs<sup>63)</sup>、GaAsSb<sup>64)</sup>、InAs (InGaAs)量子ドット<sup>65)</sup>といった発光材料が検討され、特

に 2001 年に入り、デバイス特性が飛躍的に進歩し、GaInNAs を用いた VCSEL で 10 Gbit の伝送の報告がなされている<sup>63)</sup>。一方 1.55  $\mu\text{m}$  帯は GaAs 基板に格子整合した発光材料が乏しいため、新材料探索といった結晶方面からのアプローチよりは、デバイス作製に工夫をこらした報告がされている<sup>66-69)</sup>。またこの波長帯は WDM システムへの適用という点から MEMS (Micro-Electro-Mechanical-Systems) といったものと組み合わせた波長可変レーザへの応用等の研究開発が活発化してきている<sup>70,71)</sup>。

以下に主な VCSEL のトピックスを表 1.1 にまとめる。

表 1.1 主な VCSEL の研究発表

年代	波長	トピックス	特性	文献
1979	1.3 $\mu\text{m}$	VCSEL の動作確認	77 K、パルス動作	12
1988	0.88 $\mu\text{m}$	誘電体多層膜を用いた GaAs 系 VCSEL	室温 CW、 $I_{\text{th}}=36\text{ mA}$	33
1989	0.98 $\mu\text{m}$	半導体多層膜を用いた VCSEL	室温 CW、 $I_{\text{th}}=1.2\text{ mA}$	35
1991	0.85 $\mu\text{m}$	イオン注入型 VCSEL	室温 CW、 $I_{\text{th}}=2.9\text{ mA}$	38
1994	0.6 $\mu\text{m}$	赤色 VCSEL の初の室温 CW 動作	室温 CW、 $I_{\text{th}}=1.2\text{ mA}$	61
1994	0.98 $\mu\text{m}$	選択酸化型 VCSEL	変換効率 50%	49
1996	0.85 $\mu\text{m}$	AlGaAs 基板を用いた下面発光型 VCSEL	室温 CW、 $I_{\text{th}}=1.6\text{ mA}$	本論文
1997	0.85 $\mu\text{m}$	電力変換効率レコード	変換効率 57%	51
1995	1.55 $\mu\text{m}$	長波長帯 VCSEL で初の室温 CW 動作	室温 CW、 $I_{\text{th}}=2.3\text{ mA}$	66
1996	1.55 $\mu\text{m}$	長波長帯で 2 番目の室温 CW 動作	室温 CW、 $I_{\text{th}}=8.8\text{ mA}$	本論文
2000	1.3 $\mu\text{m}$	GaInNAs 活性層を用いた VCSEL	10 Gbit 伝送	63
2001	1.5 $\mu\text{m}$	長波長帯最小閾値電流、単一横モード動作	$I_{\text{th}}=0.38\text{ mA}$	本論文

このように VCSEL は 1979 年のレーザ動作確認以来、多くの研究者が精力的に研究に取り組み、20 年のときを経て漸く実用化への一步を踏み出した。しかしながら、各々の波長域で、未だに解決すべき問題が散在している。

例えば、光通信に限っても、0.85  $\mu\text{m}$  帯では、VCSEL の特徴の 1 つである 2 次元アレー化した際生じる問題はあまり議論されず、その解決法も示されていなかった。また石英系の光ファイバの最低損失波長領域である 1.55  $\mu\text{m}$  帯 VCSEL は、素子の特性としての温度特性、光出力、横モード制御等が十分に達成されていない。

#### 1.4 本研究の目的と構成

本研究は、VCSEL の研究開発の歴史と現状を踏まえて、光通信用として用いる 0.85、及び 1.55  $\mu\text{m}$  帯 VCSEL の高性能化を目的とする。0.85  $\mu\text{m}$  帯 VCSEL においては、2

次元アレー化した際生じる様々な問題を抽出し、その解決法として下面発光型 VCSEL を提案し、その優位性を実証することを目的とする。また石英系の光ファイバの最低損失波長領域である  $1.55\ \mu\text{m}$  帯 VCSEL の特性を改善するため、室温連続発振を目的とし、更にその特性を改善する手段を検討し、単一横モード動作で連続発振、そして温度特性の改善を目的とする。

まず、第 2 章において  $0.85\ \mu\text{m}$  帯の上面発光型 VCSEL の基本的な特性について解析し、VCSEL の基本的な性能について論じる。次に第 3 章において、2 次元集積化した場合に大きなメリットが発揮される下面発光型の  $0.85\ \mu\text{m}$  帯 VCSEL を取り上げる。

$0.85\ \mu\text{m}$  帯は GaAs 基板上に作製されるのが一般的であるが、GaAs 基板はこの発振波長に対して透明でないため、ここでは AlGaAs 基板を用いた VCSEL を提案し、その作製法について検討を行い、最後に下面型の利点を踏まえたレーザ特性について述べる。

第 4 章からの後半は石英系光ファイバの最低損失波長帯である  $1.55\ \mu\text{m}$  帯 VCSEL 実現の可能性について明らかにする。次世代 10 Gbit/s イーサネットや WDM、可変波長光源として有望な  $1.55\ \mu\text{m}$  帯の波長においても、VCSEL が実現可能となる作製方法と構造について提案し、そのデバイス特性について論じる。第 4 章は、長波長帯 VCSEL を作製する上で重要と考えられる InP と GaAs を直接接着する wafer fusion 法について言及し、その得られた結果をもとにして、 $1.55\ \mu\text{m}$  帯 VCSEL の特性について述べる。第 5 章では、横モード制御を目的とした埋込み型 VCSEL を取り上げ、それを実現するための手法として有効な薄膜化 wafer fusion 法について提案し、埋込み型 VCSEL への適用の可能性を探る。そして、第 6 章において薄膜化 wafer fusion 法を用いて  $1.55\ \mu\text{m}$  帯埋込み VCSEL 作製し、その特性についてふれ、埋込みの効果について論じる。最後に第 7 章で本論文のまとめと今後の展開について述べる。

## 【第1章 参考文献】

- 1) A. L. Schawlow, and C. H. Townes, *Phys. Rev.*, 112, 1940 (1958)
- 2) R. N. Hall, G. E. Fenner, J. D. Kingsley, T. J. Soltys, and R. O. Carlson, *Phys. Rev. Lett.*, 9, 366 (1962)
- 3) M. I. Nathan, W. P. Dumke, G. Burns, F. H. Dill, Jr., and G. Lasher, *Appl. Phys. Lett.*, 1, 62 (1962)
- 4) N. H. Holonyak Jr., and S. F. Bevacqua, *Appl. Phys. Lett.*, 1, 82 (1962)
- 5) H. Kroemer, *Proc. IEEE*, 51, 603 (1963)
- 6) Zh. I. Alferov, V. M. Andreev, D. Z. Garbuzov, Yu. V. Zhilyaev, E. P. Morozov, E. L. Portnoi, and V. G. Trofim, *Fiz. Tekh. Poluprov.*, 4, 1826 (1970)
- 7) H. Namizaki, H. Kan, M. Ishii, and A. Ito, *J. Appl. Phys.*, 45, 2785 (1974)
- 8) M. Nakamura, K. Aiki, J. Umeda, N. Chinone, and H. Nakashima, 1977 *Int. Conf. on Integrated Optics and Optical Fiber Communication*, A-6-2 (1977)
- 9) T. Tsukada, *J. Appl. Phys.*, 45, 4899 (1974)
- 10) F. Koyama, Y. Suematsu, S. Arai, and T. Tanbun-Ek, *IEEE Quantum Electron.*, 19, 1042 (1983)
- 11) M. Nakamura, K. Aiki, J. Umeda, and A. Yariv, *Appl. Phys. Lett.*, 27, 403 (1975)
- 12) H. Soda, K. Iga, C. Kinoshita, and Y. Suematsu, *Jpn. J. Appl. Phys.*, 18, 2329 (1979)
- 13) Z. L. Liao, and J. N. Walpole, *Appl. Phys. Lett.*, 50, 528 (1987)
- 14) S. H. Macomber, J. S. Mott, R. J. Noll, G. M. Gallatin, E. J. Gratrix, and S. L. Odwyer-killeen, *Appl. Phys. Lett.*, 51, 472 (1987)
- 15) 伊賀健一、小山二三夫共著、面発光レーザ、オーム社(1990)
- 16) Y. Yamamoto, S. Machida, and G. Bjork, *Phys. Rev. A*, 44, 657 (1991)
- 17) Y.-G. Zhao, J. G. McInerney, and R. A. Morgan, *IEEE Photon. Technol. Lett.*, 7, 1231 (1995)
- 18) K. L. Lear, A. Mar, K. D. Choquette, S. P. Kilcoyne, R. P. Schneider, Jr., and K. M. Geib, *Electron. Lett.*, 32, 458 (1996)
- 19) U. Fiedler, G. Renner, P. Schnitzer, and K. J. Ebeling, *IEEE Photon. Technol. Lett.*, 8, 746 (1996)

- 20) K. Tai, G. Hasnain, J. D. Wynn, R. J. Fischer, Y. H. Wang, B. Weir, J. Gamelin, and A. Y. Cho, *Electron. Lett.*, 26, 1628 (1990)
- 21) J. Heinrich, E. Zeeb, and K. J. Eeling, *IEEE Photon. Technol. Lett.*, 9, 1555 (1997)
- 22) R. A. Morgan, G. D. Guth, C. Zimmer, R. E. Leibenguth, M. W. Focht, J. M. Freund, K. G. Glogovsky, T. Mullally, F. F. Judd, and M. T. Asom, *IEEE Photon. Technol. Lett.*, 6, 913 (1994)
- 23) B. Moller, E. Zeeb, T. Hackbarth, and K. J. Ebeling, *IEEE Photon. Technol. Lett.*, 6, 1056 (1994)
- 24) C. L. Chua, R. L. Thornton, D. W. Treat, and R. M. Donaldson, *IEEE Photon. Technol. Lett.*, 10, 917 (1998)
- 25) S. Y. Hu, S. Z. Zhang, J. Ko, J. E. Bowers, and L. A. Coldren, *Electron. Lett.*, 34, 768 (1998)
- 26) S. Y. Hu, E. R. Hegblom, and L. A. Coldren, *Electron. Lett.*, 34, 189 (1998)
- 27) A. Fiore, Y. A. Akulova, J. Ko, E. R. Hegblom, and L. A. Coldren, *Appl. Phys. Lett.*, 73, 282 (1998)
- 28) R. A. Morgan, K. Kojima, T. Mullally, G. D. Guth, M. W. Focht, R. E. Leibenguth, and M. Asom, *Appl. Phys. Lett.*, 61, 1160 (1992)
- 29) Y. J. Yang, T. G. Dziura, T. Bardin, S. C. Wang, R. Fernandez, and A. S. H. Liao, *Appl. Phys. Lett.*, 62, 600 (1993)
- 30) M. Orenstein, E. Kapon, J. P. Harbison, L. T. Florez, and N. G. Stoffel, *Appl. Phys. Lett.*, 60, 1535 (1992)
- 31) N. K. Dutta, D. T. Nichols, D. Vakhshoori, D. L. Sivco, and A. Y. Cho, *Appl. Phys. Lett.*, 67, 588 (1995)
- 32) S. A. Chalmers, and K. P. Killeen, *Appl. Phys. Lett.*, 62, 1182 (1993)
- 33) F. Koyama, S. Kinoshita, and K. Iga, *Appl. Phys. Lett.*, 55, 221 (1989)
- 34) J. L. Jewell, K. F. Huang, K. Tai, Y. H. Lee, R. J. Fisher, S. L. McCall, and A. Y. Cho, *Conference on Lasers and Electro-Optics'89 (CLEO'89)*, PD-14 (1989)
- 35) J. L. Jewell, A. Scherer, S. L. McCall, Y. H. Lee, S. J. Walker, J. P. Harbison, and L. T. Florez, *Electron. Lett.*, 25, 1123 (1989)
- 36) J. L. Jewell, J. P. Harbison, A. Scherer, Y. H. Lee, and L. T. Florez, *IEEE J. Quantum Electron.*, 27, 1332 (1991)

- 37) R. S. Geels, S. W. Corzine, and L. A. Coldren, *IEEE J. Quantum Electron.*, 27, 1359 (1991)
- 38) R. A. Morgan, L. M. F. Chirovsky, M. W. Focht, G. Guth, M. T. Asom, R. E. Leibenguth, K. C. Robinson, Y. H. Lee, and J. L. Jewell, *Proc. SPIE*, 1562, 149 (1991)
- 39) R. F. Kopf, E. F. Schubert, S. W. Downey, and A. B. Emerson, *Appl. Phys. Lett.*, 61, 1820 (1992)
- 40) E. F. Schubert, L. W. Tu, G. J. Zyzdik, R. F. Kopf, A. Benvenuti, and M. R. Pinto, *Appl. Phys. Lett.*, 60, 466 (1992)
- 41) K. Kojima, R. A. Morgan, T. Mullaly, G. D. Guth, M. W. Focht, R. E. Leibenguth, and M. T. Asom, *Electron. Lett.*, 29, 1771 (1993)
- 42) M. G. Peters, D. B. Young, F. H. Peters, J. W. Scott, B. J. Thibeault, and L. A. Coldren, *IEEE Photon. Technol. Lett.*, 6, 31 (1994)
- 43) M. G. Peters, B. J. Thibeault, D. B. Young, A. C. Gossard, and L. A. Coldren, *J. Vac. Sci. Technol. B*, 12, 3075 (1994)
- 44) G. Reiner, E. Zeep, B. Moller, M. Ries, and K. J. Ebeling, *IEEE Photon. Technol. Lett.*, 7, 730 (1995)
- 45) B. T. Cunningham, G. E. Stillman, and G. S. Jackson, *Appl. Phys. Lett.*, 56, 361, (1990)
- 46) K. L. Lear, and S. A. Chalmers, *IEEE Photon. Technol. Lett.*, 5, 972 (1993)
- 47) K. L. Lear, R. P. Schneider, K. D. Choquette, S. P. Kilcoyne, J. J. Figiel, and J. C. Zolper, *IEEE Photon. Technol. Lett.*, 6, 1053 (1994)
- 48) D. L. Huffaker, D. G. Deppe, K. Kumar, and T. J. Rogers, *Appl. Phys. Lett.*, 65, 97 (1994)
- 49) K. L. Lear, K. D. Choquette, R. P. Schneider, S. P. Kilcoyne, and K. M. Geib, *Electron. Lett.*, 31, 208 (1995)
- 50) F. A. Kish, S. J. Caracci, N. Holonyak, and J. M. Dallesasse, *Appl. Phys. Lett.*, 59, 1755 (1991)
- 51) R. Jager, M. Grabherr, C. Jung, R. Michalzik, G. Reiner, B. Weigl, and K. J. Ebeling, *Electron. Lett.*, 33, 330 (1997)
- 52) R. S. Geels, and L. A. Coldren, *Appl. Phys. Lett.*, 57, 1605 (1991)

- 53) T. Numai, T. Kawakami, T. Yashikawa, M. Sugimoto, Y. Sugimoto, H. Yokoyama, K. Kasahara, and K. Asakawa, *Jpn. J. Appl. Phys. Part 2*, 32, L1533 (1993)
- 54) D. G. Deppe, D. L. Huffaker, J. Shin, and H. Deng, *IEEE Photon. Technol. Lett.*, 7, 965 (1995)
- 55) D. L. Huffaker, L. A. Graham, H. Deng, and D. G. Deppe, *IEEE Photon. Technol. Lett.*, 8, 974 (1996)
- 56) G. M. Yang, M. MacDougall, and P. D. Dapkus, *Electron Lett.*, 31 886 (1995)
- 57) M. Grabherr, B. Wegi, G. Reiner, R. Michalzik, M. Miller, and K. J. Ebeling, *Electron Lett.*, 32, 1723 (1996)
- 58) D. Francis, H. -I. Chen, W. Yuen, G. Li, and C. Chang-Hasnain, *Proc. 16th IEEE Int. Semiconductor Laser Conf.*, TuE3, 99 (1998)
- 59) K. Tateno, Y. Ohiso, C. Amano, A. Wakatsuki, and T. Kurokawa, *Appl. Phys. Lett.*, 70, 3395 (1997)
- 60) A. J. Fischer, W. W. Chow, D. K. Serkland, A. A. Allerman, K. M. Geib, K. D. Choquette, *Proc. CLEO 2001*, CTuB1, 106 (2001)
- 61) R. P. Schneider, Jr., K. D. Choquette, J. A. Lott, K. L. Lear, J. J. Figiel, and K. J. Malloy, *IEEE Photon. Technol. Lett.*, 6, 313 (1994)
- 62) M. H. Crawford, K. D. Choquette, H. Q. Hou, R. J. Hickman, K. M. Geib, and B. E. Hammons, *IEEE/LEOS, Summer Top. Meet. MC1*, (1997)
- 63) R. L. Naone, A. W. Jackson, S. A. Feld, D. Galt, K. J. Malone, and J. J. Hindi, *Proc. CLEO, CPD-13-1* (2001)
- 64) M. Yamada, T. Anan, K. Kurohara, K. Nishi, K. Tokutome, and A. Kamei, *Electron. Lett.*, 36, 637 (2000)
- 65) D. L. Huffaker, H. Deng, and D. G. Deppe, *IEEE Photon. Technol. Lett.*, 10, 185 (1998)
- 66) D. I. Babic, K. Streubel, R. P. Mirin, N. M. Margalit, J. E. Bowers, E. L. Hu, D. E. Mars, L. Yang and K. Carey, *IEEE Photon. Technol. Lett.*, 7, 1225 (1995)
- 67) M. Ortsiefer, R. Shau, G. Bohm, F. Kohler, J. Robkof, G. Steinle, C. Degen, and M.-C. Amann, *Proc. 27th Eur. Conf. Optical Communication, ECOC2001*, PD. F. 1.11, 44 (2001)
- 68) A. Karim, J. Piprek, P. Abraham, D. Lofgreen, Y. J. Chiu, and J. E. Bowers, *IEEE J.*

Select. Topics Quantum Electron., 7, 178 (2001)

- 69) S. Nakagawa, E. Hall, G. Almuneau, J. K. Kim, D. Buell, H. Kromer, and L. A. Coldren, IEEE J. Select. Topics Quantum Electron., 7, 224 (2001)
- 70) D. Vakhshoori, P. Tayebati, Chih-Cheng Lu, M. Azimi, P. Wang, Jiang-Huai Zhou, and E. Canoglu, Electron. Lett., 35, 900 (1999)
- 71) C. J. Chang-Hasnain, Proc. Int. Conf. on Indium Phosphide and Related Materials, 13th IPRM, 17 (2001)

## 第2章 上面発光型 0.85 μ m 帯 VCSEL

### 2.1. 緒言

本章では GaAs 系の 0.85 μ m 帯の上面発光型 VCSEL を取り上げる。まず基本的な VCSEL の特性について、解析により推測し、デバイスの設計指針を明らかにする。計算は VCSEL の本質を理解するために、まず近似的な解析を行う。その後、実際に得られた特性から詳細な検討を行う。VCSEL は半導体レーザの一種であるため、その発振条件や動作原理は端面発光型レーザと本質的に変わらない。しかしながら、活性層体積が極端に小さいこと、実効共振器長が短いこと、端面反射率が極めて高いこと等、構造に起因して幾つか留意する点に違いが生じる。

### 2.2 VCSEL のレーザ発振条件

VCSEL のレーザ発振を実現するため、まずレーザ発振条件として閾値電流密度と活性層厚の関係を示し、その後、発光効率について議論する。また、高反射膜を得るためのブラッグ反射鏡の原理とその算出法、そこから導き出される電界分布、そして光閉じ込め係数について言及する。

#### 2.2.1 閾値電流密度<sup>1)</sup>

VCSEL の閾値利得  $g_{th}$  は、ファブリペロー共振器を有する端面発光型レーザと同様に記述すると、利得（実効共振器内で有効な利得）と共振器内の全損失（共振器内損失と端面のミラー損失）が釣り合うように

$$\Gamma_v \cdot \Gamma_t \cdot L_{eff} \cdot g_{th} = L_{eff} \cdot \alpha_i + \frac{1}{2} \cdot \ln\left(\frac{1}{R_t \cdot R_b}\right) \quad (2.1)$$

と記述できる。ここで  $L_{eff}$  は実効キャビティ長、 $R_t$ 、 $R_b$  は上面、下面での反射率、 $\alpha_i$  は実効キャビティ長内の、活性層、クラッド層（スペーサ層）及びミラー反射鏡の平均吸収損失、 $\Gamma_v$  は縦方向の光の閉じ込め係数で、 $\Gamma_t$  は横方向の光の閉じ込め係数である。

ここで、利得  $g$  を注入キャリア密度に対して線形近似すると閾値利得  $g_{th}$  は

$$g_{th} = A_0 \cdot N_{th} - \alpha_{in} \quad (2.2)$$

と表される。ここで  $A_0$  は微分利得係数、 $\alpha_{in}$  は過剰損失で、キャリアが注入されてい

ない場合の媒質の損失を表す。そこで閾値電流密度  $J_{th}$  と閾値キャリア密度  $N_{th}$  の関係を

$$J_{th} = \frac{e \cdot d \cdot N_{th}}{\tau_s} \quad (2.3), \quad \tau_s = 1/(B_{eff} \cdot N) \quad (2.4)$$

で表す。ここで  $e$  は電子の電荷、 $d$  は活性層厚、 $\tau_s$  は電子、正孔の再結合寿命時間、 $B_{eff}$  は実効再結合係数を示す。この4式より  $J_{th}$  は

$$J_{th} = \frac{e \cdot d \cdot B_{eff}}{A_0^2} \left[ \alpha_{in} + \frac{1}{\Gamma_v \cdot \Gamma_t} \left\{ \alpha_i + \frac{1}{2} \cdot \ln\left(\frac{1}{R_t \cdot R_b}\right) \right\} \right]^2 \quad (2.5)$$

となり、ここで GaAs の場合の係数、 $B_{eff}=1.2 \times 10^{-10} \text{ cm}^3/\text{s}$ 、 $A_0=3 \times 10^{-16} \text{ cm}^2$ 、 $\alpha_i=40 \text{ cm}^{-1}$ 、 $\alpha_{in}=400 \text{ cm}^{-1}$  <sup>2)</sup>、それと横方向の閉じ込め係数  $\Gamma_t$  は簡便のために 1 とし、2.2.5 項で後述するが  $L_{eff}$  を  $0.8 \mu\text{m}$  とすると、活性層厚  $d$  と閾値電流密度  $J_{th}$  の関係が図 2.1 のように求まる。この記述には活性層を量子井戸構造にした場合の量子効果による利得増加の効果、また実効キャビティ内の活性層の位置関係による閉じ込め係数  $\Gamma_v$  の変化等が考慮に入っていない。しかしながら、何れも閾値電流密度を小さくする方に働くことから、上下の反射率の自乗平均  $R_m$  が 99.7% 程度以上、 $\alpha_i$  が  $40 \text{ cm}^{-1}$  程度、かつ最適な活性層厚を用いれば、端面発光型レーザとほぼ同様の  $1 \sim 2 \text{ kA/cm}^2$  程度の閾値電流密度でレーザ動作が見込まれることがわかる。室温で連続発振させるためにはこの値が

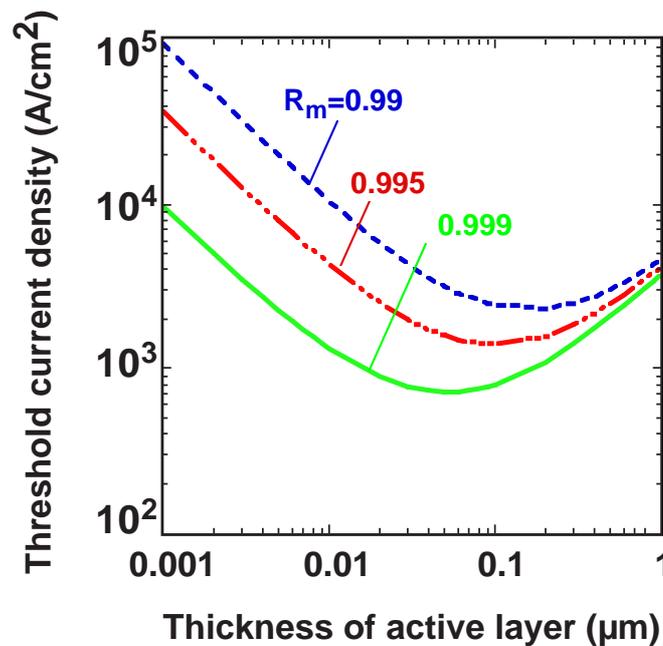


図 2.1 VCSEL の平均反射率、活性層厚と閾値電流密度の関係

目安となる。なぜならこれ以上の値の電流密度では、利得飽和の領域に達すること、また VCSEL が熱抵抗の高い構造となっているため、高注入時における活性層の温度上昇が無視できなくなり、光学利得に式 (2.2) で示した線形近似による記述を適用することが不可能となるからである。

以上より、VCSEL のレーザ発振動作を得るためには 99 % 以上の高反射率を有するミラーを作製する事が必須条件であることがわかる。

### 2.2.2 発光効率と光出力

VCSEL は高反射率なミラーで構成されることから、当初、端面発光型レーザに比べて極端に発光効率が低く、光出力が小さい事が予想されていた。ここでは VCSEL の光出力について論じてみる。出射側 ( 上面側 ) の外部微分量子効率  $\eta_{dt}$  は端面発光型レーザと同様に内部量子効率  $\eta_i$  を用いて、

$$\eta_{dt} = \eta_i \frac{\ln(1/R_t)}{2\alpha_i L_{eff} + \ln(1/R_t \cdot R_b)} \quad (2.6)$$

と表される。そこで単位面積あたりの上面からの光出力  $P_t$  は、熱による出力飽和を無視すると、

$$P_t = (J_i - J_{th}) \cdot \frac{h \cdot c}{e \cdot \lambda_0} \cdot \eta_i \cdot \frac{\ln(1/R_t)}{2\alpha_i \cdot L_{eff} + \ln(1/R_t \cdot R_b)} \quad (2.7)$$

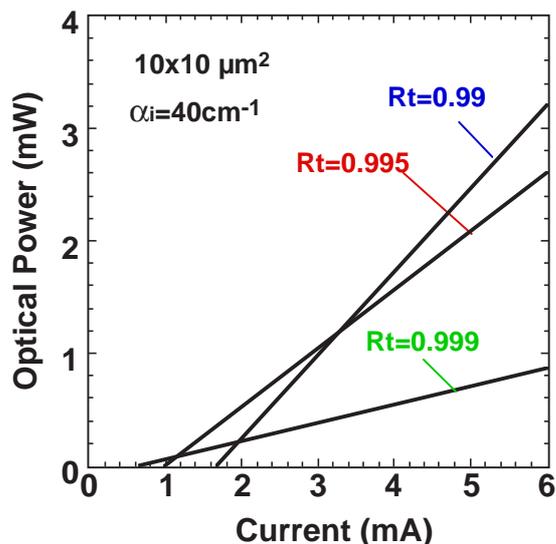


図 2.2 電流 - 光出力特性の  
反射率依存性

となる。  $J_i$  は注入電流密度、  $\lambda_0$  は発振波長である。ここでは自然放出光による光出力の項は省略した。この式より、下面側の反射率  $R_b$  を 0.999 とし出力側の上面の反射率  $R_t$  を変えたときの、光出力と注入電流との関係は図 2.2 のようになる。ここでは平均内部損失  $\alpha_i$  を  $40 \text{ cm}^{-1}$  とし、VCSEL の出射径を  $10 \times 10 \mu \text{ m}^2$  とした。この図からわかるように、反射率が高いと閾値電流は小さくなるが外部微分効率が低下するため、光出力の点では不利になる。出射側の反射率  $R_t$  を 0.995 とすると、注入電流 3 mA

と非常に小さい値において、mW 級（ここでは 1~2 mW 程度）の光出力が得られることがわかり、光インターコネクション用として、実用上必要とされる値を容易に得られることがわかる。次に図 2.3 に  $10 \times 10 \mu\text{m}^2$  素子において、一定の光出力時における  $R_t$  と注入電流の関係を示す。この図から、ある光出力を与えた場合、駆動電流を最小にするような最適な反射率が存在し、その最適な反射率  $R_t$  は光出力が増加するに従い小さくなることがわかる。このことは駆動回路の消費電力を小さくする際の重要な設計指針となる。また、ここでは出射側と反対側のミラーの反射率  $R_b$  を 0.999 としたが、VCSEL は出射側の反射率  $R_t$  が、これとほぼ同程度の反射率を有するため、 $R_b$  の値が少しでも変化すると、出射側の光出力が大きく変化する。このため  $R_b$ 、 $R_t$  の反射率の設計には十分に注意を要する。

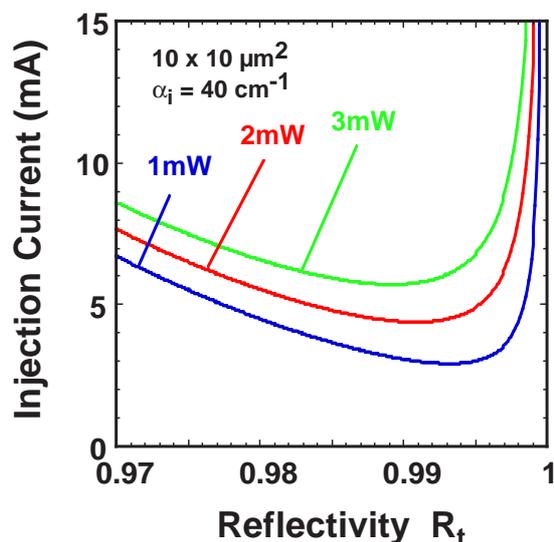


図 2.3 光出力が一定のときの出射側反射率と注入電流の関係

さて、出射側の反射率が光出力に大きく影響を与えることがわかったが、一方平均内部損失 $\alpha_i$ にも光出力は強く依存している。図 2.4 に  $R_t=0.995$  のとき、光出力の内部損失依存性を示す。キャビティ内の吸収係数の増加は発光効率を下げ、また閾値電流も増加させる要因となることがわかる。吸収係数は実効キャビティの中では、p 型半導体部分の自由キャリア吸収が最も大きいことが予想されることから、 $\alpha_i$ 、 $R_t$  の値に大きく影響を与える p 型半導体ミラー層のキャリア濃度の設定が、光出力の点で大きな鍵を握ることが容易に推測できる。

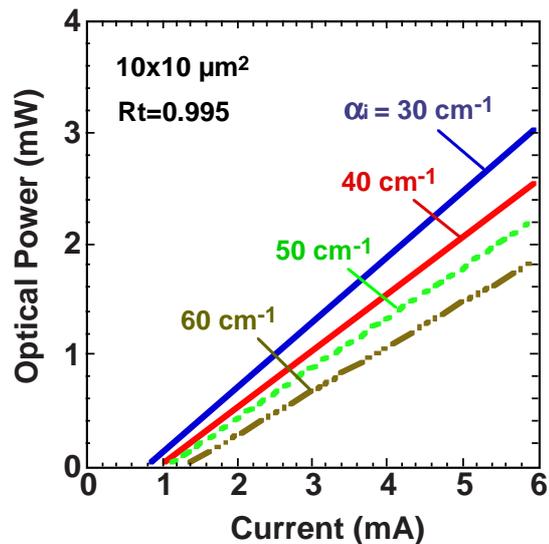


図 2.4 電流 - 光出力特性の吸収係数依存性

### 2.2.3 ブラッグ反射ミラー

VCSEL が高反射ミラーを必要とすることを述べたが、ここでは実際に 99% 程度の反射率を構成する方法について述べる。研究開発当初、VCSEL の反射鏡は、金属ミラーを用いていた<sup>3)</sup>。これは、金属は導電性が極めて高いため電界成分が表面付近までしか侵入出来ず、高い反射率を有する性質を持っているためである。実際に Au を数千蒸着して 95% 程度の反射率が得られることが確認されている<sup>4)</sup>。しかし、金そのものの物性定数としては、光の吸収が少なからず存在するため、99% 以上の反射率を単層で得ることは事実上困難となる。他の金属材料では Ag の方が吸収が低いという報告例があるが<sup>5)</sup>、これも吸収成分を極端に少なくすることは不可能で、単層では 99% 以上の反射率は得られていない。

そこで、99% 以上の高反射率のミラーを作製する方法として、屈折率の異なる 2 種類の膜を光学波長で 1/4 の厚さで交互に積層させた構造、いわゆる Distributed Bragg Reflector (DBR) を形成する方法が注目されるようになった。この構造では各層の吸収と 2 種類の層の界面で光の散乱が、非常に小さいという条件が高反射率を得るのに前提となる。そこで次に、この原理について簡単に説明する。

図 2.5 に見られるように DBR 層内を進行する平面波を考えると、入射した光は DBR 層内の各界面において反射光と透過光に分配される。ここで透過した光は、次の界面で同様に反射光と透過光に別れる。各界面での反射した光は、低屈折率側から高屈折率側に光が進行した場合、逆位相となり、また反対に高屈折率側から低屈折率側に光

が進行した場合、同位相となる。このため、光学波長で 1/4 の厚さずつ積層されていると、図 2.5 で示したように各界面からの反射光の位相は、全て同位相となることがわかる。DBR 層のペア数が無限に続いていると仮定すると、入射した光は必ず何処かの界面で反射して戻ってくることになり、またその反射波が全て同位相をとるため比較的薄い膜厚で高反射率が得られる。

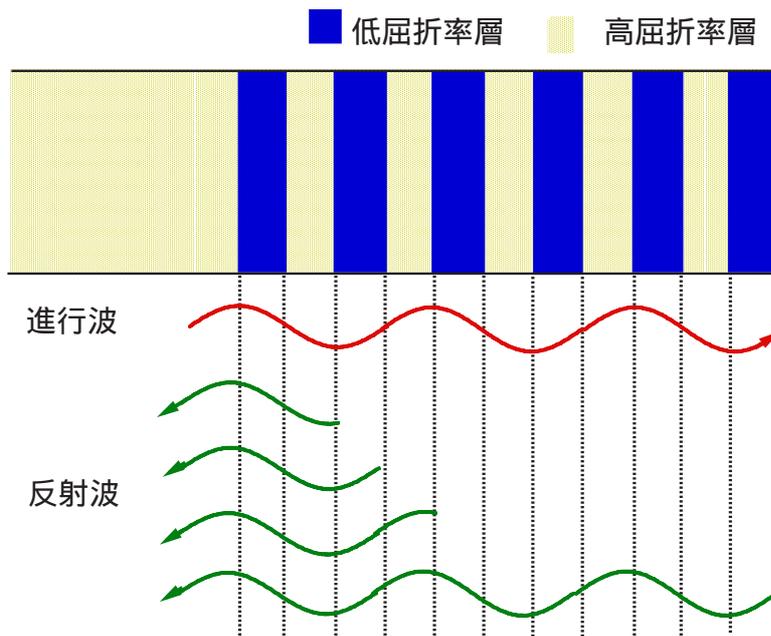


図 2.5 DBR 層内の光の反射波の概念図

また反射光の位相が揃っていることは、レーザ動作の位相整合条件が得易いという利点もある。そこで次に、この DBR の反射率について具体的に特性マトリクス法を用いて解析してみる。

図 2.6 に示すように、2 種類の媒質を積層させたとき、それぞれの境界は x-y 平面に平行な面となる。その中を ±Z 方向に進む平面波について考える。

電界は x 成分のみ持つものとする +Z 方向に進む平面波は

$$H_y = \frac{n}{c \cdot \mu_0} E_x \quad (2.8)$$

となる。但し、n は媒質の屈折率、c は真空中の光の速さである。

一方、-Z 方向に進む平面波は

$$H_y = -\frac{n}{c \cdot \mu_0} E_x \quad (2.9)$$

となる。さて、ここで  $i$  番目の層内の左側の界面での  $+Z$  方向の電界を  $E_i^{+L}$ 、 $-Z$  方向の電界を  $E_i^{-L}$ 、右側の界面での  $+Z$  方向の電界を  $E_i^{+R}$ 、 $-Z$  方向の電界を  $E_i^{-R}$  と表すとする。

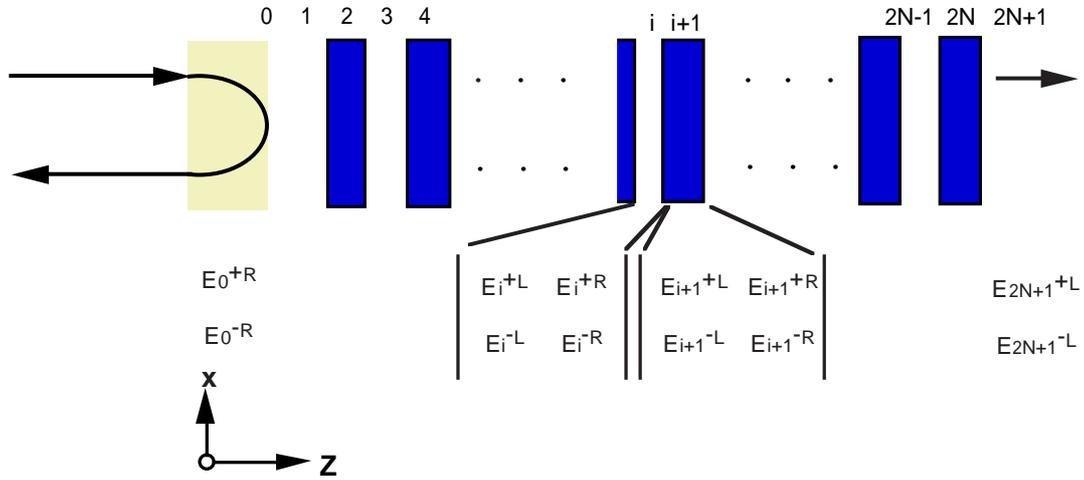


図 2.6 DBR 層内の電界モデル

$i$  番目の層と  $i+1$  番目の層の界面での連続条件式を用いると

$$E_i^{+R} + E_i^{-R} = E_i^{+L} + E_i^{-L} \quad (2.10)$$

$$\frac{n_i}{c \cdot \mu_0} E_i^{+R} - \frac{n_i}{c \cdot \mu_0} E_i^{-R} = \frac{n_{i+1}}{c \cdot \mu_0} E_{i+1}^{+L} - \frac{n_{i+1}}{c \cdot \mu_0} E_{i+1}^{-L} \quad (2.11)$$

となり、この式 (2.10) と (2.11) を行列を用いて書くと

$$B_i \begin{bmatrix} E_i^{+R} \\ E_i^{-R} \end{bmatrix} = B_{i+1} \begin{bmatrix} E_{i+1}^{+L} \\ E_{i+1}^{-L} \end{bmatrix} \quad (2.12)$$

となる。この場合

$$B_i = \begin{bmatrix} 1 & 1 \\ n_i & -n_i \end{bmatrix} \quad (2.13)$$

となる。一方、同媒質内での電界は

$$\begin{bmatrix} E_i^{+L} \\ E_i^{-L} \end{bmatrix} = M_i \cdot \begin{bmatrix} E_i^{+R} \\ E_i^{-R} \end{bmatrix} \quad (2.14)$$

$$M_i = \begin{bmatrix} \exp(j\phi_i) & 0 \\ 0 & \exp(-j\phi_i) \end{bmatrix}, \quad \phi_i = \frac{2\pi n_i d_i}{\lambda} \quad (2.15)$$

と表される。ここで  $d_i$  は  $i$  番目の層の厚さである。以上より式 (2.12) と (2.14) より

$$\begin{bmatrix} E_{i-1}^{+R} \\ E_{i-1}^{-R} \end{bmatrix} = B_{i-1}^{-1} \cdot B_i \cdot M_i \cdot \begin{bmatrix} E_i^{+R} \\ E_i^{-R} \end{bmatrix} \quad (2.16)$$

となる。そこで式 (2.14) と (2.16) を用いると

$$\begin{aligned} \begin{bmatrix} E_0^{+R} \\ E_0^{-R} \end{bmatrix} &= B_0^{-1} \cdot (B_1 M_1 B_1^{-1})(B_2 M_2 B_2^{-1}) \cdots (B_{2N} M_{2N} B_{2N}^{-1}) B_{2N+1} \begin{bmatrix} E_{2N+1}^{+L} \\ E_{2N+1}^{-L} \end{bmatrix} \\ &= S \begin{bmatrix} E_{2N+1}^{+L} \\ E_{2N+1}^{-L} \end{bmatrix} \\ U_i &= B_i M_i B_i^{-1} = \begin{bmatrix} \cos(\phi_i) & j/n_i \sin(\phi_i) \\ j n_i \sin(\phi_i) & \cos(\phi_i) \end{bmatrix} \\ S &= \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} = B_0^{-1} \cdot U_1 \cdot U_2 \cdots U_{2N} B_{2N+1} \end{aligned} \quad (2.17)$$

と表される。入射した光 ( $E_0^{+R}$ ) が多層膜によって反射 ( $E_0^{-R}$ )、もしくは透過 ( $E_{2N+1}^{+L}$ ) するため、結局、反射率  $R$  と透過率  $T$  は、最終層の  $E_{2N+1}^{-L}$  は 0 であるため、

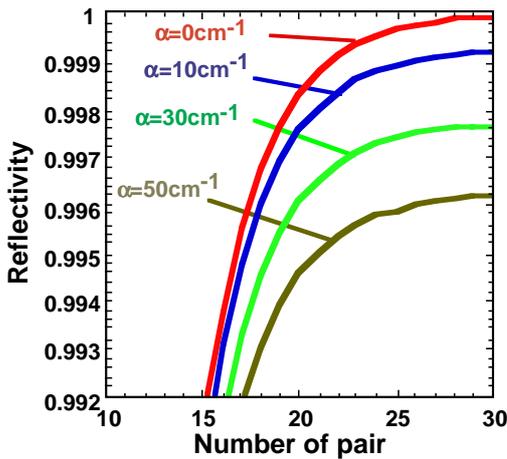
$$R = \frac{|E_0^{-R}|^2}{|E_0^{+R}|^2} = \left| \frac{S_{21}}{S_{11}} \right|^2 \quad (2.18.a)$$

$$T = \frac{n_{2N+1}}{n_0} \left| \frac{E_{2N+1}^{+L}}{E_0^{+R}} \right|^2 = \frac{n_{2N+1}}{n_0} \frac{1}{|S_{11}|^2} \quad (2.18.b)$$

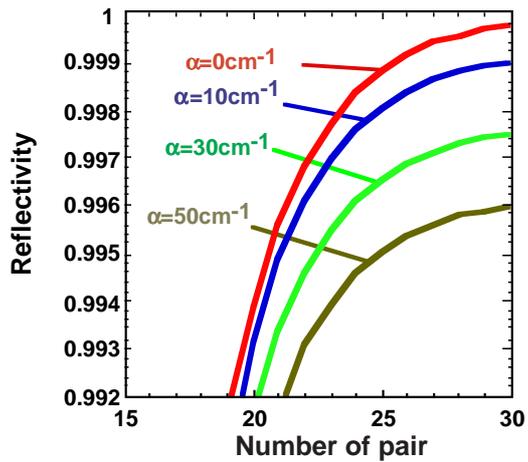
となり、各層の行列  $M$  を求めて、乗じることにより反射率が求まることがわかる。また各層の吸収係数を  $\alpha(\text{cm}^{-1})$  とし、 $k = \lambda(\mu\text{m}) / (4\pi) \cdot \alpha \times 10^4$  を用いると、屈折率は  $n - j \cdot k$  と表せて、これを式 (2.15) に代入すれば、層ごとの吸収を考慮した反射率や透過率が求まる。この式は VCSEL を作製する際に極めて重要な式で、後述するが DBR 層の反射率だけでなく、共振器波長の特性評価、そして縦方向の光閉じ込め係数を求める際に用いる。

次に、実際の  $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}/\text{AlAs}$  の DBR ミラーを作製したときの、反射率のペア数依存性を吸収係数を考慮して、計算したグラフを図 2.7 (a), (b) に示す。(a) では上面側の反射率を求めるため、入力媒質はスペーサ層の  $\text{Al}_{0.3}\text{Ga}_{0.8}\text{As}$  とし、外側の媒質は空気としている。(b) は、下面側の反射率を求めるため、外側の媒質は GaAs 基板とした。ここでは、 $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}$  と  $\text{AlAs}$  の吸収係数は同じ値として計算している。

図 2.7 (a) (b) のグラフからわかるように、入射光からみて DBR 外部の媒質が異なると反射率が異なる。例えば吸収が  $0 \text{ cm}^{-1}$  の場合、25 ペアでは、上面側が 0.9993、下



(a) 上面側



(b) 下面側

図 2.7  $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}/\text{AlAs}$  DBR の反射率

DBR 外の媒質が空気 (上面) と GaAs 基板 (下面) の違い。

面側が 0.9987 と 0.6% 以上も反射率が異なる。この値は式 (2.3)、(2.4) からわかるように、VCSEL の閾値電流、出力特性に影響を与えるのに十分な値であり、設計時には単純にペア数だけでなく入力や外側の媒質に注意を払う必要があることがわかる。また各層の吸収係数が  $30\text{ cm}^{-1}$  以上ずつになると、反射率は 0.999 には達成しなくなり、VCSEL 動作が難しくなることもこの式より導出される。

さて、次に屈折率の波長依存性を考慮しない場合の  $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}/\text{AlAs}$  DBR の反射率特性を図 2.8 に示す。図 2.8 (a) は 15 ペアと 30 ペア、(b) は 25 ペアで何れも、入力媒質は空気として計算した。

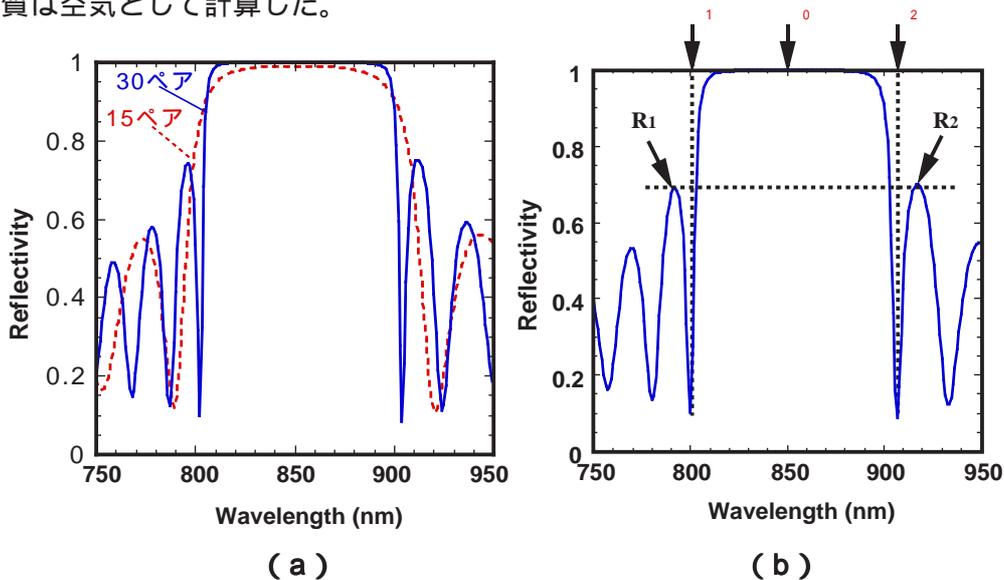


図 2.8  $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}/\text{AlAs}$  DBR の反射率の波長依存性

この図 2.8 (a) より、ペア数を増すに従い、所望の波長（ここでは  $0.85 \mu\text{m}$ ）で高反射率の膜が作製できることが予想される。また、ペア数を増すに従いストップバンド幅（高反射率領域の波長幅）が小さくなることがわかり、DBR 層内の膜厚の揺らぎを少なくすることが重要であることが推測される。尚、このストップバンド幅は、2 種類の媒質の屈折率差が大きい程広がる。また、図 2.8 (b) に示したように DBR の特性として、次のことが導出される。

(1) 中心波長  $\lambda_0$  は反射率の谷の部分の周波数の平均であること、

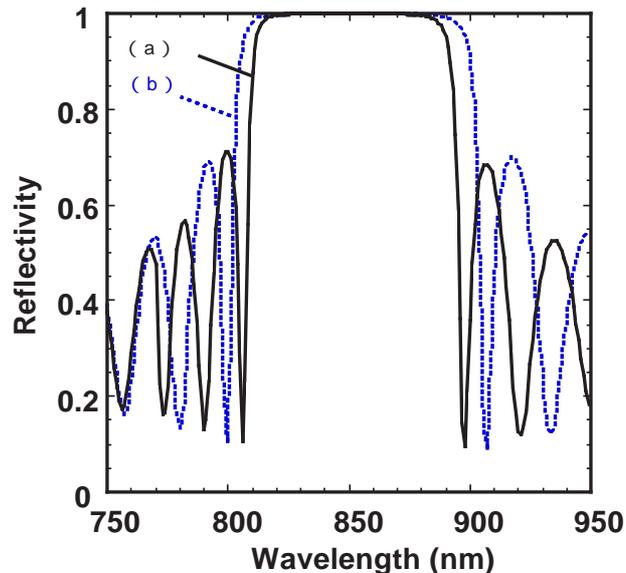
$$\frac{1}{\lambda_0} = \frac{1}{2} \cdot \left( \frac{1}{\lambda_1} + \frac{1}{\lambda_2} \right)$$

(2) サイドロブの反射率は、同じであること、つまり

$$R_1 = R_2$$

等である。よって大まかに 2 種類の膜を光学波長で  $1/4 \lambda$  に合わせて作製する際、まずこの 2 つが大きなポイントであることがわかる。

しかしながら実際には DBR を構成する物質の屈折率は波長依存性があるため、この結果と若干異なる。図 2.9 に屈折率の波長依存性を考慮した場合と、考慮しない場合の 25 ペアの  $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}/\text{AlAs}$  の DBR の反射率特性の計算結果を示す。屈折率の波長依存性を考慮して計算すると、サイドロブの反射率は屈折率差が短波長側（バンド端に近くなる方）に行くにつれて大きくなるため、 $R_1 > R_2$  となる。また、ストップバンド幅は屈折率の波長依存性を考慮しない場合と比べて小さくなる。



(a) 屈折率の波長依存性あり (b) 屈折率の波長依存性無し

図 2.9  $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}/\text{AlAs}$  DBR の反射率の波長依存性

### 2.2.4 電界分布

次に実際の VCSEL 構造を作製した際、半導体結晶内で電界がどのように分布しているか、2.2.3 項で扱った特性マトリックスから求めてみる。各層内の電界は、+方向に進む  $E_i^+$  と反射光である  $E_i^-$  の重ね合わせで考えられる。よって層内の電界  $E_x$  は

$$E_x = \exp(j \frac{2\pi n_i x}{\lambda}) E_i^{+R} + \exp(-j \frac{2\pi n_i x}{\lambda}) E_i^{-R} \quad (2.19)$$

と表される。活性層の電界強度を規格化して 1 とし、式 (2.19) を用いると、層内の電界強度は活性層の電界強度に対して相対的に求まり、電界の連続条件から全ての層の電界強度の記述が可能となる。

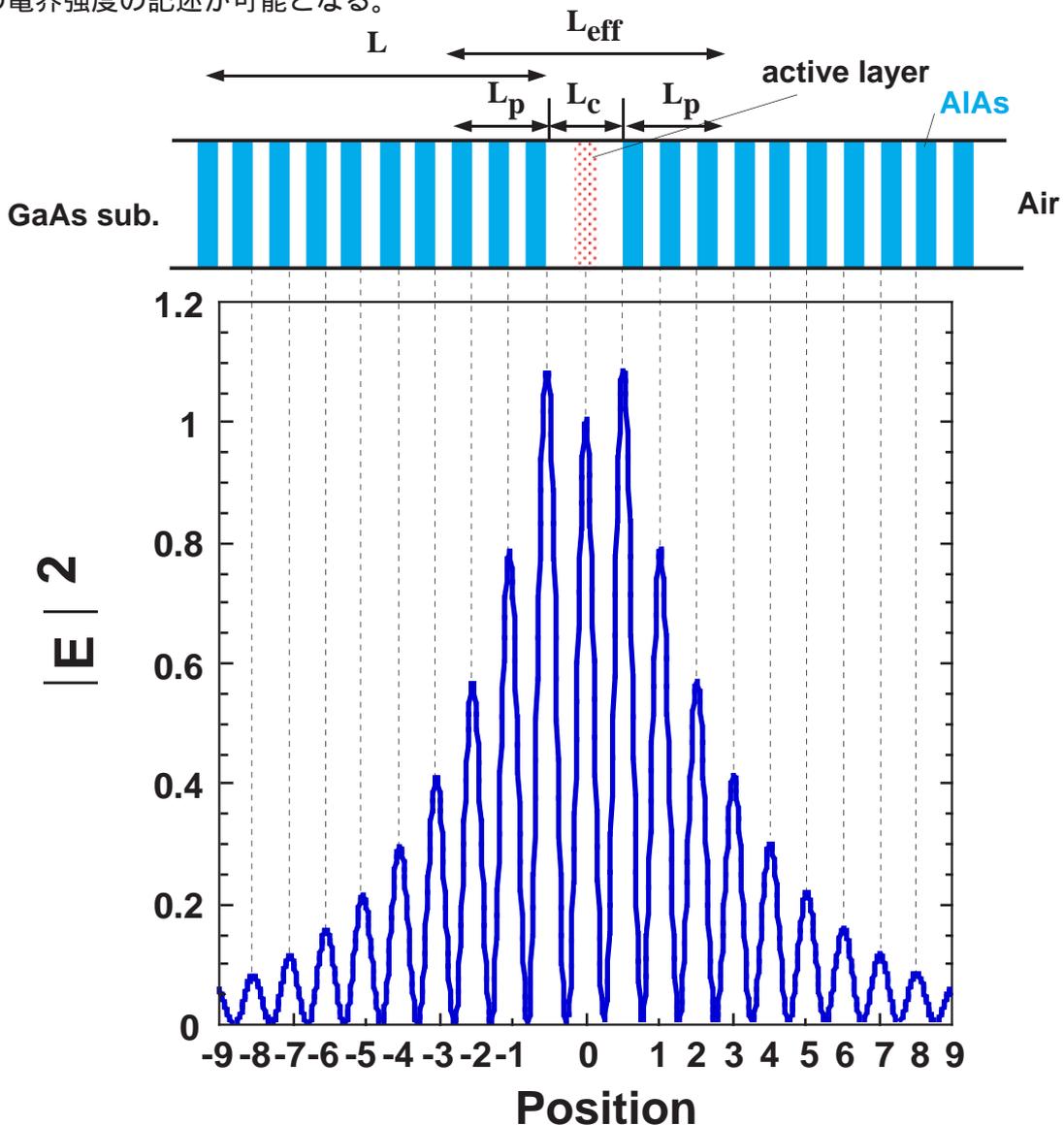


図 2.10 VCSEL の層内の電界分布

図 2.10 に実際の VCSEL の構造における電界分布の計算結果を示す。横軸は DBR の 1 ペアの厚さで規格化し、上部 AlGaAs/AIAs ミラーは 20 ペア、下部ミラーは 30 ペアで、基板は GaAs として計算している。DBR 層内では、AIAs 層の活性層に近い界面で極大値をとり、反対側は極小値となる。また活性層から離れるに従い電界強度が指数関数的に減衰していく様子がわかる。またスペーサ層と AIAs 層の界面で、電界強度が最大になっていることがわかる。こういった電界分布の様子は、近接場光学により実際に VCSEL 内の電界分布を測定した報告例があり<sup>6)</sup>、計算結果の妥当性は実証されている。

### 2.2.5 実効キャビティ長<sup>7)</sup>

VCSEL の実効キャビティ長は活性層とスペーサ層からの厚さ  $L_c$  (図 2.10) のみで決定されない。これはブラッグ反射鏡がレーザ発振条件に必要な位相条件に大きく関与しているためで、端面発光型レーザで言われる共振器波長  $\lambda_c$  を記述するためには、DBR 層内の、いわゆる電界強度の侵入の深さ  $L_p$  を考慮したキャビティ長を求めなければならない。そこで両 DBR 層内の侵入の深さが同じとすると、実効キャビティ長  $L_{\text{eff}}$  は、

$$L_{\text{eff}} = L_c + 2L_p \quad (2.20)$$

となる。DBR の長さを  $L$ 、ブラッグ反射鏡を構成する材料の屈折率を  $n_1$ 、 $n_2$ 、DBR のペア数を  $N$  とすると、 $L_p$  は摂動法<sup>8)</sup>により

$$\frac{L_p}{L} = \frac{1}{2} \frac{\tanh(k \cdot L)}{k \cdot L} \quad (2.21)$$

$$k = \frac{\pi}{\lambda_c} (n_1 - n_2) \quad (2.22)$$

と表される。これにブラッグ反射鏡が、光学波長の 1/4 の厚さで積層されたとすると、式 (2.21) と (2.22) は

$$L = \left( \frac{\lambda_c}{4n_1} + \frac{\lambda_c}{4n_2} \right) N \quad (2.23)$$

$$k \cdot L = \frac{\pi}{4} \left( \frac{n_1^2 - n_2^2}{n_1 \cdot n_2} \right) N \quad (2.24)$$

と、波長依存性がなくなり、屈折率と DBR のペア数のみで  $L_p$  が定まる。図 2.11 に中心波長 0.85  $\mu\text{m}$  の  $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}/\text{AIAs}$  DBR と、比較のため屈折率差の大きい  $\text{SiO}_2/\text{TiO}_2$  DBR の  $L_p$  を計算した結果を示す。 $\text{AlGaAs}/\text{AIAs}$  DBR の層ペア数が 12 ペア程度から  $L_p$  が飽和し、 $L_p = 0.26 \mu\text{m}$  となり、 $\text{SiO}_2/\text{TiO}_2$  DBR の  $L_p$  は 3 ペア程度から飽和し、 $L_p = 0.13$

$\mu\text{m}$ 程度となる。これは屈折率差が大きい程 DBR 層へ電界の侵入が少なく、そのため少ないペア数で飽和することを意味している。半導体 DBR と キャビティ (p 型 DBR と n 型 DBR の層間である n 型 AIAs と p 型 AIAs で挟まれた領域  $L_c$  が光学波長で発振波長と同じ) で構成される標準の VCSEL の場合は、 $L_c$  は  $0.24 \mu\text{m}$  のため、半導体 DBR を用いた場合、 $0.76 \mu\text{m}$  が実効キャビティ長となる。

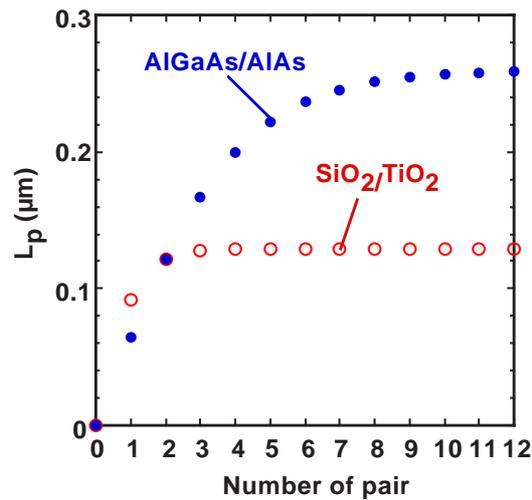


図 2.11 DBR 層内への染みだし長

### 2.2.6 光閉じ込め係数

次に、光閉じ込め係数について議論する。一般に光閉じ込め係数は実効キャビティ内の電界分布を考慮して考える。 $L_p = 0.26 \mu\text{m}$  より、概ね 2 ペア程度であることがわ

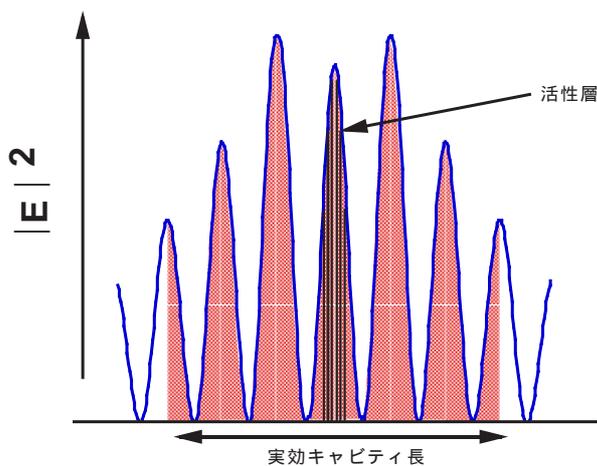


図 2.12 閉じ込め係数の概念図

かる。従って、閉じ込め係数  $\Gamma_v$  は、活性層が占める電界の積分を実効キャビティ内の電界の積分総和 (図 2.12 のハッチの部分) で割ったもので表され、

$$\Gamma_v = \int_a E \, dx / \int_{-\frac{L_{\text{eff}}}{2}}^{+\frac{L_{\text{eff}}}{2}} E \, dx \quad (2.25)$$

のように記述できる。VCSEL 内の電界分布は 2.2.4 項で示したように、構造が決まれば 1 元的に求まるので、

式 (2.25) の閉じ込め係数は導出可能となる。ここで、 $0.85 \mu\text{m}$  帯 VCSEL を例にとり、活性層が キャビティで構成され、かつ GaAs/AlGaAs の井戸層数 6 の Multiple-Quantum-Well (MQW) を想定し、DBR 層は前出と同じように  $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}/\text{AlAs}$  で構成した場合を式 (2.25) を用いて計算すると、閉じ込め係数  $\Gamma_v$  は 0.085 と求められる。閉じ込め係数を大きくするためには、定在波の腹の部分に活性層が位置するようにし、また実効キャビティ長を短くすることが重要であることが、このことから容易に導出される。尚、定在波の腹に活性層を配置し、閉じ込め係数を大きくする構造は共振周期利得構造 (Periodical Gain Structure) と呼ばれており<sup>9)</sup>、その効果は既に確認されている。

## 2.3 0.85 $\mu\text{m}$ VCSEL の作製

### 2.3.1 結晶成長

次に実際に VCSEL の作製について述べる。図 2.13 に本研究の VCSEL のバンド構造を示す。本章で取り扱うレーザ用結晶は全て (100) 面基板上に MOCVD 法で成長させたものである。活性層は GaAs/ $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$  の 6 層の MQW 構造を採用し、スペーサ層は  $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$  組成であり、n 型 DBR 層は  $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}$  と AlAs の abrupt 構造、p 型 DBR 層は  $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}$  と AlAs の間に intermediate 層 (中間層) である 100 厚さの  $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$  を導入した構造を用いた。p 型 DBR 層に中間層を導入した理由は、電気抵抗低減のためで、これについては 2.3.2 項で詳細に述べる。

各半導体層の結晶成長は減圧 MOCVD 法を用い、成長時の圧力は 0.1 atm で行った。成長温度はドーパント濃度の制御のため、各層ごとに異なっており、700-750 の範囲内である。III 族及び p 型ドーパントは有機金属を供給源とし、トリメチルガリウム (TMG)、トリメチルアルミニウム (TMA)、ジエチルジンク (DEZ) 及び  $\text{CCl}_4$  を用いた。V 族の原料及び n 型ドーパントとして  $\text{AsH}_3$ 、 $\text{PH}_3$ 、そして  $\text{SiH}_4$  ガスを用いた。

### 2.3.2 n 型及び p 型 DBR の検討

VCSEL を構成する上で DBR 層が特性を大きく左右することを前述したが、DBR に要求される特性として、反射率 99 % 以上、電気抵抗は限りなく 0 に近いことが望まれる。このような高反射率を得るためには、例え最も屈折率差が取れる AlAs と GaAs を用いても 20 ペア以上積層する必要があるため、トータルの膜厚として約  $6 \mu\text{m}$  程度

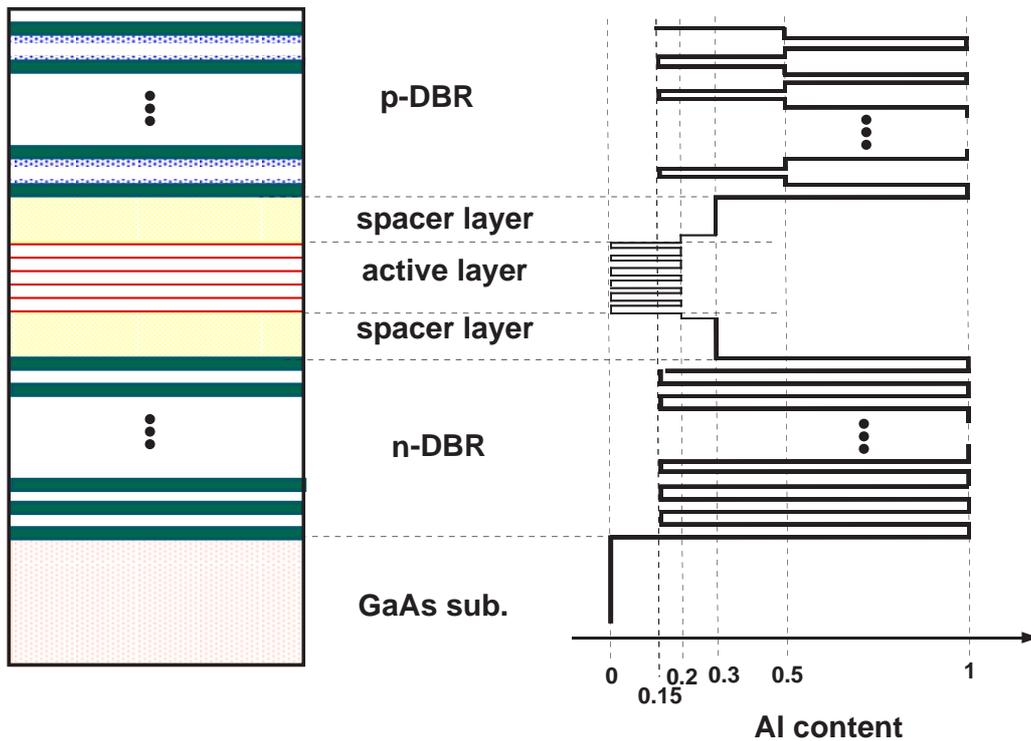


図 2.13 VCSEL の層構成

を要することになる。このため、厚い膜による電気抵抗の上昇が懸念されるが、実際には DBR 層内の GaAs と AlAs の大きなバンド不連続による高抵抗化の問題が最も深刻となる。図 2.14 の模式図に示すように GaAs と AlAs のヘテロ界面では、スパイクが発生するため、多数キャリアはヘテロ界面ではトンネル効果で通過しなければならず、結果として DBR 層全体として極めて高抵抗な値を示す。特に p 型の場合、正孔の有効質量が電子より大きいためこの問題が顕著になる<sup>10)</sup>。以下 n 型、p 型 DBR 層について、検討した結果について述べる。

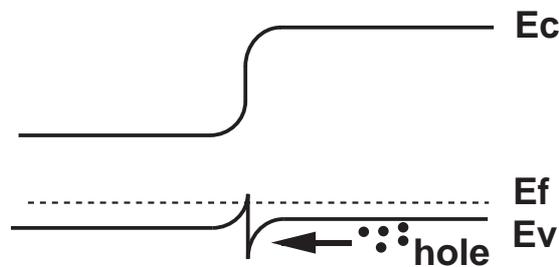


図 2.14 AlGaAs/GaAs ヘテロ接合のバンド構造図

### 2.3.2 (A) n 型 DBR

n 型 DBR 層は p 型に比べて、電気抵抗はそれほど議論されていない。そこで、まず DBR 層の抵抗のドーピング濃度及び構造依存性についての検討を行った。DBR 構造は各々光学波長で 4 分の 1 ずつの厚さで 10 ペアの  $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}$  (厚さ 60.5 nm) と  $\text{AlAs}$  (厚さ 71.1 nm) 組成で構成され、各々の層は均一に Si ドーピングを行い作製した。作製したサンプルは abrupt 構造 ( $\text{GaAs}/\text{AlAs}$  界面に何も層がない構造) とバンド不連続の影響を緩和するために導入した 100 Å の厚さの  $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$  組成の中間層を含む構造の 2 種類である。素子の上下にはオーミックコンタクトをとるために  $\text{AuGeNi}/\text{Au}$  の電極を電子ビーム蒸着で形成し、 $\text{Cl}_2$  系のドライエッチングにより基板までエッチングを施し正方形のメサを形成した。図 2.15 に電気抵抗のメサの一辺の長さ依存性を示す。この図からわかるように abrupt 構造で、ドーピング濃度を  $1 \times 10^{18} \text{ cm}^{-3}$  から  $3 \times 10^{18} \text{ cm}^{-3}$  にすることにより、抵抗が 2 桁も減少することがわかる。同様に中間層を入れた 2 種類の構造も、ドーピング濃度依存性が見受けられるが、同じ  $3 \times 10^{18} \text{ cm}^{-3}$  ドーピングした層どうしを比べると、中間層を挿入した方が抵抗が若干低い。以上の結果より、本 VCSEL 構造を作製する場合、メサ形成時に n 型 DBR 層は活性層直下の数ペアしかエッチングしないこと、次に述べる p 型に比べて抵抗の値そのものが低いこと、光の吸収係数のドーピング濃度依存性が低いということを考慮して、結晶成長の際、膜厚の再現性が良好な  $3 \times 10^{18} \text{ cm}^{-3}$  ドーピングした abrupt 構造を採用することにした。

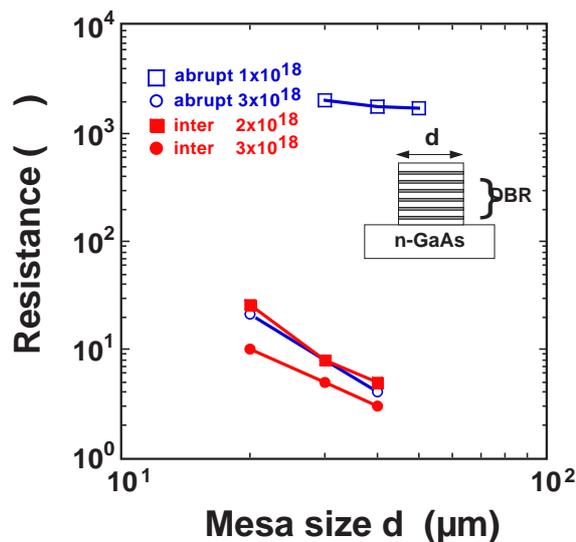


図 2.15 n 型 DBR の 10 ペアの抵抗のメササイズ依存性

## 2.3.2 (B) p 型 DBR

### (B-1) Zn ドーピング

p 型 DBR 層は n 型に比べ、電気抵抗が高く、また光吸収量のキャリア濃度依存性が大きいいため作製には注意する必要がある。ここでは、p 型のドーパント材料として Zn と C を取り上げる。Zn は III-V 族化合物中では、一般的な p 型ドーパントであるが<sup>11-12)</sup>、DBR 層の p 型ドーパントとして用いる場合、VCSEL のデバイス特性に悪影響を与える様々な問題が浮上してくる。まず Zn ドーパントは、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$  の Al の組成  $x$  が大きい層では、高濃度のドーピングが難しくなる。これは Al 組成が 0.6 を越えるとアクセプター準位が急激に深くなることから説明される<sup>13)</sup>。アクセプター準位  $E_a$  とキャリア濃度  $p$  とは以下の関係式にある。

$$p \propto \exp\left(-\frac{E_a}{2kT}\right) \quad (2.26)$$

$k$  はボルツマン定数、 $T$  は絶対温度である。ここで式(2.26)に  $x=0.15$  のときの  $E_a=22$  meV、 $x=1$  のときの  $E_a=140$  meV を代入すると室温で  $p_{x=1} / p_{x=0.15} \sim 0.1$  となり、同じドーパント濃度の場合、Al 組成が 0.15 と 1 ではキャリア濃度が 1 桁程度異なり、Al 組成の大きい方がキャリア濃度が小さいことが予想される。これは大きなバンド不連続を持つ DBR において、電気抵抗を下げるために Al 組成の大きい層のキャリア濃度を高くすることが望ましいことと反対になっている。更に Zn は拡散係数が大きいため、成長中に Zn 原子が DBR 層内で拡散を起こし、所望のドーピングプロファイルが得られにくく、また拡散による活性層への悪影響が懸念される。そこで、Zn ドーピングした DBR 層の抵抗を検討するために、n 型と同じ abrupt 構造と、AlGaAs と AlAs の間に徐々に組成を変える graded 層を導入した構造 (全遷移膜厚 100 nm) を 10 ペア作製し、それぞれの抵抗を比較した。DBR を構成する各層のドーピング濃度は SIMS 分析により得られた結果を参考にし、表 2.1 にそれぞれのドーピング濃度を、図 2.16 に抵抗値の結果を示す。同じドーピング濃度の Abrupt と Graded 1 を比較した場合、1 ペア当たりの抵抗値は Abrupt で  $2.2 \times 10^{-3}$  cm<sup>2</sup>/pair、Graded1 で  $1.7 \times 10^{-4}$  cm<sup>2</sup>/pair であり、1 桁以上の開きがある。このことから Graded 層が抵抗低減に大きく関与し、かつ n 型のほぼ 2 倍程度まで抵抗値が下がることがわかる。しかしながら、光吸収の観点から、キャリア濃度を更に低くすることが望まれるため、AlGaAs 層のドーピング濃度を少なくした Graded 2 の作製も試みた。AlGaAs 層側の濃度を少なくした理由は、発振波長とバンド端の波長が近いいため、バンドテイルによる吸収を懸念したためである。Graded 2

の抵抗値は Graded 1 に比べ若干上昇したが、ほぼ同じ値を示した。以上より p 型 DBR の電気抵抗は、AlGaAs/AIAs 界面での電気抵抗の寄与が大きく、遷移層を設け、高キャリア濃度を実現すれば、抵抗の低減化が可能であることがわかった。

表 2.1 Zn ドーピングされた p 型 DBR の各層内のドーピング濃度

	Al <sub>0.15</sub> Ga <sub>0.85</sub> As	AIAs
Abrupt 構造	$5 \times 10^{19} \text{ cm}^{-3}$	$1 \times 10^{19} \text{ cm}^{-3}$
Graded 1	$5 \times 10^{19} \text{ cm}^{-3}$	$1 \times 10^{19} \text{ cm}^{-3}$
Graded 2	$2 \times 10^{19} \text{ cm}^{-3}$	$1 \times 10^{19} \text{ cm}^{-3}$

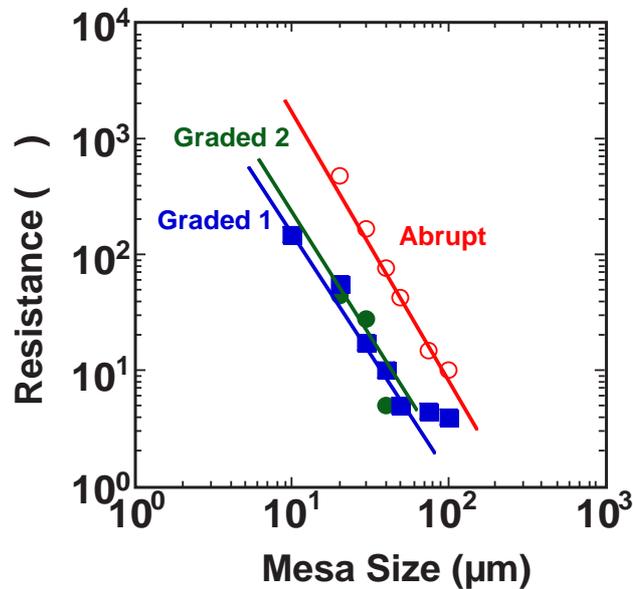


図 2.16 p 型 DBR (Zn ドーピング) 10 ペアの抵抗

一方、DBR 層には電気抵抗の低減化と同時に光吸収を極力少なくすることが要求される。自由キャリアの吸収係数 $\alpha$ と p 及び n 型キャリア濃度 ( $\text{cm}^{-3}$ ) の関係は、概ね以下の式で表される<sup>14)</sup>。

$$\alpha (\text{cm}^{-1}) = 3 \times 10^{-18} n (\text{cm}^{-3}) + 7 \times 10^{-18} p (\text{cm}^{-3}) \quad (2.27)$$

これより Graded 1 は  $100 \text{ cm}^{-1}$  を越える値となり、2.2.1 項の反射率と発光効率の点で、VCSEL 特性に問題が生じることが予想される。実際、Graded 1 と Graded 2 を用いて VCSEL を作製してみたが、結果として、Graded 1 は室温でレーザ発振動作には至らず、

また Graded 2 は室温パルスでレーザ発振動作を確認したが、出力が数  $\mu\text{W}$  と十分な特性には至らなかった。これは光吸収係数が高いため十分な反射率が得られず、かつ共振器内の吸収係数も大きいため、閾値電流の増加を招き、発光効率も悪くなったためと考えられる。そこで更なる VCSEL の特性向上のため、ドーパントの材料として Zn に代わり C について検討を行うこととした。

### (B-II) C ドーピング

C (カーボン) は Zn に比べて以下のような利点がある。

- (1) 拡散係数が Zn に比べて 2 桁小さい。
- (2) 容易に高濃度ドーピングが可能である。
- (3) また同一条件内 (成長温度、流量) で、Al 組成の大きい層程、高濃度にドーピングされる。
- (4) また活性化率がほぼ 100%。

(1) は成長温度によらず、層内に所望の濃度プロファイルが得られやすいことを意味し、(2) は 18 乗以上のキャリア濃度が要求される DBR 構造に適した性質であり、(3) は AlGaAs/AIAs ミラーを作製する場合、AIAs 層側を高濃度にした場合に都合が良く、(4) は特に高濃度時において、不純物の格子間原子が少ないことから、光吸収の増加が小さいことが予想される。よって何れの観点からも VCSEL の p 型 DBR にとって、非常に適したドーパント種であると言える。図 2.17 に成長温度 650 における  $\text{CCl}_4$  の流量に対するドーピング濃度依存性を示す。これより Al 組成の大きい層程、高濃度にドーピングされることがわかり、AlGaAs と AIAs が同じ成長温度で 1 桁以上のドーピング濃度制御が可能であることがわかる。

(尚、現在では、 $\text{CCl}_4$  は国際協約上使用禁止ガスに指定され、 $\text{CCl}_4$  から  $\text{CBr}_4$  に変わっているが、供給分子量に対するキャリア濃度の傾向は同様の結果が得られている。)

次に実際の 10 pair の p 型 DBR に対する抵抗の測定結果を図 2.18 に示す。各層のドーピング濃度は、吸収係数を考慮し p 型 DBR の AlGaAs を  $2 \times 10^{18} \text{ cm}^{-3}$  ( $\alpha = 14 \text{ cm}^{-1}$  と想定) に固定して、AIAs 層のドーピング濃度を 4 種類変化させた。この結果から明らかのように、AIAs 層のドーピング濃度を  $1 \times 10^{18} \text{ cm}^{-3}$  以上にすると、抵抗が急激に低下し、その後はドーピング濃度を増加しても抵抗値は飽和することがわかる。そして AIAs のドーピング濃度  $2 \times 10^{18} \text{ cm}^{-3}$  時において、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$  の中間層を導入した場合、導入する以前にくらべて、抵抗は 1 桁程度の減少となり、n 型 DBR とほぼ同レベルの

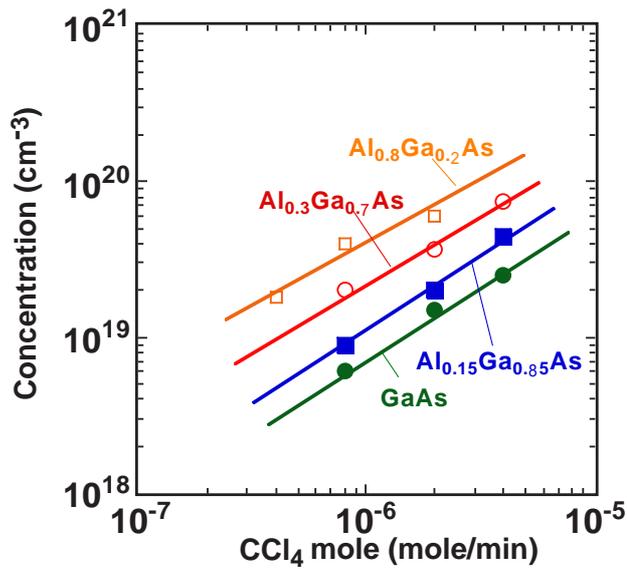


図 2.17 ドーピング濃度の供給分子量依存性

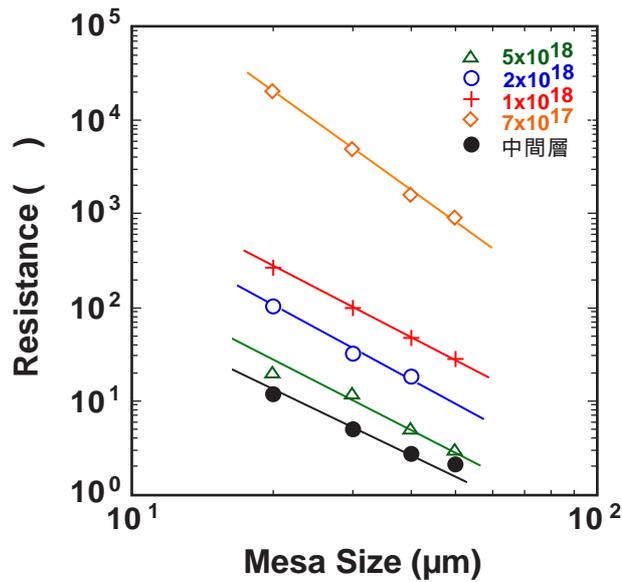


図 2.18 p 型 DBR ( C ドーピング ) 10 ペアの抵抗

抵抗になることがわかった。

しかしながら、Zn ドーピングに比べるとドーピング濃度が低い状態で、低抵抗化が達成されていることに疑問が生じる。同様のことが既に Be と C の比較で行われており、Be ドーピングの方は拡散によりヘテロ界面にパイルアップしていたため高抵抗となるという報告がある<sup>15)</sup>。そこで Zn ドーピングした p 型 DBR と C ドーピングした p 型 DBR の SIMS (Secondary Ion Mass Spectrometry : 二次イオン質量分析) 分析を行っ

た。図 2.19 にその結果を示す。Zn ドーピングの場合は AlGaAs 層に  $3 \times 10^{19} \text{ cm}^{-3}$ 、AlAs 層に  $1 \times 10^{19} \text{ cm}^{-3}$  の想定、C ドーピングの場合は AlGaAs 層に  $4 \times 10^{18} \text{ cm}^{-3}$ 、AlAs 層に  $1 \times 10^{19} \text{ cm}^{-3}$  の想定で、DEZn、 $\text{CCl}_4$  の供給量を定めたものである。Zn が界面にパイラップしている様子は伺えないが、明らかに高ドーピング層である AlGaAs から AlAs への拡散が見られる。一方、C ドーピングしたサンプルにおいては、AlAs から AlGaAs への拡散は見られず、制御良くドーピングされている。このことから、同じドーパント濃度でも Zn ドーピングされた DBR の方が高抵抗なのは、拡散により所望のドーピングプロファイルが得られていないこと、AlAs 層内の Zn が格子間原子となり活性化されず電気的な伝導に寄与していなかったこと等が考えられる。

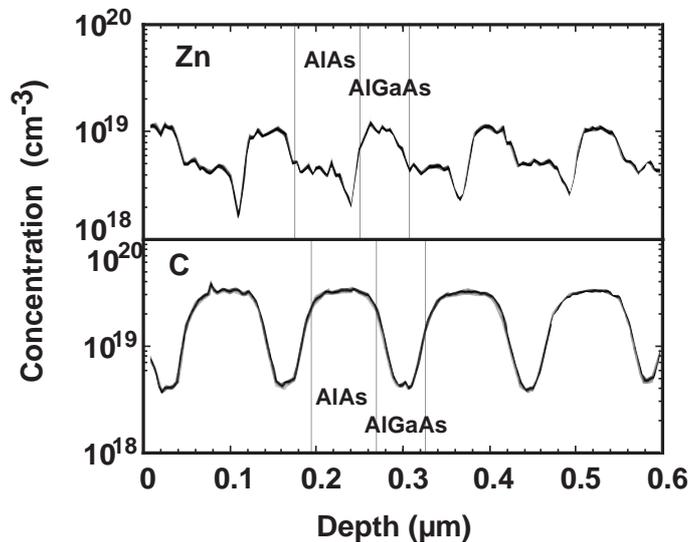


図 2.19 p 型 DBR (C ドーピング) の SIMS 分析結果

### 2.3.2 (C) 反射率測定

p 型 DBR 層の電気抵抗と光の吸収にはトレードオフの関係があることを既に述べたが、ここでは半導体 DBR の反射率を直接調べることについて言及する。従来、反射率の絶対値は分光光度計等を用いて測定されていた。しかしながら、99%以上の測定をする場合、光源が白色光のため S/N が悪かったり、サンプルへの光の入射角度が厳密に 90 度でなかったりと、測定精度の点で問題があった。また、これと等価な方法として、サンプルの透過率を求めて反射率を間接的に求める方法が考えられるが、本 DBR 構造の場合、850 nm の入射光に対して基板である GaAs が吸収体であるため、透過率の測定は困難となる。また、分光光度計で得られた反射率の波長依存性のストップバ

ンド幅やサイドロブピーク値から反射率を計算する方法があるが、AlGaAs の屈折率分散が文献によって大きく異なったり<sup>16-17)</sup>、またドーパント種による吸収係数や屈折率変化等の詳細なデータが乏しいため、これも測定精度上問題がある。そこで垂直入射した光の反射率を正確に測定するために図 2.20 に示した光学系を組み、ガラス基板の上に光学波長で 1/4 波長の膜厚で積層した SiO<sub>2</sub>/TiO<sub>2</sub> 誘電体多層膜を用いた基板をリファレンスにして、半導体 DBR の反射率を求めることを試みた。光源には 0.85 μm の発振波長の半導体レーザ、及び SLD (Super-luminescence Laser Diode) を用いた。

光強度をリファレンス時 P<sub>r</sub>、サンプル時 P<sub>s</sub>、リファレンスの反射率 R<sub>r</sub> とすると、サンプルの反射率 R<sub>s</sub> は次式のように表せる。

$$R_s = R_r \cdot P_{s0} / P_{s1} \cdot P_{r1} / P_{r0} \quad (2.28)$$

まず図 2.20 のサンプルの背後に光検出器を置き、基板の裏面に AR コーティングを施したリファレンスの透過率を測定し、リファレンスの反射率 R<sub>r</sub> を決定した(誘電体多層膜内とガラス基板の光散乱と吸収損失は 0 と仮定)。測定に用いた 3 種類の誘電体多層膜は、透過率の測定から 94.5%、96.4%、98.0% の反射率を有すると推定された。まず、この光学系で誘電体多層膜を垂直入射の反射率を測定し、系全体の精度を測定した。この結果より、この光学系で概ね 0.05% 以下の精度で反射率が測定出来ることがわかった。

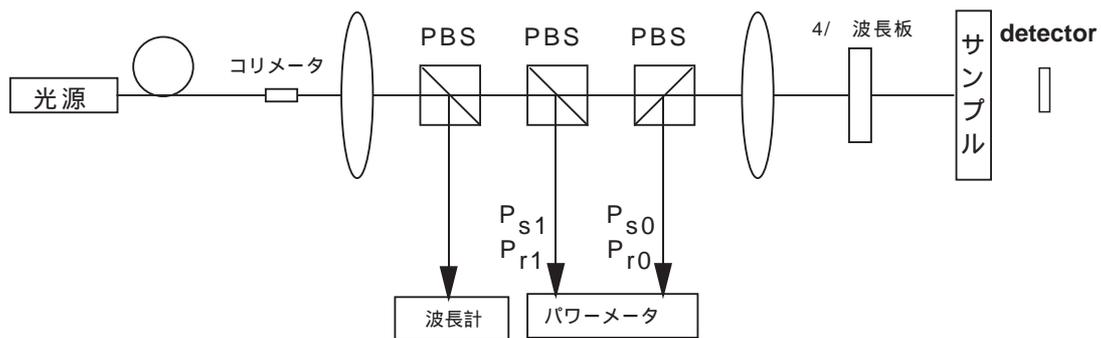


図 2.20 高精度反射率測定計

次にそれぞれドーパント濃度の異なる 3 枚の C ドーピングした p 型 DBR (16 ペア) を測定した結果を下記の表 2.2 に示す。

この結果を 2.2.3 項で用いた計算で AlGaAs の吸収係数を 10 cm<sup>-1</sup> とし、AlAs の吸収

係数を変化させたときの値と反射率の測定結果をプロットしてみると図 2.21 のようになる。この図からサンプル B で AIAs 層の吸収係数は  $0 \sim 20 \text{ cm}^{-1}$ 、サンプル C で  $20 \sim 30 \text{ cm}^{-1}$  程度あることがわかり、AIAs 層の吸収係数もほぼ式 (2.27) に従うことが予想される。

以上の検討結果より、電気抵抗と光吸収の両方の観点から、p 型 DBR を構成する AlGaAs の全ての層のキャリア濃度を  $2 \times 10^{18} \text{ cm}^{-3}$  とし、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$  中間層を含んだ  $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}/\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}/\text{AIAs}$  構造で VCSEL の作製を試みることにした。

表 2.2 p 型 DBR (C-doped) 16 ペアの反射率測定結果

サンプル	A		B		C	
組成	AIAs	AlGaAs	AIAs	AlGaAs	AIAs	AlGaAs
キャリア濃度 ( $\text{cm}^{-3}$ )	non-doped	non-doped	$4 \times 10^{18}$	$3 \times 10^{18}$	$3 \times 10^{19}$	$3 \times 10^{18}$
測定値(%)	99.36		99.33		99.22	

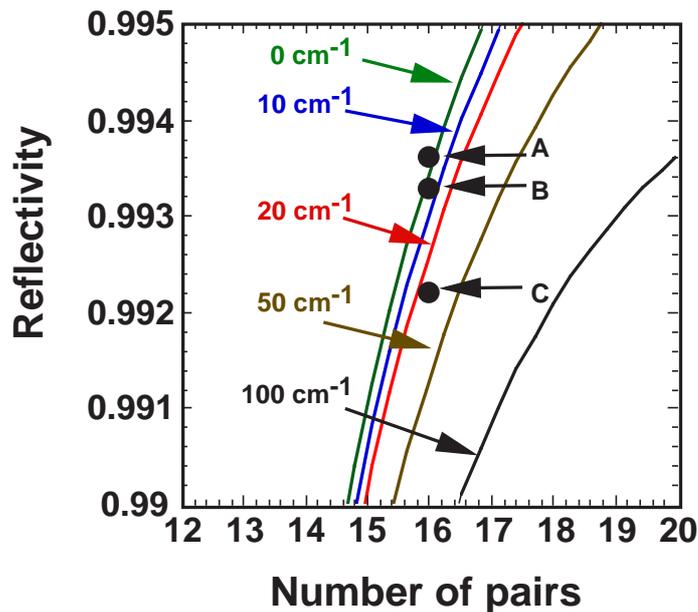


図 2.21 反射率の吸収係数依存性

## 2.4 作製工程

VCSEL の構造は図 2.13 に示した層構成で、基板は面方位 (100) の n 型 GaAs 基板である。作製したウェハは n 型 DBR は 33.5 ペアとし、p 型の DBR のペア数は外部

微分量子効率を調べるために 24 ペアと 20 ペアの 2 種類の成長を行った。この場合、活性層側からの反射率は、計算と実験値の両方より p 型 DBR 層が 24 ペアのとき 0.9988、20 ペアのときは 0.9976 となっていると考えられる。

#### 2.4.1 成長層の評価

MOCVD 成長した基板を、まず分光光度計を用いて反射率の波長分布を調べた。図 2.22 にこの作製したウェハの p 型 DBR のペア数が 20 の反射率の波長依存性を示す。この図より、活性層の利得領域とストップバンドの帯域が一致していることがわかる。また VCSEL はエタロン型の共振器構造であるため、本来なら共振波長の測定が可能のはずであるが、実際にはこの測定結果からは観測されていない。これは VCSEL がいわゆる Q 値の高い共振構造になっているため、共振ピークの線幅が狭く、白色光源を用いた測定では分解能が取れないためであると考えられる。そこで、図 2.20 で示した反射率測定系で共振波長の測定を試みた。光源は Ti-sapphire レーザを用い、波長計でその波長を観測している。図 2.23 にその結果を示す。848 nm に反射率のディップが観測され、本ウェハが 848 nm 近傍に共振波長をもつ構造が形成されていることがわかった。半値全幅は 0.1nm 程度であり、良好なエタロン構造が作製されていると推測できる。尚、反射率の絶対値の変動が大きいのが、これは Ti-sapphire レーザの出力変動の影響で APC (Auto Power Control) 状態でレーザを駆動していないためである。

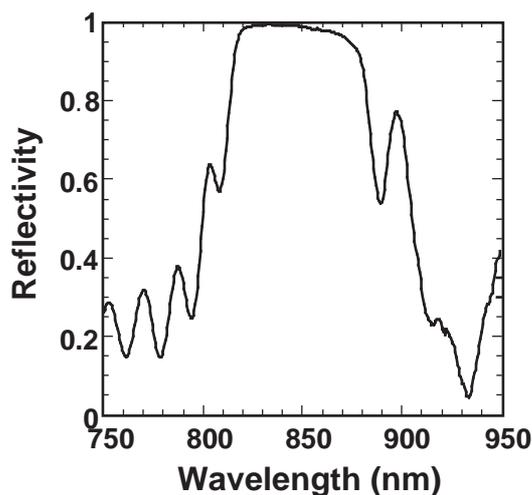


図 2.22 VCSEL ウェハの分光反射特性

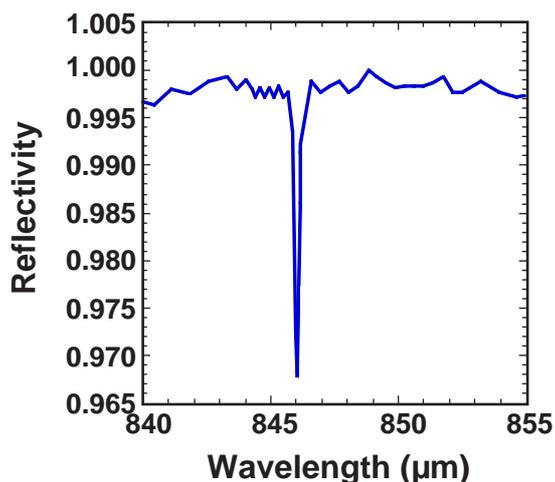


図 2.23 VCSEL の共振波長測定

### 2.4.2 上面発光型 0.85 $\mu\text{m}$ 帯 VCSEL の作製

VCSEL の作製工程を図 2.24 に示す。

- (1) 裏面を Br メタノールで 250  $\mu\text{m}$  厚まで研磨し、AuGeNi/Au を蒸着する。
- (2) 成長面に AuZnNi/Au のリング電極を形成し、アニールして p 型、n 型のオーミックコンタクトを形成する。
- (3) マグネトロンスパッタ装置で、表面に  $\text{SiO}_2$  を堆積させる。
- (4) レジストでメサパターンを形成した後、 $\text{C}_2\text{F}_6$  ガスを用いた RIE (Reactive Ion Etching) 装置で円形メサパターンを形成する。
- (5)  $\text{SiO}_2$  のパターンをマスクにして、 $\text{Cl}_2$  ガスを導入した RIBE (Reactive Ion Beam Etching) 装置で活性層の下側の n 型 DBR 層までエッチングする。
- (6) 硫酸系のエッチング液でメサ側面をサブ  $\mu\text{m}$ 、RIBE のダメージ層の除去のため等方的にエッチングした後、ポリイミド膜をスピコートにより塗布し、350 で熱処理をする。埋込み以外の部分をレジストでパターニングして、 $\text{O}_2$  をガス種とした RIE 装置でポリイミドをエッチングし、メサの上部の  $\text{SiO}_2$  を露出させる。 $\text{SiO}_2$  膜を BHF (バッファード弗酸) で取り除き、もう一度ウェハ表面全面

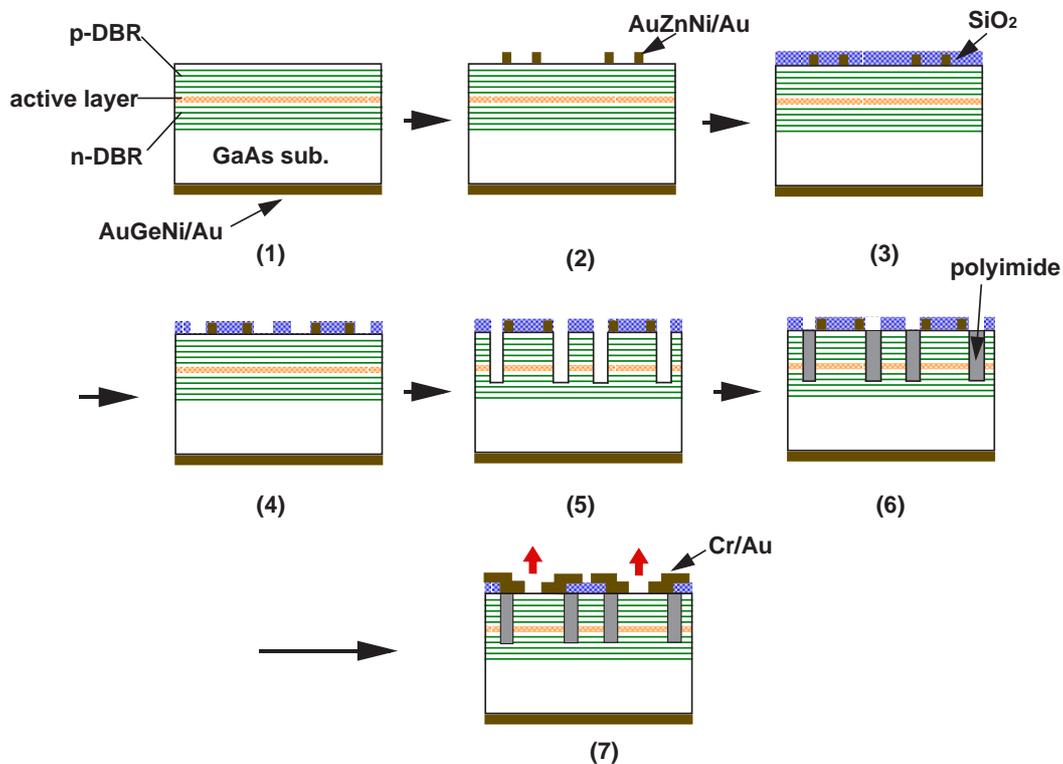


図 2.24 ポリイミド埋込みの VCSEL 作製プロセス

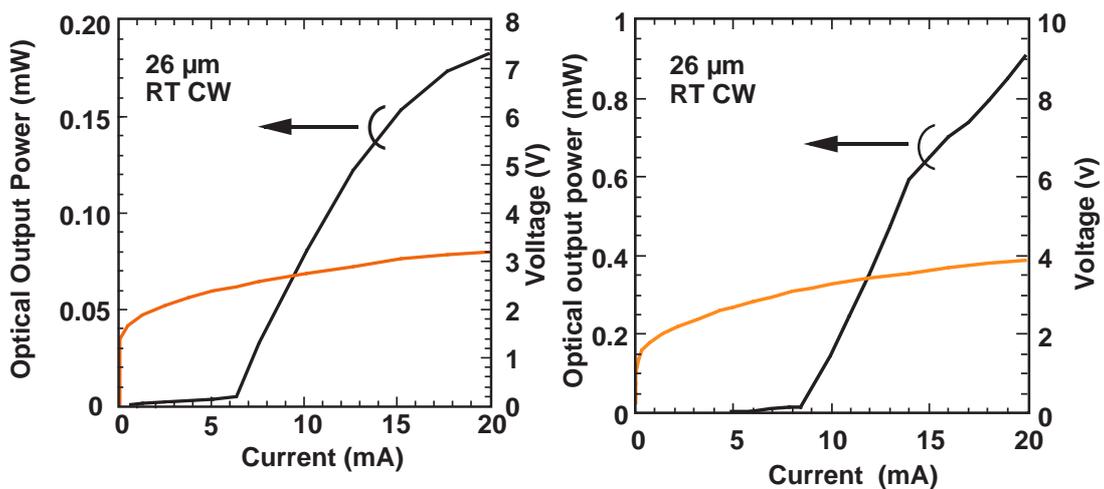
に SiO<sub>2</sub> 膜を堆積し、メサの上部の SiO<sub>2</sub> はレジストでパターニングした後、BHF で取り除く。

(7) レジストで配線パターンを形成し、Cr/Au の蒸着をする。

## 2.5 VCSEL の特性評価

### 2.5.1 電流 - 電圧特性、及び電流 - 光出力特性

まず、p 型 DBR が 24 ペアのウェハにより作製された VCSEL の電流 - 電圧特性、及び電流 - 光出力特性を図 2.25 (a) に示す。閾値電流、閾値電流密度は素子径 26 μm でそれぞれ、6.6 mA、1.24 kA/cm<sup>2</sup> であり、発振波長は 837.5 nm であった。外部微分量子微分効率  $\eta_{\text{ext}}$  が 1.4 % で、最大出力 200 μW という値が得られた。閾値電圧は 2.51 V で、そのときの微分抵抗は 91.4 Ω であった。次に p 型 DBR が 20 ペアのウェハより作製された VCSEL の電流 - 電圧特性、及び電流 - 光出力特性を図 2.25 (b) に示す。閾値電流、閾値電流密度はそれぞれ 8.6 mA、1.6 kA/cm<sup>2</sup> であり、発振波長は 852.9 nm であった。上部ミラーのペア数の減少に伴い、外部微分量子微分効率は 24 ペアのウェハに比べて約 10 倍の 14.4 % となり、結果として最大出力が約 1 mW に達した。10 mA 動作時にキックが見られるが、これは横モードの変化によるものである。また p 型 DBR のペア数が少ないのにも関わらず抵抗が高くなっているが、これは結晶成長におけるドーピング濃度のばらつきによるものと考えられる。



(a) p 型 DBR 24 ペア

(b) p 型 DBR 20 ペア

図 2.25 VCSEL の電流 - 電圧特性、及び電流 - 光出力特性

ここで図 2.25 (a) と (b) で得られた結果から VCSEL の主なパラメータを計算してみる。

(a) と (b) の外部微分量子効率を式 (2.6) にあてはめると、実効キャビティ内の平均内部損失 $\alpha_i$  は  $62.2 \text{ cm}^{-1}$  と見積もられた。次にこの値を元にして、閾値電流密度について考察する。閾値電流密度  $J_{th}$  は式 (2.5) で表したが、これは活性層をバルク層と考えた場合の記述であり、量子井戸構造を用いたときは利得係数と閉じ込め係数の関係から、閾値電流密度そのものの値が異なることが予想される。そこで量子井戸の利得を考慮した閾値電流密度についてここで述べる。量子井戸活性層を用いた場合、利得  $g$  は注入キャリア密度  $N$  に対して非線形な関数で

$$g = f(N) \quad (2.29)$$

とする。一方、量子井戸の利得の計算により<sup>18)</sup>、利得  $G$  は

$$G = \sum_{n=1}^{\infty} \frac{1}{\pi \hbar^2 L_w} \cdot \frac{m_c^* m_h^*}{m_c^* + m_h^*} \cdot H(E - E_n) \quad (2.30)$$

と表される。ここで  $m^*$  は有効質量を表し、添字の  $c$ 、 $h$  は伝導帯と価電子帯のヘビールールを意味する。 $H$  はヘビサイド関数で、これは電子の状態密度が量子閉じ込めにより、離散的になるために用いられる。次に、バンド内緩和時間を考慮して光の角周波数  $\omega$  に対する利得係数は

$$G(\omega) = \omega \left( \frac{\mu}{\varepsilon} \right)^{\frac{1}{2}} \cdot \frac{m_c^* m_h^*}{m_c^* + m_h^*} \cdot \frac{1}{\pi \hbar^2 L_w} \sum_{n=0}^{M-1} \int_{E_{cn} + E_{hn} + E_g}^{\infty} \langle R_{ch}^2 \rangle \frac{(f_c - f_v)(\hbar / \tau_{in}) dE_{ch}}{(E_{ch} - \hbar \omega)^2 + (\hbar / \tau_{in})^2} \quad (2.31)$$

となる。

ここで、 $\mu$  : 半導体の透磁率、 $\varepsilon$  : 誘電率、 $L_w$  : 量子井戸の厚さ、 $E_{cn}$  : 伝導帯の量子化準位エネルギー、 $E_{vn}$  : 価電子帯の量子化準位エネルギー、 $\langle R_{ch} \rangle$  : 電子-ホール双極子モーメント、 $E_{ch}$  : 電子-ホール間の遷移エネルギー、 $\tau_{in}$  : バンド内緩和時間、 $f_c$  : 伝導帯のフェルミ・ディラック分布関数、 $f_v$  : 価電子帯のフェルミ・ディラック関数、 $M$  : 伝導帯の量子化準位数と価電子帯の量子化準位数のうち小さい方の数である。

この式から利得ピークが  $850 \text{ nm}$  になるように、量子井戸を設計し、利得係数を求めると式 (2.29) の利得係数と注入キャリア密度の関係が解析的に求まる。図 2.26 にこの式により得られた結果を示す。次に量子井戸活性層を定在波の腹に位置するように配置した場合、式 (2.25) の閉じ込め係数を量子井戸数が増えるにつれ各々計算して、式 (2.3,4) を用いて井戸数  $1 \sim 10$  に対する閾値電流密度を求めると図 2.27 のようになる。ここでは吸収係数を  $60 \text{ cm}^{-1}$ 、 $n$  型 DBR の反射率を  $0.999$  としている。この図から実験値と計算値がほぼ一致すること、量子井戸数  $2 \sim 3$  近傍で最小となり、井戸数

が増加するにつれて閾値電流密度が増加することがわかる。

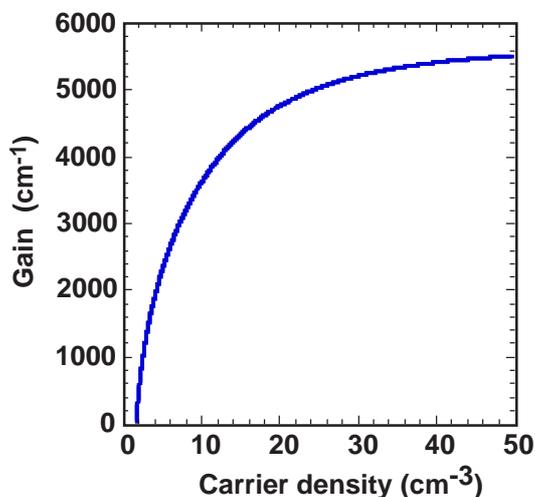


図 2.26 GaAs/AlGaAs 量子井戸層の  
利得係数の注入キャリア密度依存性

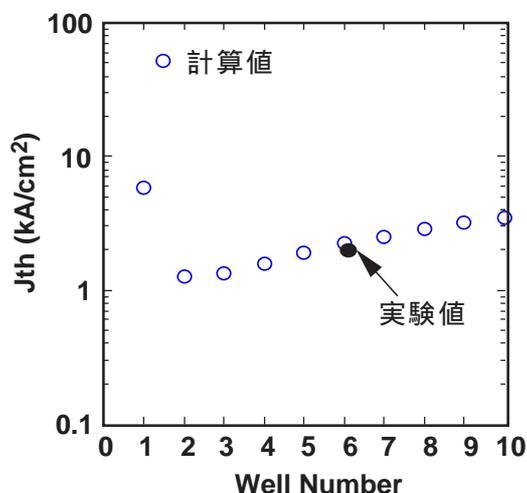


図 2.27 p 型 DBR 20 ペアの閾値  
電流密度の量子井戸数依存性

### 2.5.2 温度特性

半導体レーザにおいて、温度に対する特性変化を知ることは実用上極めて重要である。一般に端面発光型レーザにおいて、閾値電流は温度上昇とともに指数関数的に上昇し、温度  $T(K)$  のときの閾値電流  $I_{th}(T)$  は

$$I_{th}(T) = I_{th} \exp\left(\frac{T}{T_0}\right) \quad (2.32)$$

と表される。ここで  $T_0$  は特性温度と呼ばれ、半導体レーザの温度に対するデバイスの性能指数として表される。ファブリペロー型の端面発光型レーザの場合、共振波長のモードがいくつもあるため、活性層の最大利得を有する波長が温度とともに変化しても、利得の変化がそのまま閾値電流に反映し、 $T_0$  の定義が可能となっている<sup>2)</sup>。一方、ショートキャビティ構造の場合、閾値電流はこれとは異なった振る舞いをする。例えば  $0.85 \mu\text{m}$  帯 VCSEL のキャビティ構造の場合、縦モード間隔が約  $70 \text{ nm}$  となり実質的に共振器モードが 1 波長しかないことになる。何故なら図 2.7 で示したように、半導体 DBR のストップバンド幅は  $100 \text{ nm}$  程度なので、次のモードの場所に共振器モードが存在しないためである。そして、その共振器波長は温度上昇とともに、実効キャビティ内の屈折率変化により長波長側にシフトする。また最大利得を有する波長も温度とともに長波長側にシフトする。しかし共振器波長の温度変化量よりも、利得ピ

ークの変化量の方が大きいいため、室温時に予め共振器波長よりも短めの波長に利得ピーク波長を設定することにより高温での温度特性を良くする事が可能となり、結果として温度上昇に伴い閾値電流が小さくなるという現象が表れる。これは VCSEL の場合、一般に Gain-offset 効果と呼ばれている。室温で素子を連続動作させる場合、電流注入によって発生したジュール熱で素子の活性層の温度上昇が起こる。そこで電流を注入することによって起こる温度上昇を考慮し、この Gain-offset 量を最適にすることで利得ピークと共振波長をマッチングさせることが可能となり、室温連続発振時に閾値電流を最小にすることができる<sup>19-21)</sup>。図 2.28 に p 型 DBR 層が 20 pair でスペーサ層の厚さを変えて共振波長を変化させた数種類のウエハにより作製した 21  $\mu\text{m}$  素子の発振波長と閾値電流、最大光出力の関係を示す。尚、本ウエハの活性層のピーク波長はフォトルミネセンス (Photoluminescence: PL) 測定で 全て 830 nm であり、発振波長は注入電流が 10 mA 時の値としている。

図 2.28 に示すように、発振波長が 848 nm の時、閾値電流は最小の 5.2 mA となり、857 nm の 7.2 mA に比べて 3 割以上も小さくなっている。また最大光出力は、測定した範囲内では発振波長が長波長側になるに連れて増加傾向を示した。

以上より、共振器波長  $\lambda_0$  と PL ピーク波長  $\lambda_{\text{PL}}$  の差、 $\lambda_{\text{PL}} - \lambda_0$  が -18 nm 程度 のとき、閾値電流が室温で最小の値になることがわかった。

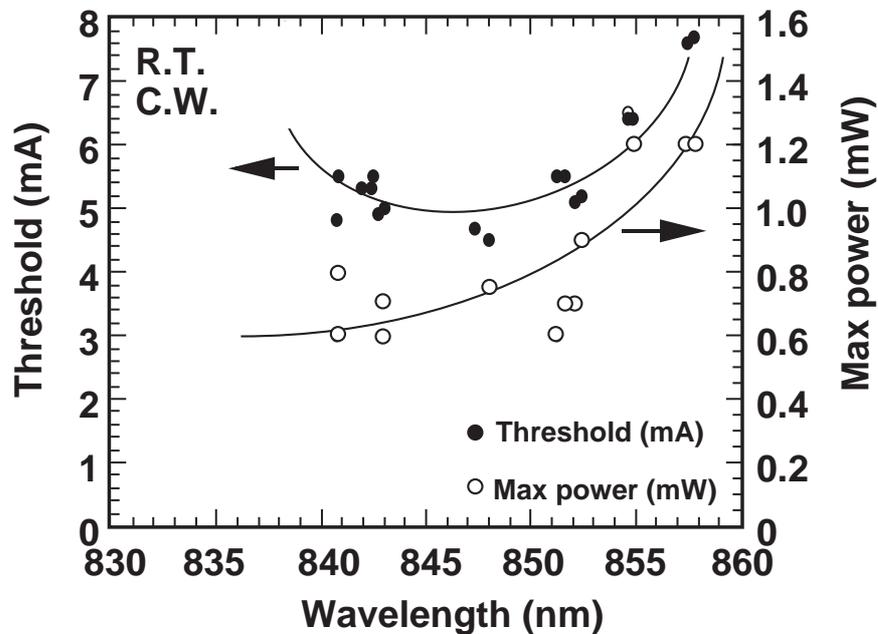


図 2.28 閾値電流、最大光出力の発振波長依存性。

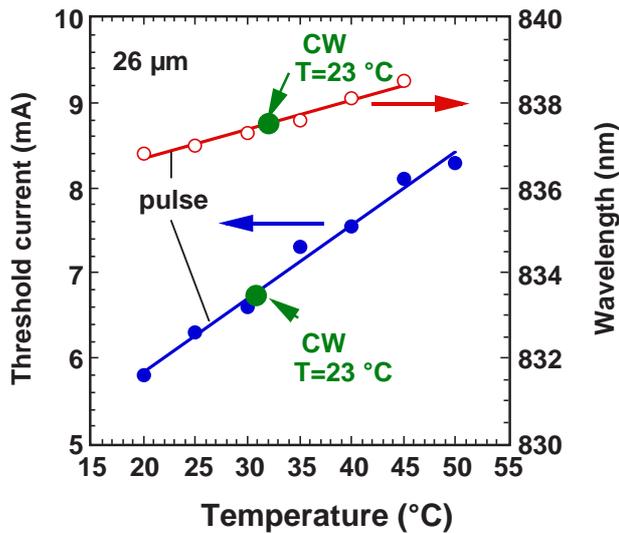


図 2.29 パルス動作における閾値電流、  
発振波長の温度依存性

26  $\mu\text{m}$  の素子を用いて発振波長の温度変化を見積もることにした。まず、電流注入による発熱を除去するため、繰り返し 3 kHz、パルス幅 400 ns の電流値 10 mA でパルス動作し、素子温度を変化させて発振波長を測定した。図 2.29 から発振波長  $\lambda_0$  の温度変化は 0.075 nm/K であることがわかる。次にペルチェ素子の温度を 23  $^{\circ}\text{C}$  に固定し、CW 動作で注入電流を 10 mA にして発振波長を測定した。また、パルス動作での閾値電流の温度変化を予め測定しておき、23  $^{\circ}\text{C}$  における CW 動作時の閾値電流を測定した結果も同時に示した。この結果から、この素子の活性層は雰囲気温度に対して CW 動作時で、閾値電流では 8 mA、注入電流が 10 mA 時では 9 mA 程度上昇していることが推測される。一方 16  $\mu\text{m}$  素子の 6 mA 時の活性層の温度上昇は同様な実験で 10  $^{\circ}\text{C}$  と見積もられた。

そこで次に、閾値電流を最小にする Gain-offset 量について考える。光学利得の温度依存性は、式 (2.31) にバンドギャップの温度依存性を考慮して、図 2.30 のように求められる。ここで利得のピークは 20  $\mu\text{m}$  で 830 nm になるように井戸層厚を 6.7 nm とした。この図から 40  $^{\circ}\text{C}$  になるとピーク波長は 838 nm、60  $^{\circ}\text{C}$  になると 841 nm と長波長側にシフトしていく様子が伺える。この結果より、利得の波長シフトは 10  $^{\circ}\text{C}$  強の上昇で、約 3 nm 程度と考えられる。一方、この計算では注入キャリアによるバンド縮小効果は考慮されていない。GaAs 系量子井戸構造のバンド縮小効果は、1 kA/cm<sup>2</sup> 時には波長に対して 14 nm 程度であることが報告されている<sup>22)</sup>。よって 10  $^{\circ}\text{C}$  前後の温度

一般に利得のピークは熱によるバンドギャップそのものの変化による効果と、注入キャリアによるバンド縮小効果で、長波長側にシフトし、また高注入キャリア密度時には、バンドフィリング効果により短波長側にシフトする。電流を注入したことによる活性層の温度上昇量は、素子の熱抵抗によって大きく左右され、それは素子構造、素子サイズにより異なる。

そこでまず、CW 動作時の素子の上昇温度を測定するため、26  $\mu\text{m}$

上昇で共振波長の変化は 0.8 nm 弱、バンド縮小効果と温度上昇による利得の変化で 14+3=17 nm となり、18 nm 程度の Gain-offset 量が最適となった実験結果と良く一致していることがわかる。また 26 μm 以上のサイズでは、素子の熱抵抗が小さくなるため、最適な Gain-Offset 量は数 nm 程度小さいことがこの結果から予測される。

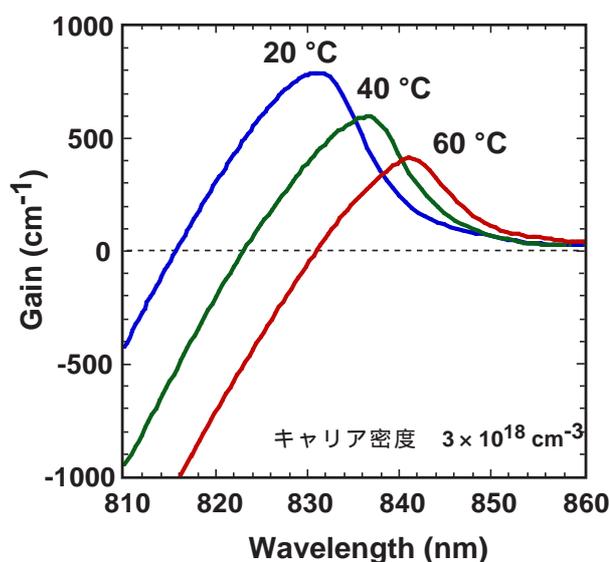


図 2.30 室温で 830 nm にピークのある量子井戸の利得の温度依存性

### 2.5.3 閾値電流密度のサイズ依存性

閾値電流密度の VCSEL の素子サイズ依存性を図 2.31 に示す。この場合素子形状は正方形を用いている。このグラフからわかるように一辺の長さが 20 μm 程度から急激な閾値電流密度の上昇が見られる。一般に閾値電流密度は素子サイズが小さくなるにつれ、表面再結合速度の影響を受け上昇する。表面再結合速度を  $S$  としたとき、閾値電流密度  $J_{th}$  は

$$J_{th} = e d N_d N_{th} \left( \frac{2S}{r} + \frac{1}{\tau} \right) \quad (2.33)$$

と表される<sup>23)</sup>。  $N_d$  は MQW の well 数、  $d$  は well の厚さ、  $N_{th}$  は表面再結合がない場合の閾値キャリア密度、  $\tau$  は発光再結合時間、  $r$  は素子の直径である。図中の実線は閾値電流密度を 1 kA/cm<sup>2</sup>、表面再結合速度を 1 × 10<sup>5</sup> cm/s としたときの閾値電流密度のサイズ依存性を計算したもので、横軸は実験と整合をとるために直径から正方形の一辺の長さに変換している。通常の GaAs の表面再結合速度が 1 × 10<sup>6</sup> cm/s であることを考慮すると<sup>24)</sup>、RIBE とその後の硫酸系エッチング処理によって表面再結合の影響は小さい

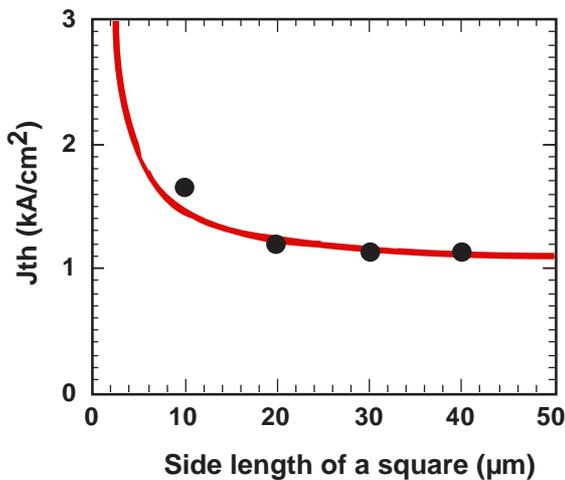


図 2.31 閾値電流密度のサイズ依存性

ものと考えられる。実際、RIBE 後、硫酸系エッチング処理を全く施さない素子においては、20  $\mu\text{m}$  以下の素子径ではレーザ発振が観測されなかった。またこの硫酸系エッチャントで、表面を約 0.2  $\mu\text{m}$  エッチングしており、それ以上エッチングしても閾値電流密度にほとんど影響はなかったことから、RIBE によるダメージ層は 0.2  $\mu\text{m}$  程度であることが推測される。

#### 2.5.4 スペーサ層の組成検討

メサ直径が 26  $\mu\text{m}$  場合、光出力が 1 mW を越える結果を図 2.25 (b)に示したが、高光出力時の動作電流を小さくするために、閾値電流を小さくし発光効率を高める必要がある。そこで出力増加のために活性層からスペーサ層へのキャリアオーバーフローを抑制することを試みた。GaAs 系端面発光型 MQW レーザの場合、導波路方向に垂直な横方向の閉じ込め係数を考慮し、閾値電流が小さくなるようにクラッド層（スペーサ層）の Al 組成は 0.2~0.3 程度が用いられるのが一般的となっている。そこで、図 2.13 に示したように VCSEL の場合もスペーサ層の Al 組成を 0.3 で作製していた。しかしながら、2.2.6 項で議論したように VCSEL の場合、端面発光型とは閉じ込め係数の概念が異なるため、Al 組成を 0.3 にこだわる必要がなくなる。また、VCSEL の様な熱抵抗の高い素子の場合、活性層の温度上昇により、伝導帯での電子のスペーサ層へのオーバーフローが無視できなくなる恐れがある。そこでスペーサ層の Al 組成 0.3 を 0.6 に変えて VCSEL の作製を試みた。尚、縦方向の閉じ込め係数  $\Gamma_z$  は、Al 組成を 0.3 から 0.6 に大きくしても、計算上ほとんど変化がない。図 2.32 に、活性層の PL 波長と VCSEL の発振波長が同じで、p 型 DBR のペア数 20 の素子の電流 - 光出力特性を示す。素子サイズは 21  $\mu\text{m}$  で、発振波長は 10 mA 時で 851 nm とスペーサ層以外の条件は同じになるように考慮している。

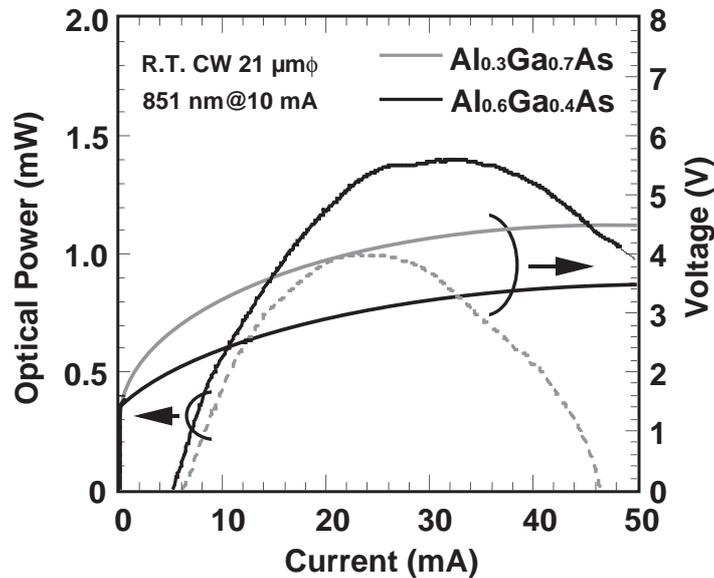


図 2.32 VCSEL の電流 - 電圧、及び電流 - 光出力特性

この図からわかるようにスペーサ層の Al 組成を大きくすると、閾値電流は減少し、光出力は増加して 21  $\mu\text{m}$  の素子でも 1 mW 以上の光出力が得られた。また、閾値電圧も 2.9 V から 2.0 V に低減されていることがわかる。これは Al 組成を大きくすることで、p 型スペーサ層と p 型 DBR との界面抵抗が減少したためと考えられる。

以上より、スペーサ層の Al 組成を大きくすることで閾値電圧の低減とキャリアのオバーフローの抑制の効果があり、光出力の増加のために有効であることがわかった。

## 2.6 2次元アレーレーザ

次に、ここでは VCSEL の 2次元アレー化の実証と問題点の抽出を行う。VCSEL の構造上の特色として、2次元アレー化が挙げられることは既に述べたが、2次元アレー化には、素子単体では出来ない多くのメリットが期待されている。例えば、2次元アレー化して並列光インターコネクションを行うことで、伝送容量を飛躍的に大きくすることが可能であったり、レーザプリンター用に素子を高密度 2次元アレー化にすることでプリンターのシステム構成の簡素化かつ高速化が期待できたり、また 2次元アレー化して各々の素子を位相同期させることで光ビームの広がり角を小さくし、高出力動作が可能となるなどである。

### 2.6.1 閾値電流と発振波長分布

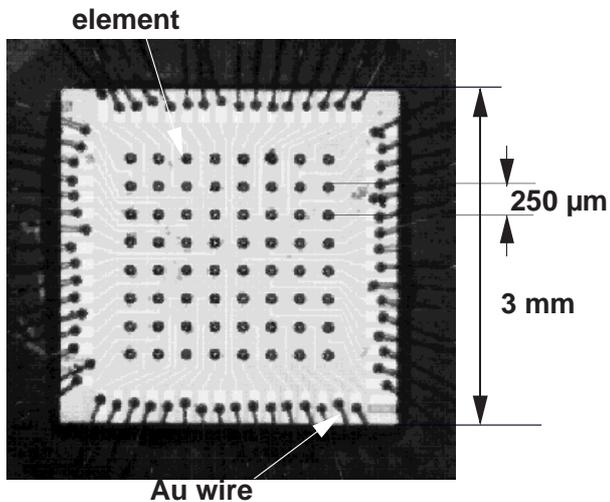
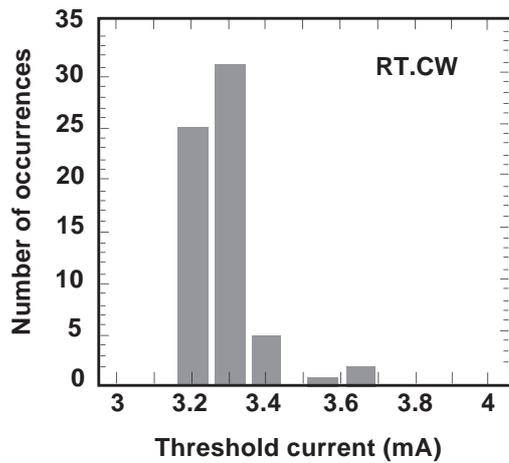


図 2.33 8×8 0.8 μm VCSEL アレー

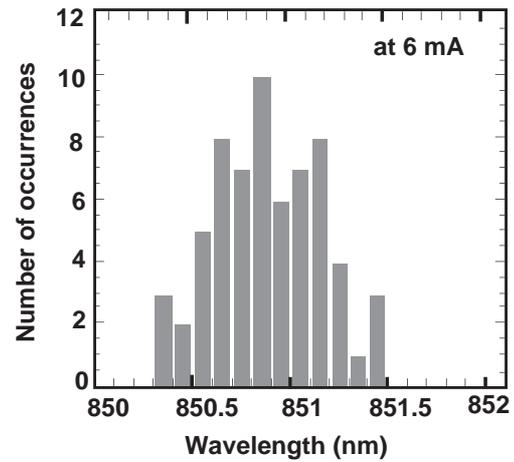
各々の素子のバイアス電流や光出力が異なると、素子ごとに光出力モニターが必要となり、更に2次元化の規模が大きくなると全ての素子を監視することは事実上不可能となるためである。そこでまず8×8の64素子のVCSELを作製し、その素子特性について調べた。作製方法は上面の配線工程以外2.4節の作製工程とほぼ同じで、ポリイミド埋込み構造を用いた。図2.33に各々の素子サイズ16 μmのVCSELアレイの外観図を示す。素子と素子の間隔はファイバアレーを想定し250 μm間隔で、n型のGaAs基板を共通電極にし、p型の方に各々独立駆動が可能ないように64本のCr/Au配線を形成し、Auワイヤを用いて64ピンのパッケージにマウントをした。次に、図2.34(a)(b)に、このレーザをそれぞれ別々に駆動させたときの64素子の閾値電流と発振波長のばらつきを示す。

閾値電流は $3.45 \pm 0.25$  mAの範囲に入っており、平均値は3.29 mA、標準偏差は0.105 mAであり、非常に均一性の良い素子が出来ていることがわかる。レーザの閾値電流の均一性はメサの形状やエッチングの深さの均一性が要求されるが、このことから作製に用いたRIBEの深さ方向の均一性が優れていることが実証された。また結晶成長層の膜厚の均一性も発振波長の観点からも重要であり、図2.34(b)より、注入電流6 mA時の発振波長は64素子内で $850.95 \pm 0.55$  nmと優れた特性を示している。この発振波長の変動が成長層の膜厚の揺らぎによるものとする、アレーチップ内で各層厚の揺らぎが $\pm 9$  と換算され、このような優れた膜厚の均一性が全素子の電流-光出力特性のばらつきを小さくしていると考えられる。

2次元アレー化を行う場合、1つ1つ独立に駆動する場合と、位相同期レーザのように一括で駆動する場合とが考えられるが、本項では並列光インターコネクション用光源として用いることを想定して、独立駆動のVCSELを取り上げることにする。並列光インターコネクション用として要求される項目として、まず閾値電流や光出力特性の均一性が挙げられる。何故なら、



(a) 閾値電流

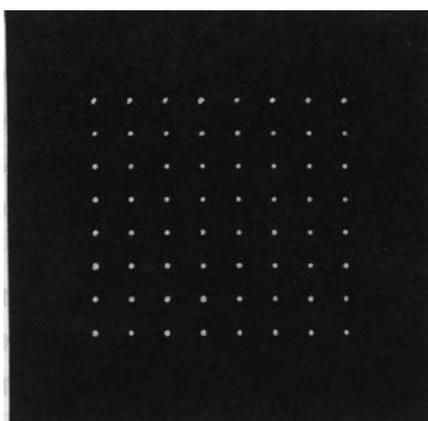


(b) 発振波長

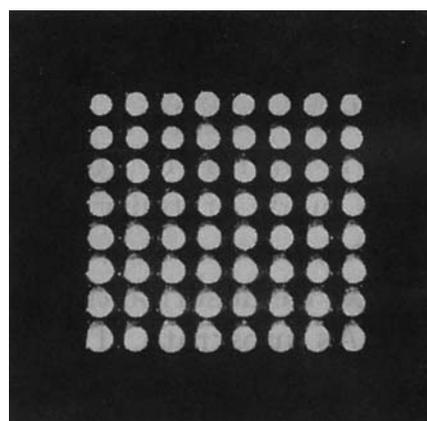
図 2.34 8 × 8 VCSEL の閾値電流と発振波長分布

図 2.35 は全ての素子に、同時に同じ電圧をかけた場合の発光パターンを示す。

(a) はトータルの電流値が 200 mA のときの自然放出光のパターンで、単純に 64 素子で割ると 1 素子あたり 3.1 mA である。(b) は 300 mA のときの発光パターンで、これは 1 素子あたり 4.7 mA となり、レーザ発振動作が全ての 64 の素子で観測され、しかも発光強度のばらつきが少ないことがわかる。このことから 64 素子全体で電流 - 電圧特性、電流 - 光出力特性が、ほとんど均一な 2 次元アレー VCSEL が作製できることを実証できた。



(a) 200 mA



(b) 300 mA

図 2.35 8 × 8 VCSEL アレーを一括駆動した場合の発光パターン

### 2.6.2 2次元アレー化 VCSEL の変調

光インターコネクション用に VCSEL を用いる場合、各々の素子に電氣的に直接変調を加えて光信号を得る方法が考えられる。これまで VCSEL の単体素子の変調帯域についてはいくつもの文献例があり、10 mA 程度で緩和振動周波数が数 GHz となり、10 Gbit/s の伝送が既に報告されている<sup>24)</sup>。しかしながら、VCSEL を2次元アレー化した場合、配線容量の増加により変調帯域が制限される可能性がある。電氣的な Cutoff 周波数  $f_c$  は一般に

$$f_c = 1/(2pC_iR_i) \quad (2.34)$$

と表される。ここで  $C_i$  は素子の容量で  $R_i$  は電気抵抗である。半導体レーザを変調させる際は、まずこのカットオフ周波数を所望の変調帯域より大きくしなければならず、素子抵抗、素子容量を小さくする必要がある。ここで 2.6.1 項で取り上げた素子を用いて素子容量を測定してみると、図 2.36 のような測定結果が得られた。

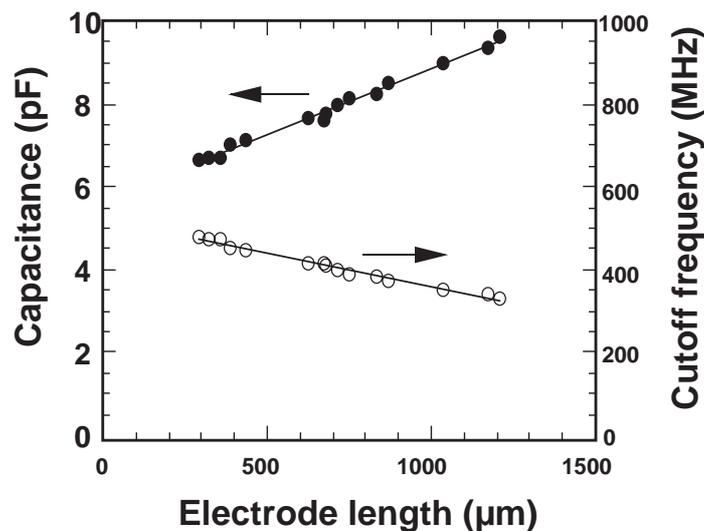


図 2.36 VCSEL の素子容量とカットオフ周波数

これは横軸にパッドから各素子までの配線の長さをとったものであり、配線の幅は  $5\ \mu\text{m}$ 、Au ワイヤのパッド面積は  $100 \times 280\ \mu\text{m}^2$  としている。配線がない場合の  $16\ \mu\text{m}$  VCSEL の容量は  $0.19\ \text{pF}$  で、この場合の  $f_c$  は  $17\ \text{GHz}$  となる。しかしながら2次元化した場合配線容量が付加されるため  $6.6\ \text{pF}$  から  $9.7\ \text{pF}$  と1桁以上高くなり、このため 3 dB down の変調帯域は図 2.36 に示したように、 $300 \sim 500\ \text{MHz}$  に制限されることになる。よって  $1\ \text{GHz}$  の帯域を得るためには、配線面積を  $1/4$  にする必要があるが、

配線面積を小さくすると素子の歩留まりや信頼性に問題が生じる可能性がある。

これは素子数を増やしてアレーを大規模にすればするほど、配線の長さにより変調帯域が制限されるということを意味しており、大規模な2次元アレー化には素子のマウント、実装に工夫を要することがわかった。

### 2.6.3 2次元の熱的クロストーク

VCSELを2次元アレー化した場合、変調帯域以外で問題となることに、各々の素子によって発生した熱が他の素子に影響を与えるという熱的クロストークが考えられる。これはVCSELを高密度に集積する際には最も顕著な問題点として浮上してくる可能性がある。VCSEL単体についての熱の問題は2.5.2項で述べたが、2次元化した場合についての議論はこれとは異なる。そこで2.6.1項で作製した8×8素子で2次元の熱的クロストークについて調べてみることにする。

まずVCSELアレー内の1つの素子のみを独立駆動した場合の閾値電流と光出力の温度変化についてまとめると図2.37のようになる。ここで素子の温度制御は、セラミックパッケージの下にペルチェ素子を置き、ペルチェ素子への電流印加で温度変化を与えている。6 mAの電流注入時の波長変化は0.07 nmとなり、2.5.2項と同等であるため、セラミックパッケージ温度と素子温度がほぼ等価であることが確認された。

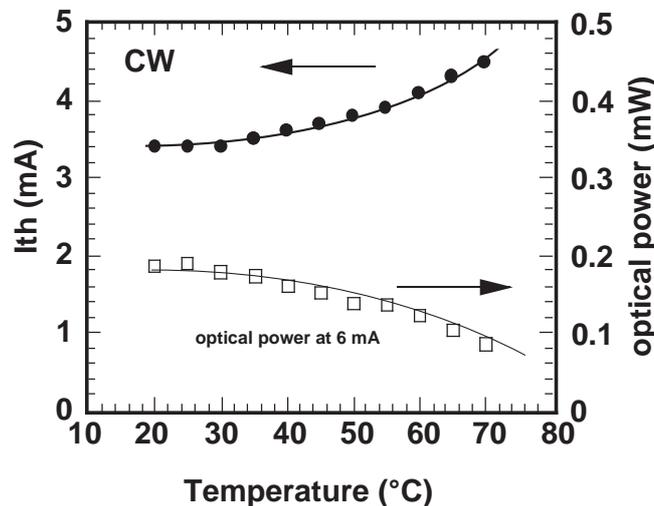


図 2.37 8×8 VCSEL アレー中の(4,4)素子の温度特性

さて、2次元の熱的クロストークを考えると、全素子が同時に発光した場合、中心部分がもっとも影響を受けやすいことが容易に予想される。そこで実験条件としてペ

ルチェ素子の温度を 20 に設定し、8×8 の中央付近の素子、ここでは(4,4)の素子に 6 mA 電流を注入し、発振波長と光出力をモニターした。そして、その他の 63 素子に徐々に同じ電流を加え、(4,4)素子の発振波長と光出力の変化を測定した結果を図 2.38 に示す。横軸の下の軸は 63 素子への総電流値を示し、上の軸は 63 で割った値の各素子の平均電流値を表している。また、この図に発振波長変動と光出力変化から見積もった(4,4)素子の活性層温度上昇を示している。この図からわかるように、全素子が同時に発振した場合、中央付近の素子の温度上昇は 15 程度であることがわかり、光出力として 150 μW 程度の減少が予想される。実際に 2 次元の平行な光インターコネクション用光源として用いる場合、信号光は RZ (Return-to-Zero)もしくは NRZ (Non-Return-to-Zero)信号のため、消費電力は CW 時に比べて半分となり熱の影響もこれより小さいと考えられる。以上により、素子間 250 μm、8×8 程度の規模ではレーザ発振を阻害するまでには至らないことがわかった。それでも、この結果から更に VCSEL を高密度、大規模集積化する場合には、熱的クロストークが素子特性に与える影響は大きくなり伝送特性の劣化を招く要因になることが予想される。

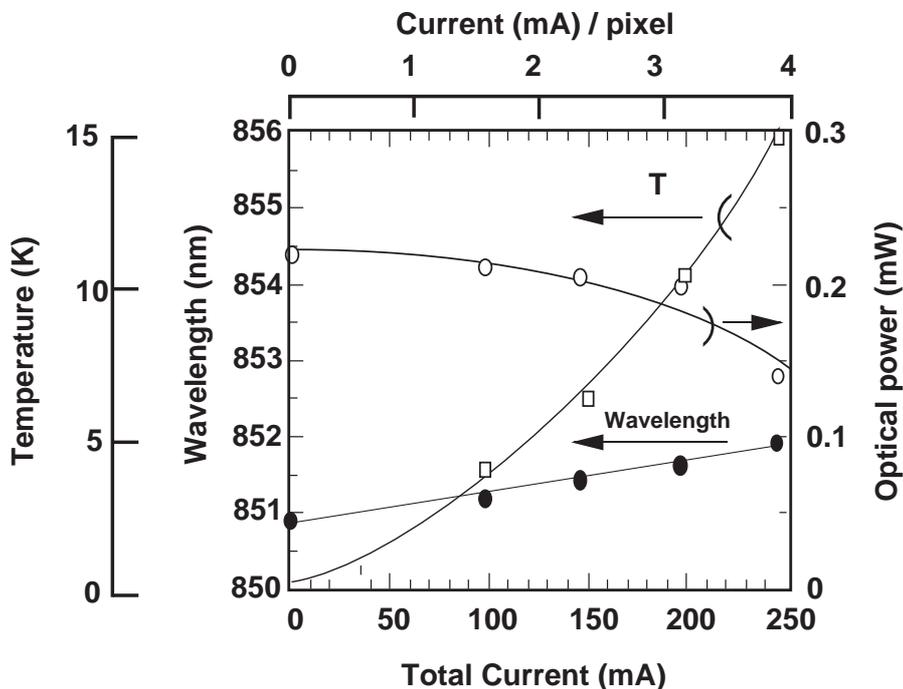


図 2.38 8×8 VCSEL アレーの熱的クロストークによる中央の(4, 4)素子の特性変化

#### 2.6.4 光インターコネクション

最後に光インターコネクションのプロトタイプの実例として、1次元 VCSEL アレー用いた ParaBit (Parallel inter-Board optical Interconnection Technology) について紹介する<sup>25)</sup>。図 2.39 に Parabit の外観写真を示す。これは配線基盤上には 5 ch の送信/受信 IC を 8 個、10 ch の光デバイス (VCSEL/PD) を 4 個搭載するとともに、20 ch の光信号の入出力するポリマ光導波路フィルムを 2 個搭載し、光コネクタプラグを 2 組接続できる形態をとっており、40 ch の並列伝送を想定している。また、ポリマ光導波路と VCSEL は位置合わせ用マーカーを用いて接続するパッシブアライメントの実装が行われている。こうした実装方法が可能となったのは、VCSEL の光放射ビームが狭出射角で、またコア径の大きい多モード光ファイバーを用いているため位置合わせのトレランスが大きいことによると考えられる。搭載された VCSEL は 1×10 のアレーで、1 素子につき変調速度が 700 Mbit/s、結果としてトータルスループット 28 Gbit/s (700 Mbit/s×40 ch) 伝送距離 100 km のエラーフリー動作が達成されている。

これは、図 2.34 で示したように光源である VCSEL アレーの各素子の電流 - 光出力特性が均一であり、温度による特性変化が少ないといった優れた特徴も大きく寄与している。このように並列にすることにより大容量伝送が可能になったことから、VCSEL が光インターコネクション用光源に有望であることが実証された。

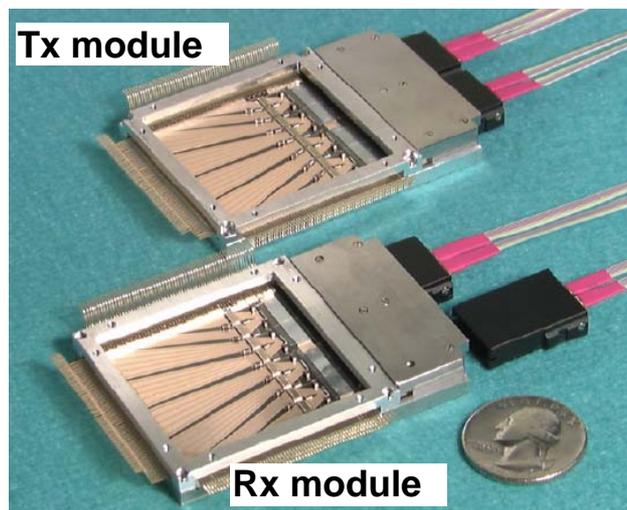


図 2.39 Parabit の外観

## 2.7 まとめ

本章では、上面発光型の  $0.85\ \mu\text{m}$  VCSEL を取り上げ、レーザ発振実現に向けた構造の設計指針、及び性能予測を行った。そして実際にポリイミドで埋込まれた構造の VCSEL を作製し、低閾値電流で室温連続発振を実現し、端面発光型レーザを凌ぐ特性を示した。そして更に  $8 \times 8$  の 2 次元アレーレーザを作製し、その特性と問題点の抽出を行った。以下、本章で得られた結果についてまとめる。

- (1) 活性層の利得長が短い VCSEL 構造においても、端面発光型レーザ並みの  $1 \sim 2\ \text{kA/cm}^2$  の閾値でレーザ発振が可能なことを示した。また実効キャビティ内の平均吸収係数を小さくし出射側の反射率を最適にすることが、高光出力化に有効であることを示した。
- (2) VCSEL の層構成に欠かせない p 型 DBR の低抵抗化と低光吸収化について検討を行った。Zn ドーピングの場合は低抵抗と低光吸収を両立するドーパント濃度、及び層構成が難しいことを示し、C ドーピングがその解決法であることを明らかにした。その結果として、n 型 DBR 層に比肩する低抵抗化を達成した。
- (3) ポリイミド埋込み構造の上面発光型 VCSEL を作製し、出射側 DBR の反射率を検討することにより室温連続動作で  $1\ \text{mW}$  以上の光出力を達成した。また Gain-offset 量とスペーサ層の Al 組成を検討し、低閾値電圧、高出力化を達成した。
- (4)  $8 \times 8$  の 2 次元アレーレーザを作製し、64 素子の同時室温連続動作を確認するとともに、上面発光型の構造上の問題点として熱的クロストークと配線による変調帯域の制限を初めて明らかにした。

## 【第2章 参考文献】

- 1) 応用物理学会編、伊賀健一編著、半導体レーザ、オーム社 (1994)
- 2) 米津宏雄著、光通信素子工学、工学図書 (1984)
- 3) H. Soda, K. Iga, C. Kinoshita, and Y. Suematsu, *Jpn. J. Appl. Phys.*, 18, 2329 (1979)
- 4) 伊賀健一、小山二三夫共著、面発光レーザ、オーム社 (1990)
- 5) E. F. Schubert, Y.-H. Wang, Y. Cho, L. W. Tu, and G. J. Zyzdik, *Appl. Phys. Lett.*, 60, 921 (1992)
- 6) G. H. Vander Rhodes, J. M. Pomeroy, M. S. Unlu, and B. B. Goldberg, *Appl. Phys. Lett.*, 72, 1811 (1998)
- 7) D. I. Babic, and S. W. Corzine, *IEEE J. Quantum Electron.*, QE-28, 514 (1992)
- 8) F. Koyama, Y. Suematsu, S. Arai, and T. E. Tawee, *IEEE J. Quantum Electron.*, QE-19, 1042 (1983)
- 9) S. W. Corzine, R. S. Geels, R. H. Yan, J. W. Scott, and L. A. Coldren, *IEEE Photon. Technol. Lett.*, 1, 52 (1989)
- 10) C. S. Shim, J. Y. Yoo, Y. H. Lee, and S.-Y. Shin, *IEEE Photon. Technol. Lett.*, 4, 1084 (1992)
- 11) P. M. Enquist, *J. Cryst. Growth*, 93, 637 (1988)
- 12) M. A. Tischler, H. Baratte, T. F. Keuch, and P. J. Wang, *J. Cryst. Growth* 93 631 (1988)
- 13) H. C. Casey, Jr., D. D. Sell, and K. W. Wechet, *J. Appl. Phys.*, 46, 250 (1975)
- 14) M. A. Afromowitz, *Solid State Commun.*, 15, 59 (1974)
- 15) R. F. Kopf, E. F. Schubert, S. W. Downey, and A. B. Emerson, *Appl. Phys. Lett.*, 61, 1820 (1992)
- 16) H. C. Casey, Jr., and M. B. Panish, *Heterostructure Lasers*, Academic Press (1978)
- 17) T. Takagi, *Jpn. J. Appl. Phys.*, 17, 1813 (1978)
- 18) A. Kurobe, H. Furuyama, S. Naritsuka, N. Sugiyama, Y. Kokubun, and M. Nakamura, *IEEE J. Quantum Electron.*, QE-24, 635 (1988)
- 19) D. B. Young, J. W. Scott, F. H. Peters, M. G. Peters, M. L. Majewski, B. J. Thibeault, S. W. Corzine, and L. A. Coldren, *IEEE J. Quantum Electron.*, QE-29,

2013 (1993)

- 20) J. M. Catchmark, R. A. Morgan, K. Kojima, R. E. Leibenguth, M. T. Asom, G. D. Guth, M. W. Focht, L. C. Luther, G. P. Przbylek, T. Mullally, and D. N. Christodoulides, *Appl. Phys. Lett.*, 63, 3122 (1993)
- 21) K. D. Choquette and D. A. Richie, and R. E. Leibenguth, *Appl. Phys. Lett.*, 64, 2062 (1994)
- 22) H. Iwamura, T. Saku, H. Kobayashi, and Y. Horikoshi, *J. Appl. Phys.*, 54, 2692 (1983)
- 23) K. D. Choquette, G. Hasnain, Y. H. Wang, J. D. Wynn, R. S. Freund, A. Y. Cho, and R. E. Leibenguth, *IEEE Photon. Technol. Lett.*, 3, 859 (1991)
- 24) U. Fielder, G. Reiner, P. Schnitzer, and K. J. Ebeling, *IEEE Photon. Technol. Lett.*, 8, 746 (1996)
- 25) 桂浩輔、香川俊明、田中伸幸、松浦伸昭、安東泰博、*NTT R&D*, 48, 281 (1999)

## 第3章 下面発光型 0.85 $\mu\text{m}$ VCSEL

### 3.1 緒言

一般に、0.85  $\mu\text{m}$  帯 VCSEL は基板として GaAs を用いるため、発振波長に対して基板が透明でない。このため上面発光型 VCSEL 構造を取らざる得なくなっている。しかしながら、第2章で示したように、熱放散性や配線容量の観点からは下面発光型の方が有利な点が多く、特に2次元アレー化においてはそれが顕著になる。そこで本章では下面発光型 0.85  $\mu\text{m}$  帯 VCSEL を提案し、その作製方法と特性について述べる。

### 3.2 下面発光型と上面発光型 VCSEL

VCSEL は基板に対して垂直な共振器構造であるため、上面からも下面からも光を放射する。高光出力を得るためには、出射側でない方の反射率を極限まで高め、出射側の反射率は最適にすることが重要であることは、第2章の図2.2の計算で既に述べた。

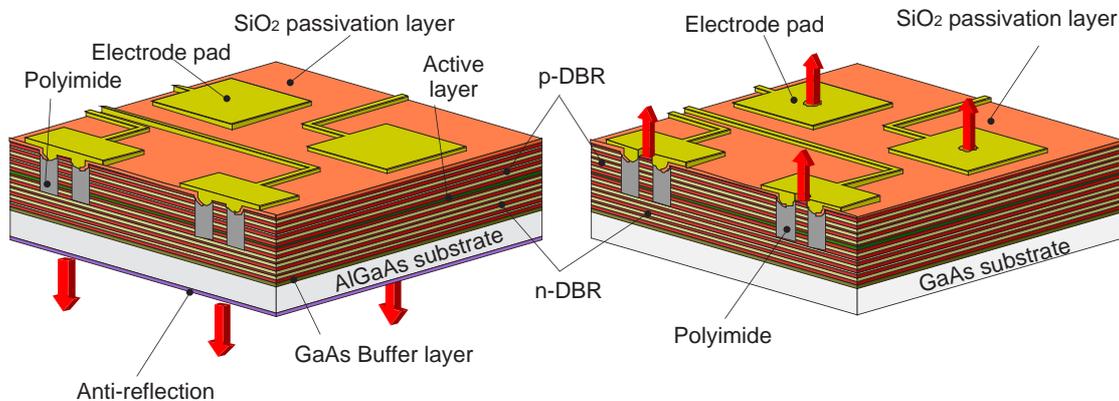


図 3.1 下面発光型と上面発光型

Jewell 等が最初に半導体 DBR 層を用いて作製した VCSEL は<sup>1)</sup>、InGaAs 活性層を用いており、利得のピーク波長、及び VCSEL の発振波長がともに 0.98  $\mu\text{m}$  であり、幸運にも GaAs 基板に透明な波長であった。このため上部 DBR の方が高反射率を得やすいことも加味されて下面発光型の VCSEL を作製している。これ以降の 0.85  $\mu\text{m}$  帯 VCSEL は下面発光型の報告例が大半であるが<sup>2-3)</sup>、これは下面発光型には上面発光型に比べて幾つかの利点があるためである。

以下にこれらの利点を列記する。

- ( 1 ) 作製プロセスが容易である。(特にエアポストタイプの場合、上面の電極の形状を考慮する必要がなくなり、素子サイズの微細化が可能となる。)
- ( 2 ) VCSEL を構成する成長層の厚さがトータル厚で薄くなる。
- ( 3 ) 熱放散がよく、かつ低容量配線が可能になるフリップチップ実装が可能<sup>4)</sup>。

( 1 ) は電極工程の際、上面発光型は上部にリング電極を設ける必要があり、その電極による光出力の損失が問題となる<sup>5)</sup>。(酸化狭窄やイオン注入構造は除く。反対に、このリング電極を高次の横モードを抑圧させるために積極的に利用した報告もある<sup>6)</sup>)

( 2 ) は上面側 DBR の方が活性層から見て最後の層が空気、もしくは金となるため、少ないペア数で高反射率を得やすいためである。( 3 ) は応用上重要な利点で、図 3.2 の模式図に示すように、ハンダ材を用いて配線を施した別の基盤に各々の素子を直接接続するフリップチップ実装が可能となるため、活性層もしくは p 型 DBR 層で発生した熱が直ぐそばのハンダ材に放熱しやすい構造となり、結果として熱抵抗が減少するというものである。また熱の放散が良くなると温度上昇による活性層の光学利得係数の低下が少なくなるため、連続動作時の閾値電流の減少や最大光出力の増加に寄与する<sup>7)</sup>。また VCSEL の基板自体に金属配線をする必要がなくなるので、2次元アレー化の際にアレー化の規模によらず、ほぼ全ての素子で素子単体の容量に近づけることができ、直接変調時における変調帯域が電気容量によるカットオフ周波数で制限されなくなる。

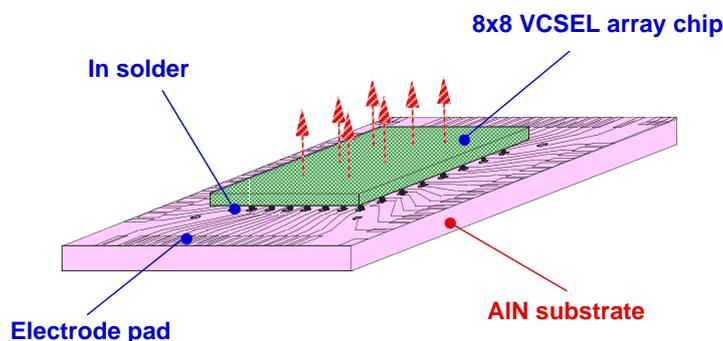


図 3.2 フリップチップ実装模式図

### 3.3 下面発光型 VCSEL の作製

下面出射型を作製するには、まず基板が発振波長に対して透明でなければならない。  
0.85  $\mu\text{m}$  帯 VCSEL を透明な基板上に作製する手法として、

- ( 1 ) 発振波長に対して透明な AlGaAs 基板を用いて、その上に直接 VCSEL 構造をエピタキシャル成長する。
- ( 2 ) GaAs 基板上に VCSEL を作製し、その後 0.85  $\mu\text{m}$  に対して透明な基板に貼り合わせ、GaAs 基板を完全に除去する。

という 2 種類の方法が考えられる。( 2 ) の方は、従来長波長帯で用いられた技術であるが、近年 0.85  $\mu\text{m}$  帯でも下面発光型をこの方法で作製する試みがなされ、GaAs 基板上に VCSEL 構造を成長した後、GaP 基板<sup>8)</sup>や、サファイア基板<sup>9)</sup>、AlGaAs 基板<sup>10)</sup> に直接接着した例が報告されている。しかしながら、素子歩留まり、ウェハサイズの制限、プロセス工程数を考えると、透明な基板上に直接 VCSEL 構造のエピタキシャル成長が可能ならば、製造コストや生産性の点からも望ましい。そこで本章では( 1 ) の AlGaAs 基板上への VCSEL の成長について検討することにする。

#### 3.3.1 AlGaAs 基板の透過特性

用いた AlGaAs 基板は日立電線製で、仕様は大きさ 35 mm 角、Al 組成比 0.1、n 型 Te ドーピングでキャリア濃度  $1 \times 10^{18} \text{ cm}^{-3}$  である。GaAs 基板上に 700  $\mu\text{m}$  厚の AlGaAs 層を液相成長 (Liquid phase Epitaxy: LPE) した後、GaAs 基板を研磨して取り除いて作製されている。図 3.3 に AlGaAs 基板と GaAs 基板の透過スペクトルの測定結果を示す。基板の厚さは 300  $\mu\text{m}$  でサンプルの両面に 0.1 % 以下の反射防止膜を形成して測定した。この図から明らかなように、0.85  $\mu\text{m}$  では GaAs 基板はほとんど透過しないのに対し、AlGaAs 基板は透過率 90 % 以上を有していることがわかる。しかしながら、本来 Al 組成 0.1 の場合、バンド端波長は 800 nm 近傍であるが、バンドテイルの影響でかなり長波長領域まで吸収端が伸びていることがわかる。キャリア濃度を更に高くした基板では、バンドテイルの影響は更に顕著になり、850 nm ではほとんど吸収領域となった。Al 組成を大きくするとバンド端は短波側にシフトするが、次の項目で述べる VCSEL の結晶成長の際に問題が生じる可能性が高い。そこで本章では Al 組成 0.1 でキャリア濃度  $n=1 \times 10^{18} \text{ cm}^{-3}$  の基板を用いることにした。

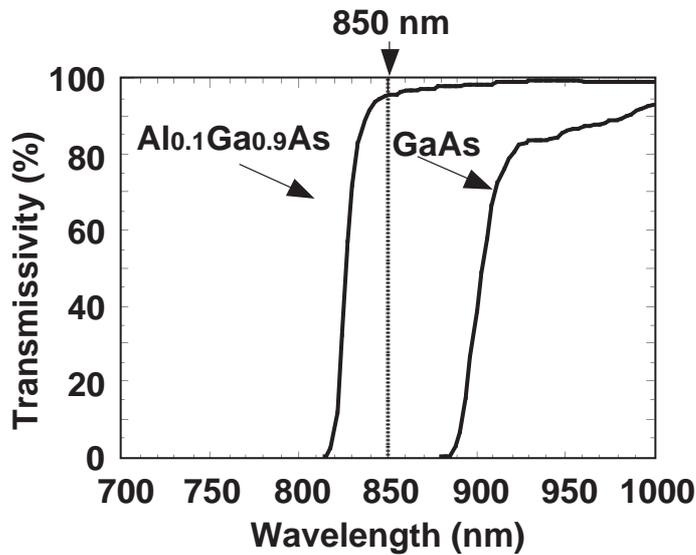
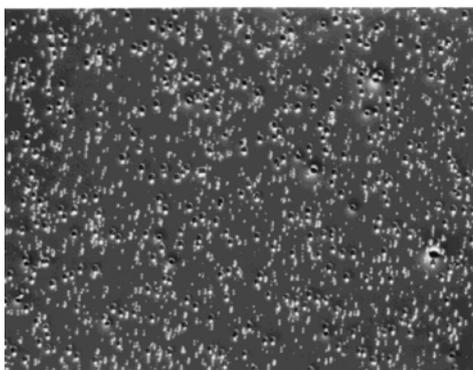


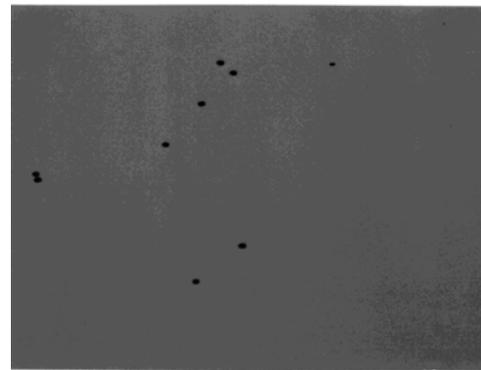
図 3.3 GaAs 及び  $\text{Al}_{0.1}\text{Ga}_{0.9}\text{As}$  基板の透過特性

### 3.3.2 成長条件の検討

$\text{AlGaAs}$  基板は大気中で酸化されやすい。このためエピタキシャル成長する前に表面処理が必要になる。基板洗浄に関しては、成長直前に硫酸系のエッチング液で十分に表面をエッチングした後、時間を置かずに成長室に基板を導入する。そして VCSEL の  $n$  型 DBR 層の成長前に厚さ 100 nm のバッファ層の成長を行った。バッファ層の組成としては、 $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}$  と  $\text{GaAs}$  層について検討した。下面出射の場合、出射する光はこのバッファ層を通過するため、バッファ層は発振波長に対して透明であることが望ましい。図 3.4 はバッファ層を成長させた後のノマルスキー顕微鏡による表面写真である。



(a)  $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}$



(b)  $\text{GaAs}$

図 3.4 バッファ層厚 100nm の表面写真

この写真から AlGaAs 層に比べて、GaAs 層のモホロジーの方が良好であることがわかる。これは、AlGaAs 層では成長の初期段階に表面酸化物を核として 3 次元成長に落ち入り易いことに起因していると考えられる。図 3.5 に GaAs をバッファにして、成長層の厚さを増加させた場合の表面の欠陥密度について調べた結果を示す。バッファ層厚が増すに従い、欠陥密度が減少していることがわかる。しかしながらバッファ層の厚さが増すと光の透過率も下がるので、本章では透過率 90 % の 100 nm 厚の GaAs バッファ層を採用することにした。

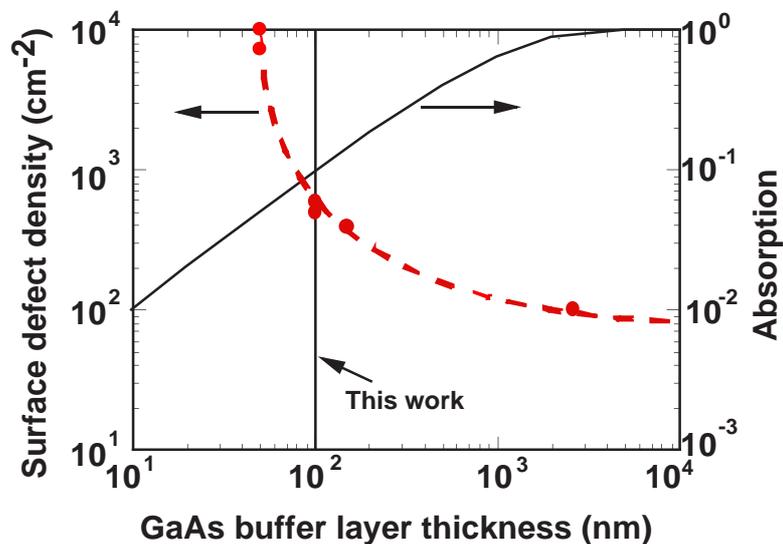


図 3.5 表面欠陥密度及び光吸収の GaAs バッファ層厚依存性

### 3.3.3 層構造と位相マッチング層

図 3.6 に AlGaAs 基板上的 VCSEL のバンド構造を示す。GaAs バッファ層と n 型及び p 型の DBR のペア数以外は、図 2.13 で示したものとほぼ同じである。n 型の  $\text{Al}_{0.1}\text{Ga}_{0.9}\text{As}$  基板の上に n 型 GaAs バッファ層 100 nm、n 型 DBR は 27.5 ペア、p 型 DBR は 30 ペアとし、最後に金の屈折率を考慮して、位相マッチング層である光学波長の 0.16

厚の  $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}$  層をそれぞれ MOCVD 成長で積層した。さて、ここでこの位相マッチング層について述べる。下面発光型は上面からの光を取り出さないため、メサの上部に Au を全面に蒸着することが可能となる。Au を全面に蒸着すると電流の不均一注入に留意する必要がなくなり、かつ少ないペア数で反射率を高めることが可能とな

る。しかしながら、単純に  $\lambda/4$  厚ごとに成長した p 型 DBR 上に Au を蒸着すると、Au

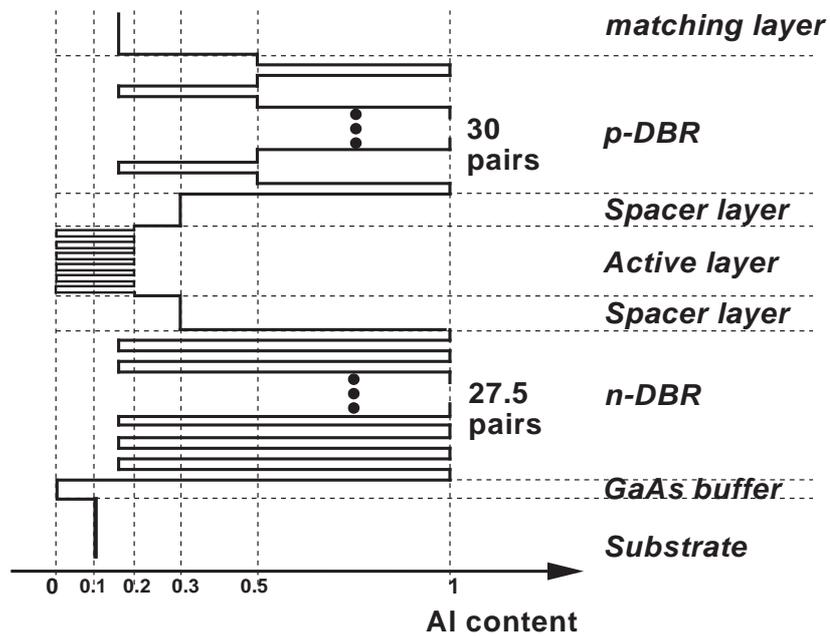


図 3.6 AlGaAs 基板上的の下面発光型 VCSEL のバンドラインアップ

の物性定数である屈折率の虚数部、即ち光の吸収係数が大きく、半導体と Au の界面での反射光の位相が p 型 DBR の半導体内の反射光の位相とずれるため、かえって反射率が低下するという現象が表れる。そこで位相マッチング層の検討が必要となる。Au の屈折率としてエリプソメータにより測定した結果から得られた 0.377、吸収係数として 5.725 を用いると、マッチング層厚に対して図 3.7 のように反射率が変化する。最終層としてのマッチング層の厚さを光学波長で 0.16 厚 (結果的に、p 型 DBR の最終層

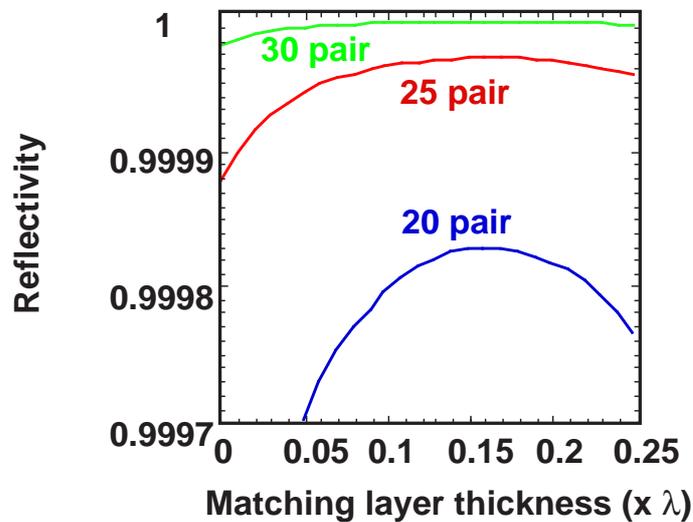


図 3.7 DBR の反射率のマッチング層厚依存性

は  $\lambda/4$  に 0.16  $\mu\text{m}$  を加えた 0.41  $\mu\text{m}$  厚となる)とすれば、後に Au を蒸着した場合 p 型 DBR のペア数に関係なく反射率が最も高くなることがわかる。また各層の吸収を 0 とした場合、マッチング層 (+Au) があるときと、ないときの反射率を計算した結果を表にまとめると表 3.1 のようになる。この表からマッチング層を用いると少ないペア数で、高反射率膜が形成可能なことがわかる。本章の VCSEL では吸収と膜厚の設計値とのずれを考慮して、30 ペアの p 型 DBR 層+マッチング層を積層することにした。

表 3.1 p 型 DBR の反射率

	20 pair	25 pair
マッチング層なし	0.99831	0.999669
0.16 $\mu\text{m}$ マッチング層+Au	0.99983	0.99997

### 3.4 下面出射型 VCSEL の素子特性

#### 3.4.1 VCSEL の特性評価

3.3 節で述べたウェハを成長した後、上面に円形にパターンニングした Au を裏面電極に AuGeNi/Au を蒸着し、更に Au パターンの真上にエッチングマスク用にレジストの円形パターンを形成した後、RIBE で活性層直下までエッチングした。尚、出射面側(基板裏面)には戻り光の影響を少なくするため、AR (Anti-Reflection) コーティングを施している。図 3.8 にこの素子の代表的な電流 - 電圧、及び電流 - 光出力特性を示す。

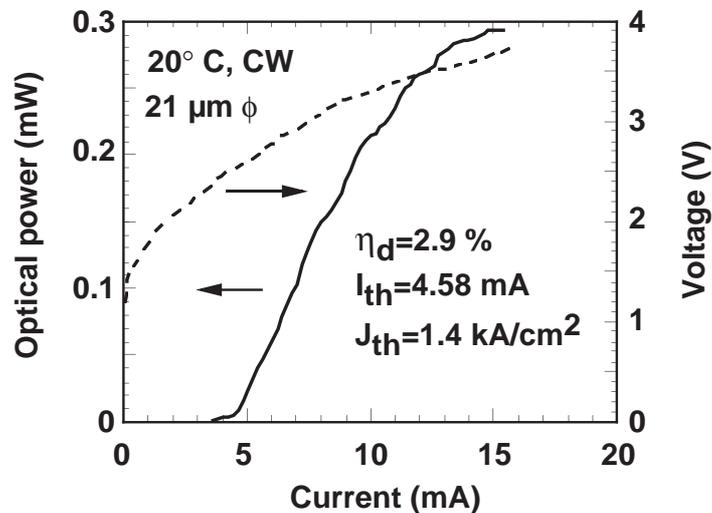


図 3.8 電流 - 電圧、及び電流 - 光出力特性

素子サイズは直径  $21\ \mu\text{m}$  である。閾値電流、閾値電流密度、及び外部微分量子効率（出射面側のみ）はそれぞれ  $4.6\ \text{mA}$ 、 $1.4\ \text{kA/cm}^2$ 、及び  $2.9\ \%$ であった。電流 - 光出力特性において多数のキックが見受けられるが、これは AR コーティングの反射が  $1\ \%$ 程度と大きくなってしまい、戻り光の影響が大きいためと考えられる。次にこの素子の特性を評価するため、この AlGaAs 基板上の下面出射型 VCSEL の上下 DBR の反射率が、計算上ちょうど反対になるように GaAs 基板に n 型 DBR 34 ペア、p 型 DBR 23 ペアの VCSEL を成長し特性比較を行った。その結果、光出力と外部微分量子効率は GaAs バッファ層や AlGaAs 基板の吸収があるにも関わらずほぼ同じであった。これは実際に作製した VCSEL の出射側の反射率が計算値と実験値が多少異なっているためと考えられる。図 3.9 に閾値電流密度と閾値電圧のメサ径依存性を示す。閾値電流密度は、メサ径が減少するとともに回折損失の増大や、2.5.3 項で述べた表面再結合速度の影響により増大するが、閾値電流密度の値そのものは GaAs 基板と同等の特性が得られていることがわかる。一方、閾値電圧は GaAs 基板の  $2.5\ \text{V}$  に比べて AlGaAs 基板の方が  $3.1\ \text{V}$  と約  $0.6\ \text{V}$  高い値となっている。これは p 型 DBR のペア数を増やしたことによる素子抵抗の上昇と考えられる。

以上の結果より、AlGaAs 基板上に VCSEL を作製しても、GaAs 基板に比べて遜色のない利得を持つ活性層が成長可能であり、これにより下面出射型  $0.85\ \mu\text{m}$  帯 VCSEL が実現可能であることがわかった。

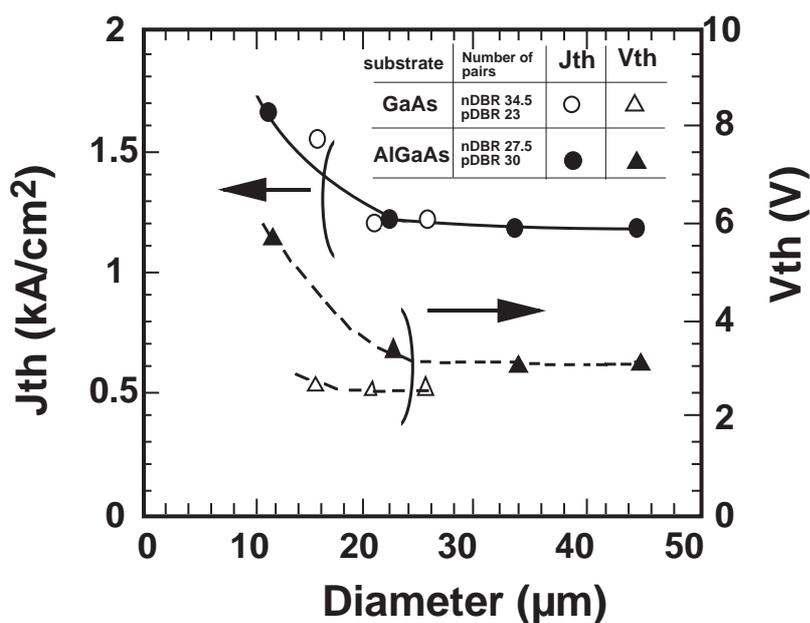


図 3.9 閾値電流密度と閾値電圧のメササイズ依存性

### 3.4.2 高光出力型 VCSEL の特性

次に下面出射型 0.85  $\mu\text{m}$  帯 VCSEL の高光出力化について検討した結果を述べる。まず出射側の DBR のペア数について検討した。式 (2.7) を用いて n 型 DBR の反射率と光出力の関係を注入電流密度をパラメータにして表したグラフを図 3.10 に示す。ここでは実効キャビティ内の平均内部損失  $40\text{ cm}^{-1}$ 、内部量子効率 0.9、実効共振器長を 1.5  $\mu\text{m}$  で計算している。この図から、ある出力を与えるに最適な反射率が存在することがわかり、16  $\mu\text{m}$  の素子、注入電流  $3\text{ kA/cm}^2$  時で 1 mW 以上のオーダに達するためには反射率を 99.4 %程度に設定することが望ましいことがわかる。そこで n 側の DBR のペア数を 23 ペア (計算値 0.995) に設定して VCSEL ウェハを作製することにした。

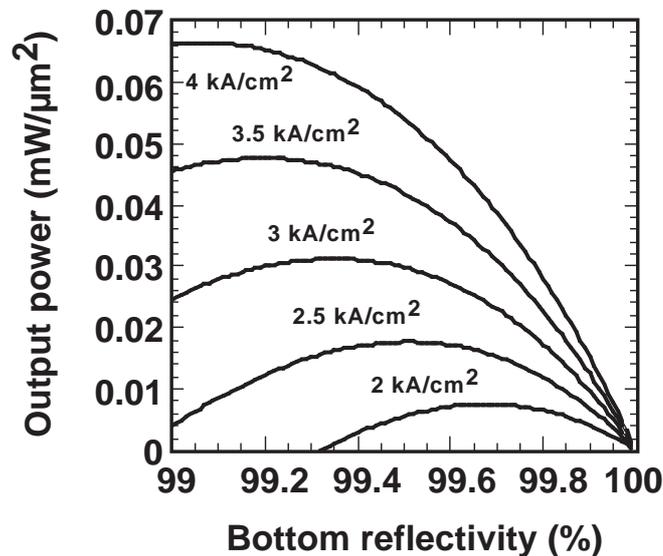


図 3.10 光出力の反射率依存性

次に Gain-offset 量の最適化について検討を行った。まず PL ピークを 840 nm、共振波長を 860 nm 近傍になるようにスペーサ層の厚さを変えて VCSEL 構造の結晶成長を数回行った。図 3.11 に作製した各素子の発振波長に対する閾値電流、及び最大光出力を示す。ここで発振波長は注入電流密度  $3\text{ kA/cm}^2$  (注入電流 6 mA) 時の値を基準にした。閾値電流は発振波長 862 nm 近傍で最低値をとり、光出力は 868 nm で最大値をとることがこの図からわかる。この Gain-offset 量は 2.5.2 項で得られた値より少し大きくなっているが、これは p 型 DBR のペア数の増加による閾値電圧の上昇に起因していると考えられる。

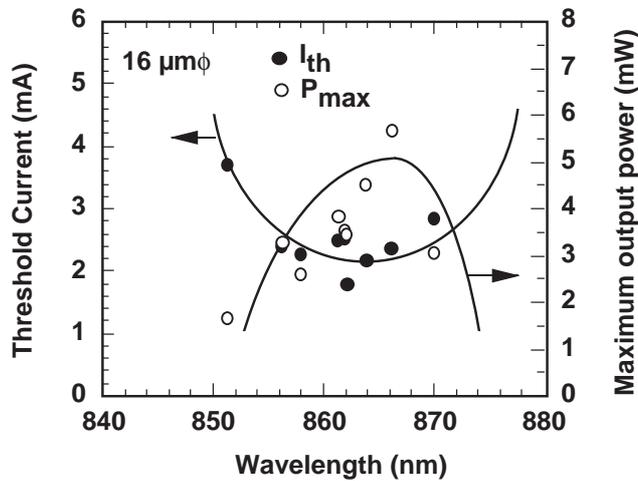


図 3.11 閾値電流と最大光出力の発振波長依存性

次に、下部 DBR のペア数を 23 ペア、Gain-offset が 15 nm 時の電流 - 光出力特性のメササイズ依存性を図 3.12 に示す。メサ径は 16 μm、21 μm、26 μm の 3 通りで閾値電流はそれぞれ 2.1、2.4、4.35 mA であった。また閾値電流時の微分抵抗はそれぞれ 173、143、86 Ω であった。図 3.13 にメサ径 16 μm で発振波長 863 nm、25 °C における電流 - 光出力特性を示す。閾値電流は 2.1 mA、閾値電圧 2.3 V、最大光出力 4.6 mW、最大電力変換効率 11.2 % が得られた。外部微分量子効率は 22 % となり、前出の 2.9 % の約 10 倍弱となっている。電力変換効率のメサ径依存性は、このメササイズの

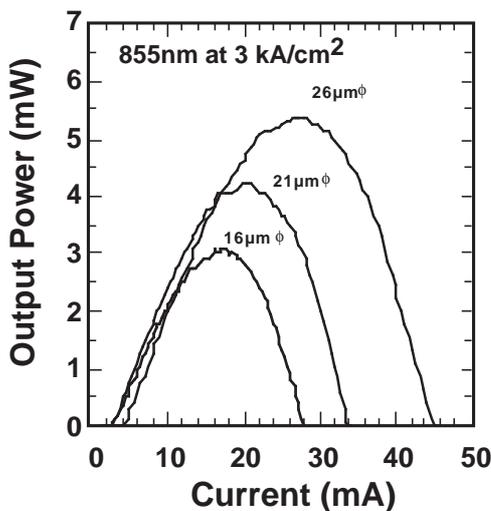


図 3.12 電流 - 光出力のメサ

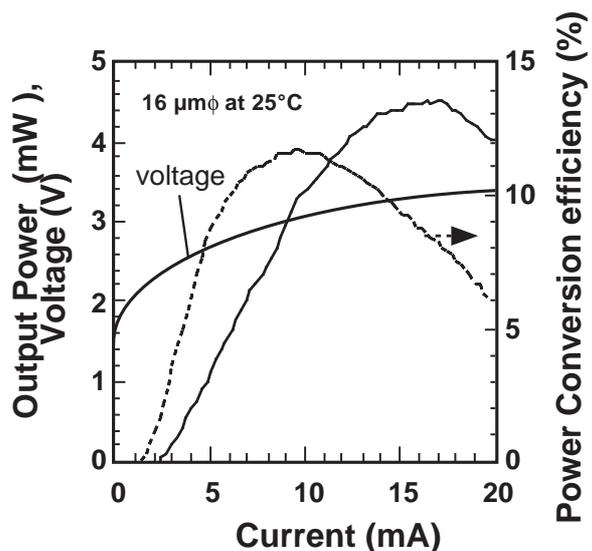


図 3.13 16 μm、VCSEL の電流 - 電圧、

### サイズ依存性

### 電流－光出力、及び電力変換効率特性

範囲内ではほとんど変化なく 11 ~ 12 %であった。この電力変換効率は、メサを形成した VCSEL 構造において報告されている中で最高水準のものであり<sup>11-13)</sup>、これは AlGaAs 基板上的 VCSEL が GaAs 基板上的ものと比べて遜色ないものであることを示している。

次に、この 16 μm の電流 - 光出力特性の温度依存性を図 3.14 に示し、またその閾値電流と最大光出力を図 3.15 にまとめる。最高発振温度は 130 °C で、100 °C まで 1 mW 以上の出力が得られている。この最高発振温度の値は GaAs 基板上 VCSEL とほぼ同程度であり<sup>14-15)</sup>、このことから AlGaAs 基板上的活性層の結晶中に重大な非発光再結合中心がないことが予想される。また、図 3.15 より 20 ~ 80 °C までの閾値電流の変動は 0.5 mA、ピークパワーは 50 %の変動と非常に小さいことがわかる。このように温度変動に対して閾値電流や光出力の変化量が少ないことは、光インターコネクション用光源として用いる場合に重要な要素となる。一般に端面発光レーザの電流 - 光出力特性は温度変動により大きく変化するので、安定動作させるためにペルチェ素子や温度コントローラ等の高価な温度制御部品が必要となっている。一方、ここで得られた VCSEL の特性は、温度コントローラを用いずに使用するのに十分な値が得られており、温度制御フリーが要求される光インターコネクション用光源として有望であることがわかった。

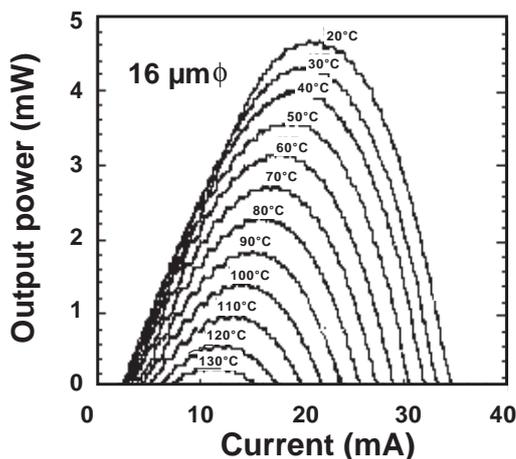


図 3.14 電流 - 光出力特性の温度依存性

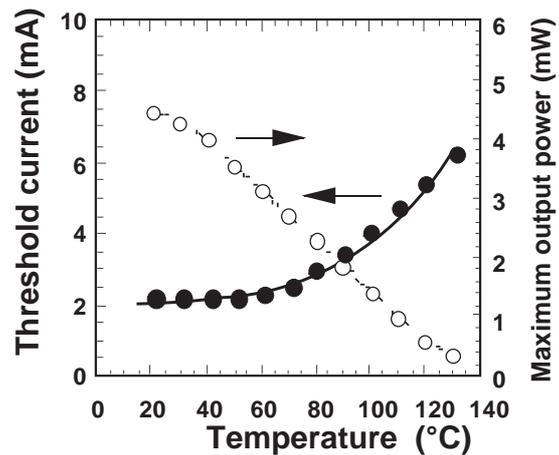


図 3.15 閾値電流と最大光出力の温度変化

この項の最後に、この素子単体の熱抵抗について述べる。熱抵抗  $R_{th}$  は素子の活性層の温度上昇を左右するもので次式のように表わされる。

$$R_{th} = \frac{\Delta T}{I \cdot V - P} \quad (3.1)$$

ここで、 $T$  は活性層の上昇温度、 $I$ 、 $V$  は動作電流と電圧、 $P$  は光出力である。厳密には光出力は上面からと下面からの光強度の和であるが、ここでは上面からの光出力はほとんどないため省略する。活性層の上昇温度の測定には 2.5.2 項で用いた方法を取り、この結果をメサ径ごとに表したのが図 3.16 である。この図は横軸は電流・電圧の積から光出力を引いた値で、縦軸は活性層の上昇温度である。この結果から入力消費電力に対し活性層の上昇温度は比例関係にあり、その勾配から熱抵抗は素子径  $16\ \mu\text{m}$ 、 $26\ \mu\text{m}$  でそれぞれ  $1210\ \text{K/W}$ 、 $660\ \text{K/W}$  という値が得られた。この値は報告されている上面発光・酸化狭窄型 VCSEL とほぼ同等の値である<sup>16)</sup>。以上より、 $0.85\ \mu\text{m}$  帯下面発光型 VCSEL において、光出力、温度特性、熱抵抗のいずれの点でも、上面発光型と同等な特性が得られることを実証した。

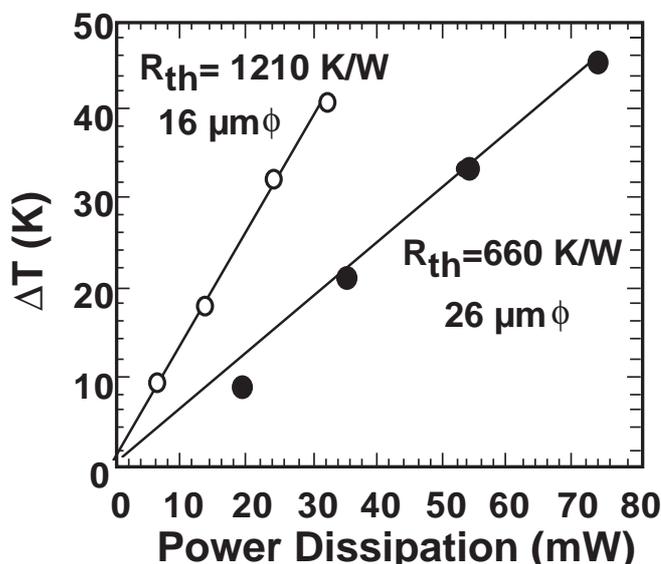


図 3.16 熱抵抗の素子サイズ依存性

### 3.4.3 2次元アレー化

ここでは、前項で作製した高出力タイプの下面発光型  $0.85\ \mu\text{m}$  帯 VCSEL の  $8 \times 8$  (64) 素子での 2次元アレー化について述べる。作製手順は上面発光型とほぼ同じプロセスで、素子間隔は  $250\ \mu\text{m}$  ピッチで作製した。但し、 $n$  電極は AlGaAs 基板ではなく、その上の  $n$  型 DBR 層から取り出し、上面の成長層の表面までパッド電極を配線して、 $n$  型と  $p$  型の電極を同じ高さに行っている。出射側は全面に AR コートティングを施し、実装用の基盤は放熱性のよい AlN を用いた。その AlN 基盤上に  $8 \times 8$  の  $p$  電極配線 64 本と  $n$  電極の配線を電気容量の低減を目的に形成している。その後 In ハンダを用いて、

8×8 VCSEL アレーチップをフリップチップボンディングした。ハンダ材の大きさは 80  $\mu\text{m}$  であり、このハンダのサイズは素子の歩留まりと、チップの大きさ ( $3\times 3\text{ mm}^2$ ) の観点から決定した。図 3.17 にフリップチップ実装の断面の模式図を、図 3.18 に実際にフリップチップ実装した VCSEL アレーのチップの出射側からの写真を示す。

AlN 基板の上に In ハンダと Au の配線で素子が結線されており、下面出射型 2 次元アレー VCSEL が作製されている様子がわかる。

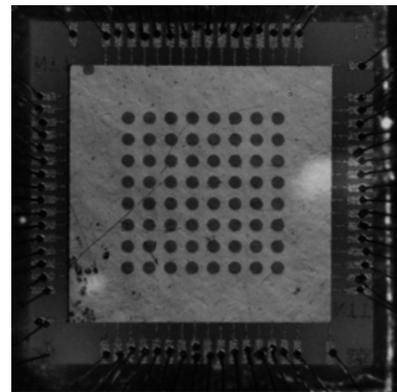
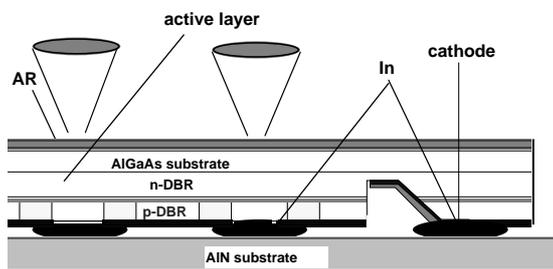


図 3.17 フリップチップ実装した 8 × 8 下面発光型 VCSEL の模式図

図 3.18 出射側からの写真

次に作製した下面発光型の 64 素子の閾値電流の分布を図 3.19 に示す。閾値電流は  $1.6 \pm 0.3\text{ mA}$  の分布で、実装前後で閾値電流が 2.1 から 1.6 mA に減少したことがわかる。

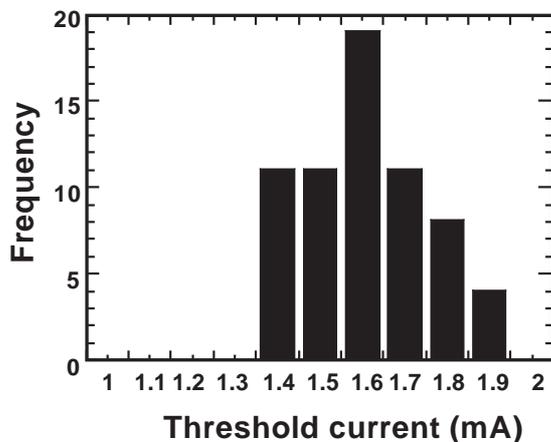


図 3.19 フリップチップ実装した 8 × 8 VCSEL の閾値電流分布

これはフリップチップ実装したことで、素子の放熱性がよくなり相対的に光学利用が大きくなり閾値電流が減少したためと考えられる。また閾値電流のばらつきは、報告されたレーザアレーの分布と遜色なく<sup>17-18)</sup>、これは AlGaAs 基板上でも、均一性の良好な 2 次元アレーレーザが作製可能であることを示している。

次に、変調特性について述べる。第 2 章 2.6 節に上面発光型 VCSEL で 2 次元アレー化を行った際、素子配線による寄

生容量が問題になった。下面発光型にした場合は、素子配線は VCSEL 基板上ではなく AlN 基盤上に作製されるため、その寄生容量はメサ部分の pn 接合からなる容量のみになることが予想される。そこで図 3.18 で示したアレー化された素子の容量を AlN 基盤上のパッド部分にプローブを当てて測定したところ、64 の全素子で  $0.5 \pm 0.2$  pF という値が得られた。これは 2.6.2 項で述べた上面発光型の 1/10 以下の値であり、フリップチップ実装により配線の寄生容量をほとんど取り除くことが可能であることがわかった。配線がない場合の 0.2 pF に比べて少し大きな値となっているが、これは n 電極の配線の影響である。このような容量低減化の結果、Cutoff 周波数は式 (2.34) より 4 ~ 10 GHz となる。そこで最も容量の大きい中央付近の素子の変調特性を測定した結果を図 3.20 に示す。閾値電流の 2.6 倍 (駆動電流 4.2 mA) 時で、緩和振動周波数が 1.6 GHz 付近で観測され、-3 dB で定義される帯域は 2.6 GHz まで達していることがわかる。比較のため上面発光型の変調特性も示した。上面発光型は緩和振動のピークが観測されず、しかも 3 dB 帯域は 250 MHz であり、明らかに Cutoff 周波数で制限されていることがわかる。

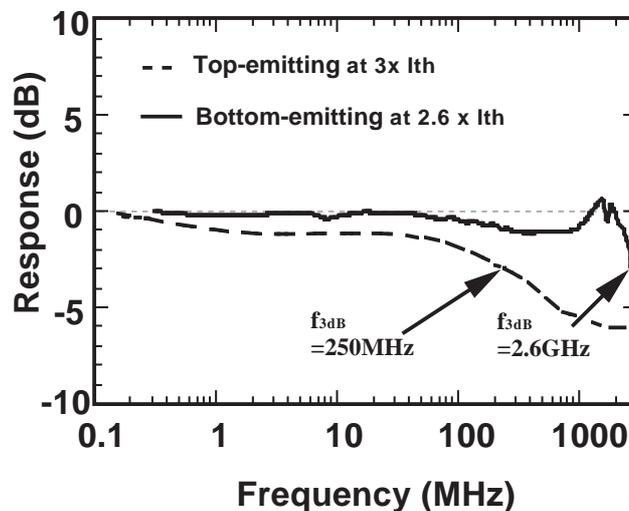


図 3.20 2次元 VCSEL アレーの 1 素子 (中央付近)の変調特性

以上より、フリップチップ実装することで、AlGaAs 基板上の下面発光型 2次元 VCSEL アレーにおいて閾値電流、光出力、変調帯域のいずれの点でも、上面発光型の 2次元 VCSEL アレーを上回る特性が得られた。

### 3.5 まとめ

本章では下面発光型 0.85  $\mu\text{m}$  帯 VCSEL を取り上げ、AlGaAs 基板上の VCSEL を提案し、出射側の反射率の検討、フリップチップ実装を行うことで、第 2 章で得られた上面発光型 VCSEL の特性を光出力、閾値電流、電力変換効率の全ての点で上回る値が得られた。

以下本章で得られた結果について列記する。

- (1) AlGaAs 基板上の成長ではバッファ層の組成が重要であり、AlGaAs バッファ層では 3 次元成長が起こりやすく、GaAs バッファ層が有効であることがわかった。
- (2) 出射側の反射率を制御することにより高光出力化が可能であることを計算により明らかにした。そして、実際に下面発光型 VCSEL を作製し 26  $\mu\text{m}$  で最大 5 mW 以上の光出力が達成された。また 16  $\mu\text{m}$  の素子で閾値電流 2.1 mA、最大光出力 4.6 mW、電力変換効率 11.2 %、最高連続発振温度 130 が得られた。
- (3) 下面出射型 VCSEL の 8×8 の 2 次元アレー化を行い、閾値電流のばらつきの少ないアレーレーザが AlGaAs 基板でも作製可能であることを示した。更にこれを AlN 基盤上に In ハンダを用いてフリップチップ実装することで、配線容量を少なくし、8×8 の 64 素子全てにおいて、GHz レベルの変調が可能であることを実証した。

### 【第3章 参考文献】

- 1) J. L. Jewell, J. P. Harbison, A. Scherer, Y. H. Lee, and L. T. Florez, *IEEE J. Quantum Electron.*, 27, 1332 (1991)
- 2) M. Takahashi, P. Vaccaro, K. Fujita, T. Watanabe, T. Mukaiharu, F. Koyama, and K. Iga, *IEEE Photon. Technol. Lett.*, 8, 737 (1996)
- 3) P. D. Floyd, B. J. Thibeault, E. R. Hegblom, J. Ko, L. A. Coldren, and J. L. Merz, *IEEE Photon. Technol. Lett.*, 8, 590 (1996)
- 4) T. McLaren, S. Y. Kang, W. Zhang, D. Hellman, T. Ju, and Y. C. Lee, *Proc. 45th ECTC (Electronic Components & Technology Conference)*, 393 (1995)
- 5) F. H. Peters, G. D. Robinson, M. G. Peters, D. B. Young, and L. A. Coldren, *IEEE Photon. Technol. Lett.*, 6, 1176 (1994)
- 6) K. Tai, Y. Lai, K. F. Huang, T. C. Huang, T. D. Lee, and C. C. Wu, *Appl. Phys. Lett.*, 63, 2624 (1993)
- 7) T. Wipiejewski, M. G. Peters, B. J. Thibeault, D. B. Young, and L. A. Coldren, *IEEE Photon. Technol. Lett.*, 8, 10 (1996)
- 8) C. K. Lin, S. W. Ryu, W. J. Choi, and P. D. Dapkus, *IEEE Photon. Technol. Lett.*, 11, 937 (1999)
- 9) D. V. Tishinin, P. D. Dapkus, A. E. Bond, I. Kim, C. K. Lin, and J. O'Brien, *IEEE Photon. Technol. Lett.*, 11, 1003 (1999)
- 10) K. D. Choquette, K. M. Geib, B. Roberds, H. Q. Hou, R. D. Twisten, and B. E. Hammons, *Electron. Lett.*, 34, 1404 (1998)
- 11) K. L. Lear, and S. A. Chalmers, *IEEE Photon. Technol. Lett.*, 5, 972 (1993)
- 12) M. G. Peters, B. J. Thibeault, D. B. Young, A. C. Gossard, and L. A. Coldren, *J. Vac. Sci. Technol. B.* 12, 3075 (1994)
- 13) K. L. Lear, R. P. Schneider, K. D. Choquette, S. P. Kilcoyne, J. J. Figiel, and J. C. Zolper, *IEEE Photon. Technol. Lett.*, 6, 1053 (1994)
- 14) R. A. Morgan, M. K. Hibbs-Brenner, T. M. Marta, R. A. Walterson, S. Bounnak, E. L. Kalweit, and J. A. Lehman, *IEEE Photon. Technol. Lett.*, 7, 441 (1995)
- 15) Bo Lu, P. Zhou, J. Cheng, and K. J. Malloy, *Appl. Phys. Lett.*, 65, 1337 (1994)
- 16) Y. C. Lee, S. E. Swirhun, W. S. Fu, T. A. Keyser, J. Jewell, and W. E. Quinn, *Proc.*

45th ECTC (Electronic omponents & Technology Conference), 387 (1995)

- 17) E. Zeep, B. Moller, G. Reinner, M. Ries, T. Hackbarth, and K. J. Ebeling, Proc. 14th IEEE Int. Semiconductor Conference, W1.2, 175 (1994)
- 18) R. A. Morgan, L. M. F. Chirovsky, M. W. Focht, G. Guth, M. T. Asom, R. E. Leibenguth, K. C. Robinson, Y. H. Lee, and J. L. Jewell, Proc. SPIE, 1562, 149 (1991)

## 第4章 wafer fusion 法を用いた 1.55 $\mu\text{m}$ 帯 VCSEL

### 4.1 緒言

第2、3章において、0.85  $\mu\text{m}$  帯の VCSEL が優れた特性を有し、光インターコネクション用光源として有望であることを示した。しかしながら、石英系光ファイバでの伝送を考えた場合、ファイバ内の伝送ロスのため 0.85  $\mu\text{m}$  帯の伝送距離は 300 m 以内になってしまう<sup>1)</sup>。そこで VCSEL を用いた長距離伝送を可能にするためには、長波長化が回避となる。もし、0.85  $\mu\text{m}$  帯 VCSEL の優れた特性をそのまま引継いで長波長化が可能であるならば、光インターコネクション用の光源だけに留まらず、WDM (Wavelength Division Multiplexing) 用の多波長レーザ<sup>2)</sup>や、波長可変レーザ<sup>3)</sup>等、広範囲な応用分野も期待される。そこで、本章の前半では光ファイバの最小損失帯である 1.55  $\mu\text{m}$  帯波長の VCSEL 実現へ向けて重要な作製技術である wafer fusion について取り上げ、後半ではこの wafer fusion 法を用いて作製された 1.55  $\mu\text{m}$  帯 VCSEL について述べる。

### 4.2 VCSEL の長波長化へのアプローチ

長波長帯 VCSEL を作製するためには、その発振波長域に利得を持つ活性層材料を選定しなければならない。長波長帯 (1.3~1.55  $\mu\text{m}$ ) に利得を有する材料としては、InP に格子整合した InGaAsP もしくは InAlGaAs 系を用いることが一般的である。このため GaAs 系の VCSEL 構造を InP 系の材料に置き換えれば、長波長帯 VCSEL が実現可能と類推されるが、材料を InP 系に変えると VCSEL にとって克服すべき様々な問題が生じてくる。

まず InP 系材料で作製された長波長帯レーザは、GaAs 系の短波長帯に比べて、温度特性が悪く、オージェ再結合や価電子間吸収が大きいといった問題が挙げられ<sup>4)</sup>、これは VCSEL にとって室温連続動作ですら達成困難にする要因となっている。次に VCSEL を構成する反射鏡の材料選択の問題が浮上してくる。InP に格子整合した材料系で DBR 構造を作製する場合、一般的に InP と InGaAsP や InAlAs と InAlGaAs の組み合わせが候補に挙がるが、この何れの組み合わせでも 2 種類の半導体の屈折率差が小さいため、高反射率膜を形成するのに必要な全膜厚が、0.85  $\mu\text{m}$  帯 GaAs 系 VCSEL の

3 倍程度の  $10\ \mu\text{m}$  以上にも及び<sup>5-6)</sup>。このため長時間にわたり膜厚と組成を制御しながら結晶成長することが必要となり、格子整合条件が非常に厳しくなる<sup>7)</sup>。更に GaAs に比べて、InGaAsP、InAlAs、InAlGaAs 等は熱伝導率が悪い材料系であるため、素子の熱抵抗が桁違いに高くなる可能性があり<sup>8)</sup>、この点からも VCSEL の室温連続発振、高温動作には不向きな材料であると考えられる。

このような状態の中、2000 年に入って、長波長帯 VCSEL の中でも光ファイバの材料分散が小さい  $1.3\ \mu\text{m}$  帯の研究開発が活発化してきた。これは、GaAs にほぼ格子整合する InGaAs<sup>9)</sup> や GaAsSb<sup>10)</sup> もしくは InAs (InGaAs)量子ドット<sup>11)</sup> といった  $1.3\ \mu\text{m}$  帯で高い光学利得を有する発光材料の結晶成長が可能になったためである。こういった材料系は InP 系とは異なり、GaAs や AlGaAs をクラッド層とした VCSEL 構成が可能のため、伝導帯のバンドオフセット  $E_c$  が大きくとれ、また深い量子井戸が作製できる。このため、高温、もしくは高電流注入時の電子のオーバーフローの抑制が可能となり、活性層の温度特性が良くなるという利点を持っている。更にこのような活性層が熱伝導性がよく大きな屈折率差がとれる GaAs/AlAs 系のミラー上に連続的に成長可能であるため、活性層だけではなく VCSEL 全体としても GaAs 系 VCSEL と同等の温度特性が得られると期待されている。

一方、ファイバの最小損失帯である  $1.55\ \mu\text{m}$  帯の GaAs に格子整合する発光材料は、現段階ではデバイスに用いる程の光学利得を持つ結晶が得られているとはいいがたい<sup>12)</sup>。このため 1990 年代半ばまで、 $1.55\ \mu\text{m}$  帯 VCSEL の研究は、InP 系活性層と上下のミラーは誘電体多層膜を用いる報告例が多く<sup>13-14)</sup>、光吸収が少なく、熱伝導性の良い誘電体の材料探索が研究分野の中心であった。しかしながらこの上下とも誘電体を用いる構造は活性層部分の直下に誘電体多層膜を堆積するため、その部分の基板を取り除く必要がある。このため一定以上の素子間隔をとる必要があり高密度の 2 次元アレー構造には適さないという問題点があった。また共振器部分の厚さ数  $\mu\text{m}$  の半導体を誘電体ミラーで挟むデバイス構造を取るため、耐久性が疑問視されていた。そこで InP に格子整合した InAlAs/InAlGaAs を下部 DBR として用い、半導体ミラー層と活性層を InP 基板上に一括成長した後、放熱性の優れた材料で上部 DBR を積層し、上部 DBR 層をヒートシンクにマウントすることで熱伝導性の問題を回避しようという試みもある<sup>15-16)</sup>。

一方、これとは趣を異にした方法として、発光層は InP 系材料で、ミラー層は GaAs/AlAs DBR を用いて長波長帯 VCSEL を作製するという手法が 90 年代後半に提案

され<sup>17)</sup>、デバイス特性として閾値電流 1 mA 以下で室温 CW 動作が報告された<sup>18)</sup>。この構造では、活性層部分は InP 基板上に従来の InP 系材料を、高反射ミラー部分は GaAs 基板上に GaAs/AlAs ミラーを、各々別々にエピタキシャル成長する。その後、二つの結晶表面どうしを直接接着しアニールすることにより GaAs と InP との間の共有結合を形成するという、wafer fusion 法と呼ばれる方法を用いることにより VCSEL 構造の作製が可能となった。

こういった異種材料基板の接着技術は、LSI の分野で最近盛んに議論されている低消費電力と高速性を目的とした SOI 基板の出現に誘起させられたものである。SOI 基板は Si 酸化膜と Si の表面どうしを重ね合わせた後、アニールすることで接着し、その後上面の基板をエッチング、もしくは smart cut 法と呼ばれる方法で取り除いて埋込み酸化膜上に薄い Si 層を形成することで浮遊容量の低減を図ったものである<sup>19)</sup>。現在、酸素のイオン注入を用いた SIMOX 基板とその優劣を競っている。この直接接着技術を Si 以外の III-V 族にまで範囲を広げたのが、wafer fusion 法である。SOI 基板と異なる点は接着界面に電流が流れること、また接着後の結晶の光学利得にほとんど変化がないことが重要となる。この接着技術は、今までにヘテロエピタキシャル成長では成し得なかった格子不整合系の良質な薄膜を形成できる可能性がある。また接着の際、結晶の面方位の自由度が増すことから、光学的物性まで巻き込んだ一大分野に発展しうる可能性を持つことが指摘されている<sup>20)</sup>。更には、III-V 族半導体どうしのみならず、Si 基板と III-V 族半導体という組み合わせも考えられ、光・電子デバイスの融合といった OEIC (Opto- Electronics Integrated Circuit) 化へのブレークスルーとなる可能性も報告されている<sup>21)</sup>。

こうした背景を踏まえて、本章では 1.55  $\mu\text{m}$  帯 VCSEL の室温連続動作の達成を目指して、本章前半で、その作製法の要である GaAs と InP の wafer fusion について議論し、後半で wafer fusion 法により作製された VCSEL の特性について述べる。

### 4.3 wafer fusion 法

#### 4.3.1 Si と Si 酸化膜の接着のメカニズム

まず III-V 族半導体の接着に入る前に、Si ウェハどうしの接着技術のメカニズムについて説明する。Si ウェハどうしの接着は、一般に図 4.1 に示したように説明される。鏡面研磨した Si 基板を洗浄後、親水処理を施し基板最表面を OH 基にする。その後、

親水性を有した Si 基板の表面どうしを室温で重ね合わせる。この結果 200 以下の低温で OH 基どうしの水素結合が起こり弱い結合が形成される。その後、高温熱処理することで脱水縮合が起こり、Si と O の間に Si-O-Si 結合ができて接着が強固になる。そして更に高温にすると（約 1000 ）O が基板中に拡散し、接合面において Si 原子どうしが完全に化学結合することになる。接合面の酸素濃度は Si と同程度で接合強度は室温から 200 までは弱い、1000 では Si の破壊強度と同じ 100 kg/cm<sup>2</sup> にまで達するという報告例もある<sup>22)</sup>。また基板の方位をずらすと結晶欠陥が生じるという報告もある<sup>22)</sup>。こうしたメカニズムは異種基板どうしを接着する場合でも同様であると類推されるが、III-V 族半導体の結晶どうしの接着には未だ定説はない。しかしながら、上述のことを考慮して異種基板どうしである InP/GaAs を接着する上で重要と思われる検討項目を、半導体レーザを作製することを念頭に置きながら列挙してみると、

- ( 1 ) 接着する直前の基板表面状態（親水性 あるいは 疎水性）
- ( 2 ) 基板の面方位依存性
- ( 3 ) 表面のモロロジーの影響
- ( 4 ) アニール温度依存性
- ( 5 ) アニール時の荷重依存性
- ( 6 ) P L 強度の接着界面からの距離依存性
- ( 7 ) 接着界面の電気的特性
- ( 8 ) 結晶欠陥の発生

等が考えられる。

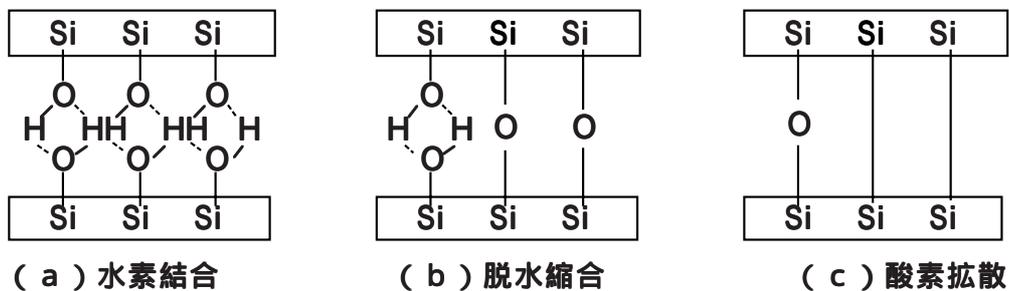


図 4.1 Si ウェハの直接接着

### 4.3.2 表面処理

InP と GaAs を接着する際、表面層に形成された自然酸化膜を除去するため、それぞれの基板表面の前処理の方法が最初の問題となる。今まで報告された例では、HF、BHF、硫酸系、 $K_3Fe(CN)_6$  などエッチャントや方法は様々である<sup>23-25)</sup>。また本論文では GaAs 系の DBR と InP の接着を最終目的としているので、GaAs に対して硫酸系のエッチャントを適用するのはエッチングレートが極めて大きいため適当でない。これは光学波長の 1/4 厚に制御して成長した GaAs 系 DBR の最上位層の GaAs 膜厚が、反射率に大きく影響するためである。そこで(100)面の InP と GaAs に対して自然酸化膜を除去するエッチャントとして BHF、フルウチ化学社製セミコクリーン 23 (pH 12.1)、水で 1/2 に希釈したシプレー社製現像液 (pH 12.7)、そして硫酸系 (InP のエッチャント用のみ) を候補として取り上げ、そのエッチングレートを測定した。本実験において使用した GaAs、InP 基板は住友電工製のウェハを使用した。キャリア濃度は n 型 GaAs ( $1-2 \times 10^{18} \text{ cm}^{-3}$ )、n 型 InP ( $1-2 \times 10^{18} \text{ cm}^{-3}$ ) である。エッチング時間は約 60 時間で、室温放置の状態で行った。また硫酸系エッチング液は調製してから 6 時間以上放置してから使用した。この結果を表 4.1 に示す。InP は BHF、セミコクリーンではほとんどエッチングされないが、BHF でエッチングした InP の表面が鏡面であったのに対し、セミコクリーンでエッチングした表面のモホロジーは約 100 以下の凹凸があり荒れていた。

表 4.1 各々の基板に対するエッチングレート

エッチャント 基板	B H F	セミコクリーン 2 3	硫酸：過酸化水素：水 3：1：1
GaAs	0.36 /min	3.3 /min	—————
InP	0 (エッチングされない)	0 (エッチングされない)	9.3 /min

### 4.3.3 InP、GaAs、Si の表面状態

各々の基板におけるエッチング後の表面状態を表 4.2 に示す。また Si 基板についても同様の実験を行ったので、参考のために付記する。

親水性、疎水性の判断は、正確には表面に水滴をたらして、その接触角度から求めるべきであるが、ここではそういった測定は行っていない目視で判断している。表 4.2 で示したように、BHF もしくはセミコクリーンの場合は、GaAs 表面がエッチング直

表 4.2 各々のエッチャント後の表面状態

エッチャント 基板	BHF	セミコクリーン23	硫酸：過酸化水素：水 3：1：1
GaAs	親水性 疎水性	親水性 疎水性	—————
InP	親水性	親水性	親水性
Si	親水性	—————	疎水性

後は親水性であるが、大気に触れると急激に変化して疎水性に変化していく。これは InP は表面が In 原子で終端し、極性が陽イオンであるため OH<sup>-</sup> イオンと結合しやすいのに対して、GaAs は As 面の方が安定であるため As 原子が終端となり、理想的な表面状態が負イオンとなるため H<sup>+</sup> イオンと結合しやすいと推論される。

そこで、最終段階の前処理法の候補として、GaAs 基板については BHF 5 分、セミコクリーン 3 分、InP 基板について H<sub>2</sub>SO<sub>4</sub>:H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>O = 3:1:1 溶液 15 sec, BHF 5 分とした。これにより、GaAs は 約 12 μm, InP は 2~3 μm エッチングされたことになる。InP でセミコクリーンを用いなかった理由は表面モロロジーの劣化を防ぐためである。図 4.2 に作製工程を示す。サンプルの大きさは 6×8 mm<sup>2</sup> とし、GaAs 基板上を親水性にする場合は水中で InP と接着した。これは前処理後、大気に触れて表面が疎水性にならないようにするためである。また疎水性にする場合は、BHF のみの前処理をし、水洗後、大気中で 2 分間放置し InP と接着をした。接着後サンプルを 160 °C の温度でホットプレート上で 180 g 程度の荷重（約 360g 重/cm<sup>2</sup>）をかけ、60 分以上放置し水を完全に蒸発させた。その後カーボンポート上にサンプルに乗せ、Mo（モリブデン）ブロックの荷重をかけ、水素雰囲気中で 1 時間のアニールを行った。

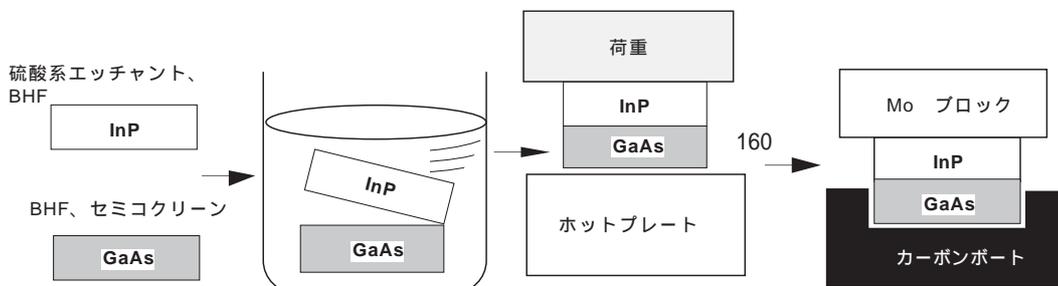


図 4.2 Wafer fusion の工程

#### 4.3.4 表面状態依存性

4.3.3 項で述べた方法で表面のエッチングを行って作製したサンプルの接着状況を表 4.3 に示す。ここでアニール温度の上限を 650 °C としているが、これは InP 側には最終的に pn 接合を有する発光層が形成されていることを念頭に置いており、InP 系の成長層内の p 型ドーパントの拡散を考慮したためである。

表 4.3 から分かるように GaAs と InP の接着状態には表面状態、即ち疎水性か親水性かが大きな役割を示していることが分かる。GaAs 表面が疎水性の場合は室温及び 160 °C での処理では接着せず、水素雰囲気中のアニールによって接着される。GaAs 表面が親水性の場合は、水中からサンプルを取り出しホットプレート上で 160 °C にして水を完全に蒸発させると、GaAs と InP は水素結合により既にピンセットでは剥がれない程度に強く接着していた。また、水中の接着ではなく、窒素雰囲気中において GaAs 表面を N<sub>2</sub> ブローして InP との接触を行っても、室温で接着が確認された。

次に GaAs 表面を親水性にして接着したサンプルの InP 基板側の機械研磨を試みた。この結果を同じ表 4.3 にまとめたが、450 °C 以下では研磨中に基板どうしが分離してしまった。この結果よりアニール温度が上昇すれば接着強度が増すことが推測される。

以上より、機械的な耐久性を考慮すると、InP/GaAs の wafer fusion において、GaAs 表面を親水性にして 500 °C 以上でアニールすることが望ましいことがわかった。

表 4.3 GaAs 基板の表面状態の違いによる接着

アニール温度	疎水性	親水性	研磨後 (注 2)
650			
600			
550			
500			
450	×		×
160 (注 3)	×		×

注 1 ) 接着 部分的に剥がれる × 接着せず。

注 2 ) 研磨は親水性のみ行った。

注 3 ) 160 °C は水素アニール前。

#### 4.4 接着ウェハの特性評価

##### 4.4.1 アニール温度依存性と荷重依存性

4.3 節で述べた方法で形成された InP/GaAs 界面の電流 - 電圧特性を調べるために、wafer fusion を行ったサンプルに  $50\ \mu\text{m}$  のメサ形成を行った。作製手順を図 4.3 に示す。まず、上部 InP の厚さが  $50\ \mu\text{m}$  になるまで研磨し (b)、リフトオフで InP 側に直径  $50\ \mu\text{m}$  の円形パターンの AuGeNi/Au を形成し、裏面 (GaAs 側) は、全面に AuGeNi/Au を蒸着する (c)。420 °C でアニールしオーミックコンタクトをとった後、飽和 Br 水、HBr、水の混合溶液 (2:1:1) で GaAs 表面が表れるまでエッチングして円柱状のメサを形成した (d)。

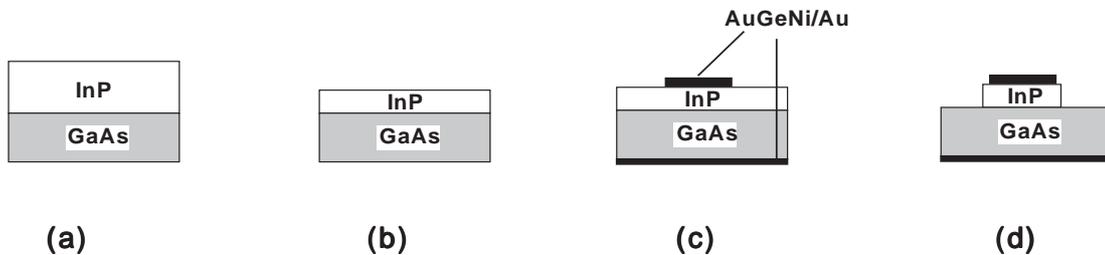


図 4.3 電流 - 電圧測定用サンプルの作製手順

図 4.4 に電流 - 電圧特性を示す。尚、サンプル作製の際、アニール時の荷重は  $3000\ \text{Pa}$  で統一している。極性は InP 側に正のバイアスを加えた方向を順方向とした。この図からわかるように、順方向の特性はヘテロ障壁に起因した、いわゆるダイオード的な

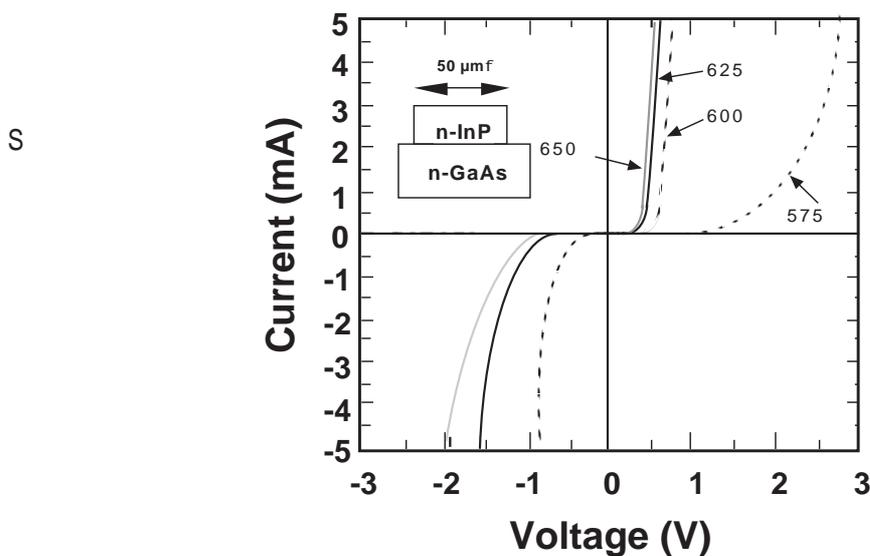


図 4.4 電流 - 電圧特性のアニール温度依存性

特性となった。またアニール温度による温度依存性が明らかに見られ、温度上昇とともに立ち上がり電圧および抵抗が低くなることが確認された。

次にアニール温度、時間を 600 °C、1 時間とした場合の荷重依存性による電流 - 電圧特性を図 4.5 に示す。アニール時の荷重は 3000 Pa、5600 Pa、10000 Pa の 3 通り行い、実際に VCSEL 動作時に流す電流密度を考慮して 10 kA/cm<sup>2</sup> まで測定した。荷重が増すに従い、温度依存性と同様に立ち上がり電圧及び抵抗が小さくなる傾向が確認された。特に、3000 Pa、5600 Pa に大きな違いがあり、アニール時における荷重が直接接着の効果を高めていることがわかる。

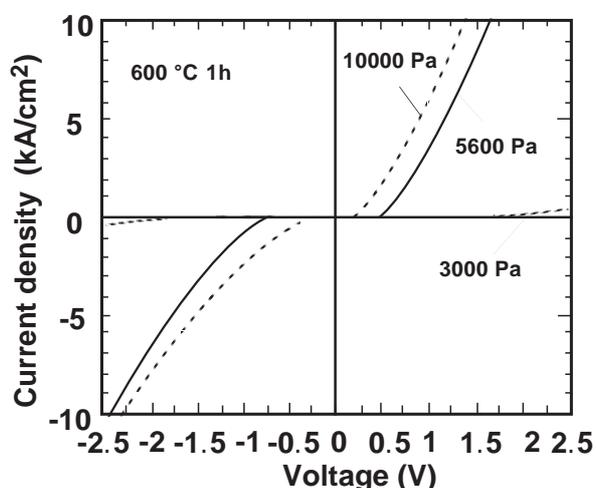


図 4.5 電流－電圧特性の荷重依存性

#### 4.4.2 結晶評価

図 4.6 にアニール温度 600 °C、1 時間、荷重 10000 Pa で接着した場合の断面透過型電子顕微鏡 (TEM) 像を示す。この図より GaAs と InP の界面には隙間がなく、かつ GaAs の As と InP の In の格子が連続的に接着されていることがわかる。また GaAs と InP 間には 3.7 %の格子不整合があるにもかかわらず、ヘテロエピタキシャル成長によく見られる 60 度転位は観察されず、観測されたのは刃状転位 (矢印部分) のみで、貫通転位の存在は確認されなかった。

一般に結晶基板の表面モホロジーは数 + であることから、隙間のない界面が得られたことは、アニールによって界面付近の結晶の格子の再配列が行われ、GaAs と InP が化学結合を形成したと考えられる。

新たに化学結合が形成される理由として、Lo らの報告によると<sup>26)</sup>、分離して結晶

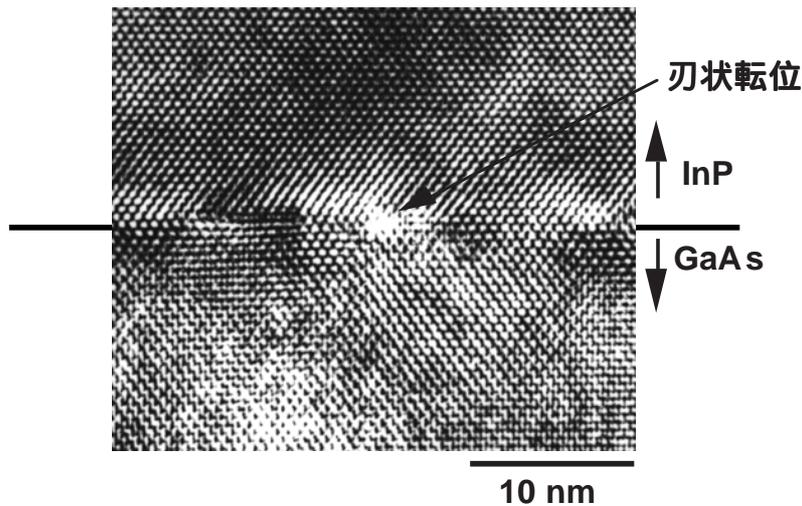
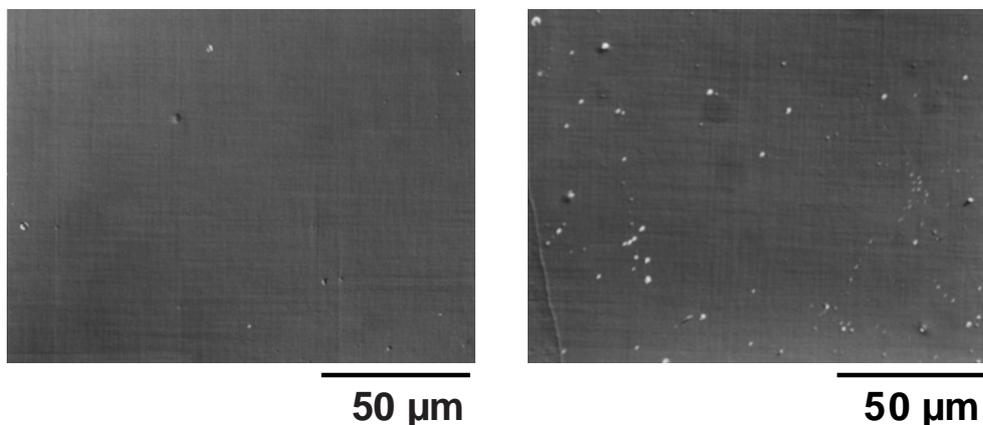


図 4.6 断面TEM写真

格子の再配列が行われるよりは、接着して再構築されたほうが表面エネルギーが小さいこと、また In 原子の表面モビリティが高いため、GaAs 層はそのままで InP 層側の結晶の再配列が成され、界面付近の原子の相互拡散が起こらないと論じている。このことは化学結合を有する直接接着を行うためには In 原子が必要であることと等価であると考えられるが、GaAs/Si や GaAs/GaAs 等の接着も、既に報告されていることから<sup>27)</sup>、III-V 族半導体どうしの直接接着のメカニズムはまだはっきりとした定説がないと言わざるを得ない。しかしながら、InP/GaAs において、上述の接着のメカニズムが正しいと仮定すると、接着する際の InP 側の結晶の再配列により InP 側の結晶の内部に何らかの結晶性の変化が見られることが予想される。そこで接着界面からの距離をパラメータとして、InP 側の層のエッチピット密度 (EPD) を測定することにした。接着条件はアニール温度 600 °C、時間 1 h である。サンプルは、InP 基板に光学波長の 1/4 の厚さで MOCVD 法によりエピタキシャル成長して作製された InP/InGaAsP 層 (バンドギャップ波長  $\lambda_g = 1.4 \mu\text{m}$  組成) (厚さ InP 122 nm、InGaAsP 112 nm) を 10 ペアを積層した DBR 構造である。EPD は、InP と InGaAsP 層を 2 種類の選択エッチング液 ( $\text{HCl}:\text{H}_3\text{PO}_4=1:1$  と  $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O} = 3:1:1$ ) を用いて 1 ペアずつエッチングしながら InP 層を表面に出し、 $\text{HBr}:\text{H}_3\text{PO}_4=1:2$  の混合溶液を用いてエッチピットを露出させ計数した。図 4.7 はこのときの表面写真で (a) は界面からの距離が  $1.78 \mu\text{m}$  (7.5 ペア)、(b) は  $0.38 \mu\text{m}$  (1.5 ペア) で荷重は 5600 Pa、アニール温度 600 °C、1 h の条件でサンプル内ほぼ同一箇所のものである。接着界面から  $1.8 \mu\text{m}$  程度では  $1.5 \times 10^4 \text{ cm}^{-2}$  であるが、界面に近づくにつれ、徐々に EPD の増加が見られ、 $0.4 \mu\text{m}$  で  $5 \times 10^4 \text{ cm}^{-2}$  と



(a) 1.78  $\mu\text{m}$

(b) 0.38  $\mu\text{m}$

図 4.7 HBr 系エッチング後の表面写真

なっていることがわかった。

図 4.8 に接着界面からの距離  $d$  とアニール時の荷重をパラメータとしたときの InP 層の EPD の関係を示す。接着界面からの距離が短くなるにつれ、わずかにであるが上昇傾向にあることがわかる。特に、荷重 10000 Pa の場合、接着界面からの距離が 0.15  $\mu\text{m}$  程度のところで EPD が測れない程多数発生していて、結晶界面が上部の結晶に影響を与えていることが明らかとなった。また基板そのものの EPD は  $10^4 \text{ cm}^{-2}$  程度であるから、0.8  $\mu\text{m}$  以上離れていれば、EPD の増加は観測されず、再構成による影響の及ぶ範囲は界面から 0.8  $\mu\text{m}$  程度であることがわかった。

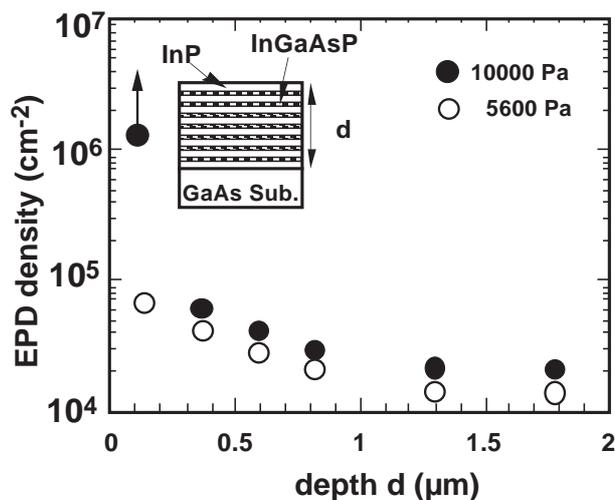


図 4.8 EPD の界面からの距離と荷重依存性

#### 4.4.3 光学的結晶評価

次に接着による上部層（発光層がある InP 側）への影響について PL 強度の変化を調べた。サンプルはまず InP 基板の上に格子整合した約  $0.45\ \mu\text{m}$  厚の InGaAsP (I g = 1.55  $\mu\text{m}$  組成) 層と  $0.1\ \mu\text{m}$ 、 $0.2\ \mu\text{m}$ 、 $0.5\ \mu\text{m}$ 、 $1\ \mu\text{m}$  の 4 種類の膜厚の InP 層を MOCVD 法で積層した。この InP 層面を GaAs 基板に荷重を加えて接着した後、InP 基板を約  $30\ \mu\text{m}$  まで研磨した。InGaAsP 層の PL 強度は接着する前に成長層側からの発光を測定しておき、直接接着後は InP 基板側からの発光を測定した。図 4.9 に成長した InP 膜厚と PL 強度比の荷重依存性を示す。荷重  $3000\ \text{Pa}$ 、 $5600\ \text{Pa}$  においては、InP の厚さが  $0.5\ \mu\text{m}$  以上であれば、PL 強度比は接着前と比べて  $90\%$  以上となり、ほぼ同程度の発光が得られた。しかし InGaAsP 発光層が接着界面に近づくにつれて PL 強度は減少傾向を示し、 $0.2\ \mu\text{m}$  では  $60\%$  程度、 $0.1\ \mu\text{m}$  では、それぞれ  $40\%$ 、 $20\%$  となり、かなりの発光強度の減少が見られる。また荷重  $10000\ \text{Pa}$  においては  $1\ \mu\text{m}$  以上接着界面から発光層が離れていても  $40\%$  程度の発光強度となり、InP の膜厚が薄くなるにつれてほぼ線形的に減少し、 $0.1\ \mu\text{m}$  程度では  $10\%$  程度の発光しか得られなかった。荷重  $5600\ \text{Pa}$  より小さい場合の結果は、界面からの距離が  $0.4\ \mu\text{m}$  程度まで非発光再結合の発生領域があるという CL (Cathodoluminescence) の結果の報告と良く一致している<sup>28)</sup>。

このことは荷重が増すにつれて、InP 層の格子の再配列が行われ、その結果良好なヘテロ接合が形成されるが、再配列のため InP の上部層への影響が大きくなることを意

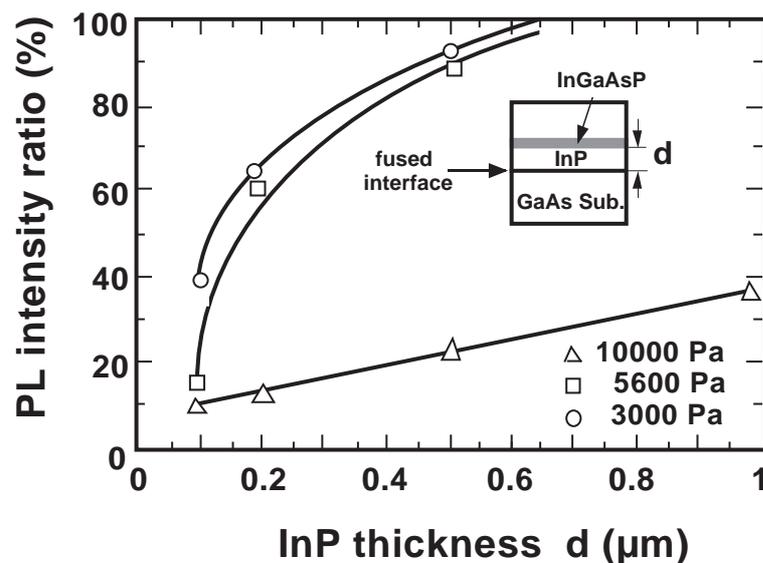


図 4.9 PL 強度の界面からの距離と荷重依存性

味している。つまり低抵抗な接着界面かつ高利得な発光層が要求される半導体レーザを作製する場合、光学利得と電気的特性はアニール時の荷重条件においてトレードオフの関係にあり、最適条件が存在することを示唆している。これは特に VCSEL のような短共振器構造を作製する場合、共振器長を設計する上での構造制限要素となるものであり、接着界面からの活性層の位置、荷重条件が重要であることがわかる。

以上、上述の結果から接着界面から活性層までの距離は  $0.5\ \mu\text{m}$  以上、荷重  $5600\ \text{Pa}$  程度、アニール温度  $600^\circ\text{C}$ 、アニール時間  $1\ \text{h}$  の条件であれば、活性層の光学利得への影響がほとんどなく、かつ接着界面の電気的特性も理想に近いヘテロ接合が形成出来ることがわかった。

#### 4.5 端面発光型半導体レーザの作製

次に、これまでの結果を踏まえて、wafer fusion 法の半導体レーザ作製への導入の可否を検証するため、端面発光型半導体レーザの作製を行った。半導体レーザの組成構造を図 4.10 に示す。まず p 型 InP 基板の上に p 型 InGaAs エッチングストップ層、厚さ  $1.5\ \mu\text{m}$  の p 型 InP クラッド層、p 型 InGaAsP ( $g=1.1\ \mu\text{m}$ ) ガイド層、発光ピーク波長  $1.3\ \mu\text{m}$  を有する 1% の圧縮歪みの InGaAsP/InGaAsP 6 層の MQW 活性層、n 型 InGaAsP ガイド層、n 型 InP クラッド層、n 型 InGaAs コンタクト層を順次 MOCVD 法で成長した。そして n 型 InGaAs コンタクト層を選択エッチングし、n 型 InP クラッド層を露出させた後、n 型 InP の表面と n 型 GaAs 基板の表面を接着させ wafer fusion を行った。接着条件はアニール温度  $600^\circ\text{C}$ 、時間  $1\ \text{h}$  で、荷重の値を 3 種類変化させて行った。p-InP 基板の除去を行った後、飽和 Br 水: HBr:  $\text{H}_2\text{O}$  = 2:1:1 を用いて、電流広がりを防ぐため p 型領域を活性層までエッチングして  $80\ \mu\text{m}$  幅のハイメサ構造を形成した。p 型電極として AuZnNi/Au、n 型電極として AuGeNi/Au を各々蒸着し、共振器長 200、300、600、 $900\ \mu\text{m}$  に劈開した。比較のため同一プロセスで作製した wafer fusion を行わない InP 基板上のレーザ評価も行った。尚、wafer fusion を行ったサンプルの接着界面から活性層までの距離は本サンプルにおいて約  $1.5\ \mu\text{m}$  となっている。

図 4.11 に共振器長、荷重依存性の閾値電流密度を示す。動作はパルス駆動でパルス幅  $400\ \text{nsec}$ 、繰り返し  $3\ \text{kHz}$  で行い、1 点につき 20~30 素子を測定しその平均値をプロットした。 $300\ \mu\text{m}$  長で比較すると、接着前の閾値電流密度は約  $1\ \text{kA/cm}^2$  であるのに対して、PL 測定から予想されるように荷重を  $3000\ \text{Pa}$ 、 $5600\ \text{Pa}$ 、 $10000\ \text{Pa}$  とするに

つれて、 $1.05 \text{ kA/cm}^2$ 、 $1.12 \text{ kA/cm}^2$ 、 $1.35 \text{ kA/cm}^2$  と増加した。一般に導波路損失が小さい場合には共振器長が増すに従い閾値電流密度は小さくなるが、直接接着して形成された端面発光型レーザの特性は、反対に共振器長が長くなるに連れて増加傾向が顕著に表れた。これは接着した結晶の面方位のわずかなずれから、劈開面で構成される共振器ミラー面が導波方向と完全に垂直にならないため、共振器長が長くなるに連れてその効果が表れたと考えられる。しかしながら、この面方位のずれによる問題は VCSEL を作製する場合は、光の導波方向と関係ないため全く影響が生じないものと考えられる。

以上により、界面から活性層までの距離が  $1.5 \mu\text{m}$  以上、アニール時の荷重  $3000 \text{ Pa}$ 、アニール温度  $600$  という条件で、wafer fusion を行うことで、閾値電流密度のほとんど変化のない、InP 系の端面発光型の半導体レーザが GaAs 基板上に作製できることがわかった。

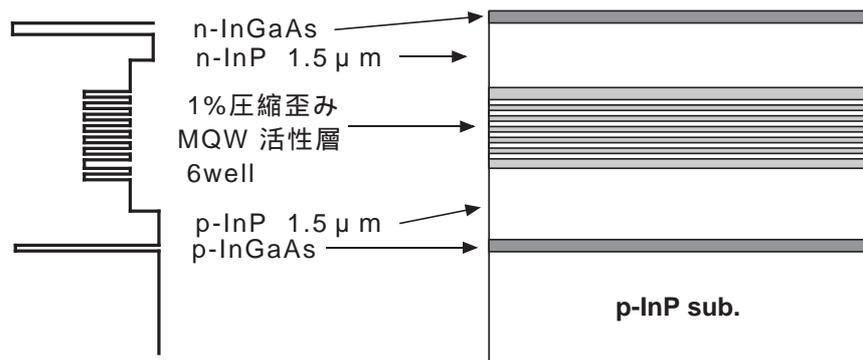


図 4.10  $1.3 \mu\text{m}$  帯半導体レーザの構造

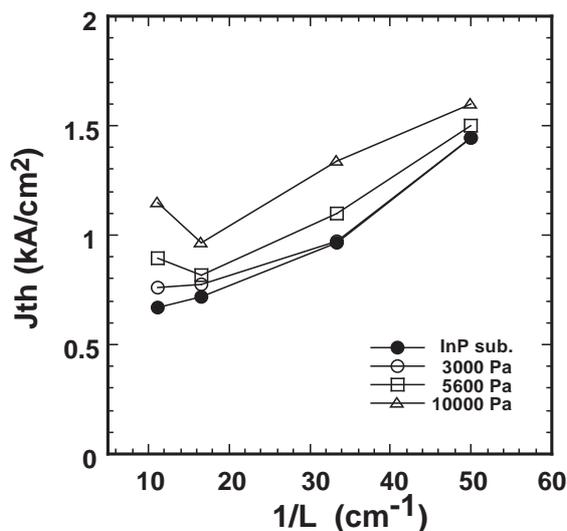


図 4.11 閾値電流密度の荷重と共振器長依存性

## 4.6 1.55 $\mu\text{m}$ 帯 VCSEL の検討

### 4.6.1 1.55 $\mu\text{m}$ 帯 VCSEL の構造

InP/GaAs の wafer fusion において、InP 層内の光学利得を損なうことなく、かつ接着界面に電氣的伝導性を持たせることが可能であることを述べた。そこで、本節以降はこの wafer fusion 法を用いて、実際に 1.55  $\mu\text{m}$ 帯 VCSEL を作製し、室温連続発振動作を達成することを目標とする。

図 4.12 に提案する VCSEL 構造を示す。本構造は活性層の両側に InP 系の InGaAsP/InP DBR を数ペア挿入することに特徴があり、高反射率を得るために下側には GaAs/AlAs DBR を、上側には  $\text{SiO}_2/\text{TiO}_2$  DBR を設けている。以下、活性層の両側に InP 系 DBR 層を作製する理由について述べる。4.4.3 項で述べたように wafer fusion 後に活性層の結晶品質が保たれるためには接着界面から 0.5  $\mu\text{m}$ 以上の厚さを必要とした。しかしながら、単純に活性層と接着界面の厚さを確保するために InP スペース層の膜厚を増加させると、共振器長の増加に伴い縦方向の閉じ込め係数が減少し、閾値電流の増加を招くことになる。更に DBR 層を含まず活性層とスペース層のみからなるエピタキシャル成長膜を直接接着させた場合、共振器波長を正確に制御することが困難になる。これは VCSEL の共振器波長は活性層とスペース層からなる厚さ ( $L_c$ ) だけではなく、DBR 層の膜厚偏差に大きく影響されるためである。共振器波長を制御可能にする事は Gain-offset 量を制御することと等価で、このことは VCSEL の特性を左右する重要な要素となり得る<sup>29)</sup>。

さて、この構造における利点をまとめると、

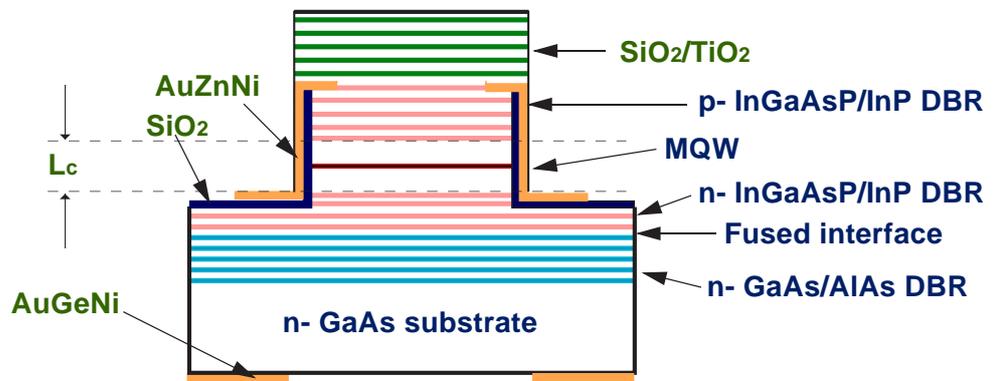


図 4.12 1.55  $\mu\text{m}$ 帯 VCSEL 構造図

- (1) 低熱抵抗、かつ高反射率を有する GaAs 系 DBR 上に InP 系活性層が積層可能。
- (2) InP 系 の n 型 DBR により活性層と接着界面からの距離を厚くすることが可能。
- (3) I キャビティが形成できる。
- (4) 接着前に、InP 側の成長膜のみで共振器波長が予測可能。
- (5) InP 系の p 型 DBR 層が電流を均一に注入する役割も兼ねるため、高反射率が得易い誘電体ミラーが採用できる。
- (6) 埋め込み構造を採用する際、エッチングトレランスが大きく取れる。

等であり、以下にこの構造の特徴と問題点について詳細に示す。

#### 4.6.2 熱抵抗

1.55  $\mu\text{m}$  帯 VCSEL の DBR を構成する材料として考えられている多層膜の組み合わせを表 4.4 に示す。活性層は InP に格子整合した InGaAsP、もしくは AlGaInAs 系で形成するため、格子不整合である GaAs/AlAs は wafer fusion 法、もしくは MBE 法での metamorphic 成長で形成される。a-Si/SiO<sub>2</sub> や a-Si/Al<sub>2</sub>O<sub>3</sub> の誘電体多層膜は電子ビーム蒸着法で、その他の材料は InP に格子整合するためエピタキシャル成長して成膜することが一般的である。

さて、DBR に要求される反射率として 99 % を仮定した場合、それに達するためのペア数とその熱抵抗をそれぞれ計算した結果を表 4.4 に示す。ここでは素子の大きさを 1000  $\mu\text{m}^2$  として熱抵抗を算出している。この表から GaAs/AlAs DBR の熱抵抗が、a-Si/Al<sub>2</sub>O<sub>3</sub> を除く他の DBR 材料と比べて桁違いに低いことがわかる。例えばヒートシンク側の DBR を GaAs/AlAs にして作製された VCSEL の活性層の温度が、CW 動作時に 10 K 上昇すると仮定した場合、AlInGaAs/AlInAs DBR で作製された VCSEL の活性

表 4.4 1.55  $\mu\text{m}$  帯 VCSEL の DBR と熱抵抗

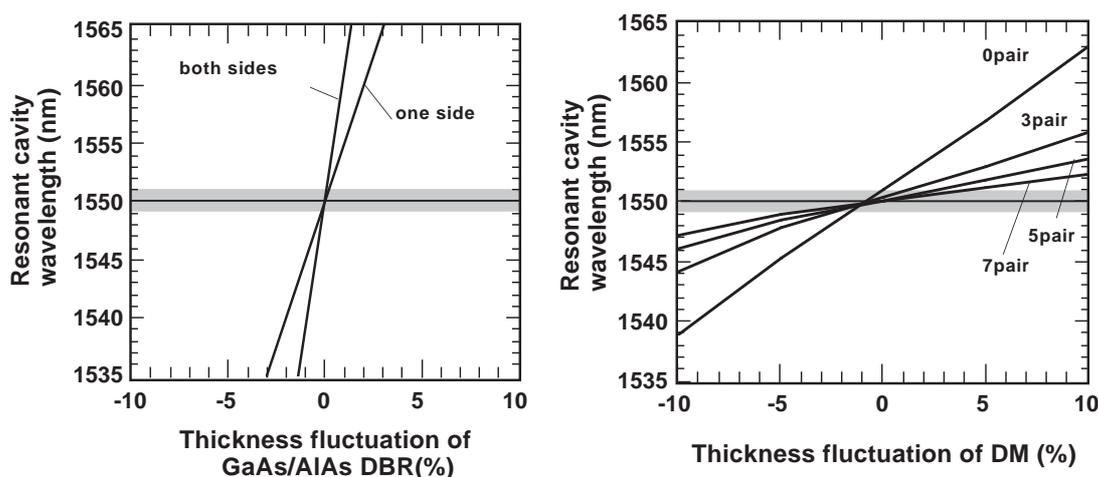
DBR Composition	ペア数 (@99%)	熱抵抗 K/W
GaAs/AlAs	20	81.7
InGaAsP/InP <sup>30,31)</sup>	36	963.3
AlGaAsSb/AlAsSb <sup>32)</sup>	25	994.7
AlInGaAs/AlInAs <sup>33)</sup>	39	2014.0
a-Si/SiO <sub>2</sub> <sup>34)</sup>	3	671.1
a-Si/Al <sub>2</sub> O <sub>3</sub> <sup>35)</sup>	4	28.5
SiO <sub>2</sub> /TiO <sub>2</sub>	5	1791.3

層の温度は、単純計算すると約 250 K も上昇するとが予想される。InP 系の 1.55  $\mu\text{m}$  帯の発光材料の温度特性が悪いことも考慮すると、DBR 材料の選択がデバイス特性を大きく左右することがこのことからわかる。

### 4.6.3 共振波長制御

次に VCSEL の共振器波長制御について述べる。図 4.13 に Lc の膜厚を一定にした場合のミラー膜厚に対する共振器波長の変動を示す。(a) は InGaAsP/InP DBR が上下になく、高反射率ミラーとして両側とも GaAs/AlAs DBR を用いた場合である。Both sides は DBR の膜厚が両方とも同じ方向に、同じだけ変動した場合で、One side は片側の GaAs/AlAs DBR だけ変動した場合の共振器波長である。(b) は下側の InGaAsP/InP DBR が 10 ペア、GaAs/AlAs DBR の中心波長を 1.55  $\mu\text{m}$  として膜厚変動がない場合、上面の InGaAsP/InP DBR のペア数と誘電体ミラーの膜厚変動による共振器波長の変化である。図 4.13 (a) により共振器波長の変動を 1 nm 以下に抑えるためには、片側が完全に 1.55  $\mu\text{m}$  に一致した場合でも、もう一方の GaAs/AlAs ミラーの変動を 0.2 % 以内にしなければならないことがわかる。一方 InGaAsP/InP DBR を採用した場合は、誘電体ミラーの膜厚変動が  $\pm 3\%$  生じた場合でも上部のミラーのペア数が 7 ペア程度あれば、共振器波長を 1 nm 程度の変動で抑えることが可能なことがわかる。

こういった波長制御が可能となるのは、今日の成膜技術において半導体エピタキシャル成長法が他の蒸着などの成膜技術に比べて屈折率制御、膜厚制御の再現性の点で



(a) 両側 GaAs/AlAs DBR 構造の場合 (b) InGaAsP/InP DBR を用いた場合

図 4.13 共振器波長のミラー膜厚の変動依存性

数段秀でていることによる。また本構造が InP 系の成長層だけでエタロンが形成されるため、共振器波長（ひいては発振波長）が InP 系の成長後、接着前にほぼ確定できることが、図 4.13 の結果からわかる。

#### 4.6.4 InGaAsP/InP DBR の電気抵抗と電流の均一注入

次に、InGaAsP/InP DBR の電気的特性について述べる。2.3.2 項で述べたように p 型 GaAs/AlAs DBR の高抵抗性は良く知られているが、InGaAsP/InP DBR の抵抗については報告例が少ない<sup>26)</sup>。そこで InGaAsP ( $l_g=1.4\ \mu\text{m}$ :膜厚 113 nm) / InP (膜厚 122 nm) の DBR の抵抗について調べることにした。図 4.14 に InGaAsP/InP DBR 9.5 ペアの電流密度  $2\ \text{kA}/\text{cm}^2$  における電流 - 電圧特性の微分抵抗を測定した結果を示す。測定サンプルの n 型 DBR、p 型 DBR は、全ての層に様に  $1 \times 10^{18}\ \text{cm}^{-3}$  の不純物ドーピングがなされている。各々の抵抗値は、n 型で  $2.31 \times 10^{-6}\ \text{cm}^2/\text{pair}$ 、p 型で  $4.26 \times 10^{-5}\ \text{cm}^2/\text{pair}$  となり n 型 DBR に比べ p 型 DBR の抵抗が 1 桁以上高いことがわかった。これは GaAs/AlAs 系 DBR ミラーと同様、価電子帯のバンド不連続に起因していると考えられる。抵抗を下げるためには p 型 DBR のキャリア濃度を高くすれば良く、図 4.14 に様に  $p=3 \times 10^{18}\ \text{cm}^{-3}$  ドーピングした結果も示す。抵抗値は  $1.98 \times 10^{-5}\ \text{cm}^2/\text{pair}$  とキャリア濃度を増やすことにより、約半分近くになることがわかった。

しかしながら、これ以上の高キャリア濃度にするには、VCSEL において、光の内部ロス増加による外部微分量子効率の低下を招く恐れがある。抵抗を下げる方法として p 型 DBR のペア数を少なくすることが考えられるが、図 4.13 の波長制御性の観点から限度が生じる。また、ペア数を減少させて電極から活性層までの正孔の走行距離を短くすると、活性層に注入されるキャリアが不均一になり閾値電流の上昇が生じる恐れがある<sup>37)</sup>。そこで電流の注入状態について p 型 DBR のペア数とメサ径依存性について調べることにした。その結果を図 4.15 に示す。n 型 InP 基板上に MQW 活性層、p 型 InP スペース層、p 型 InGaAsP/InP DBR を成長した後、円形メサを InP 基板に達するまでエッチングして形成し、上面からの近視野像 (Near Field Pattern : NFP) による自然放出光強度分布を用いて電流の注入状態を観察した。図 4.15 にその結果を示す。p 型 DBR が 5 ペアの場合、 $25\ \mu\text{m}$ 、 $35\ \mu\text{m}$  径ともほぼ単峰性の光分布が観測され均一注入がなされている。一方、p 型 DBR のペア数が 3 ペアの場合、メサ径  $35\ \mu\text{m}$  以上では中心部分の光強度が減少し双峰性のパターンとなり不均一注入となっていると

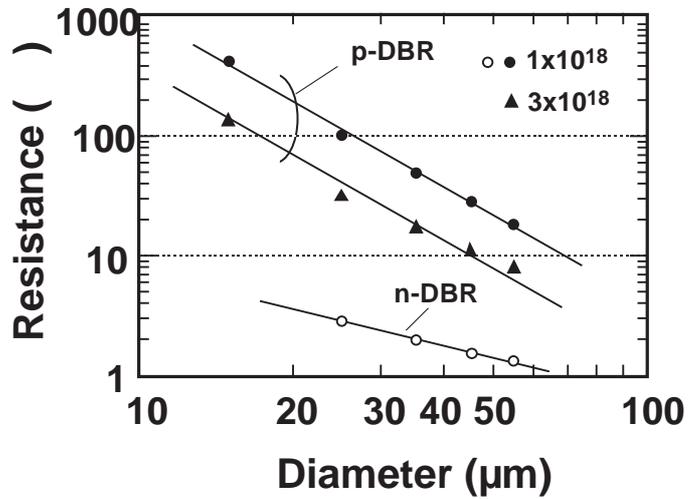


図 4.14 n、p 型 InGaAsP/InP DBR の微分抵抗

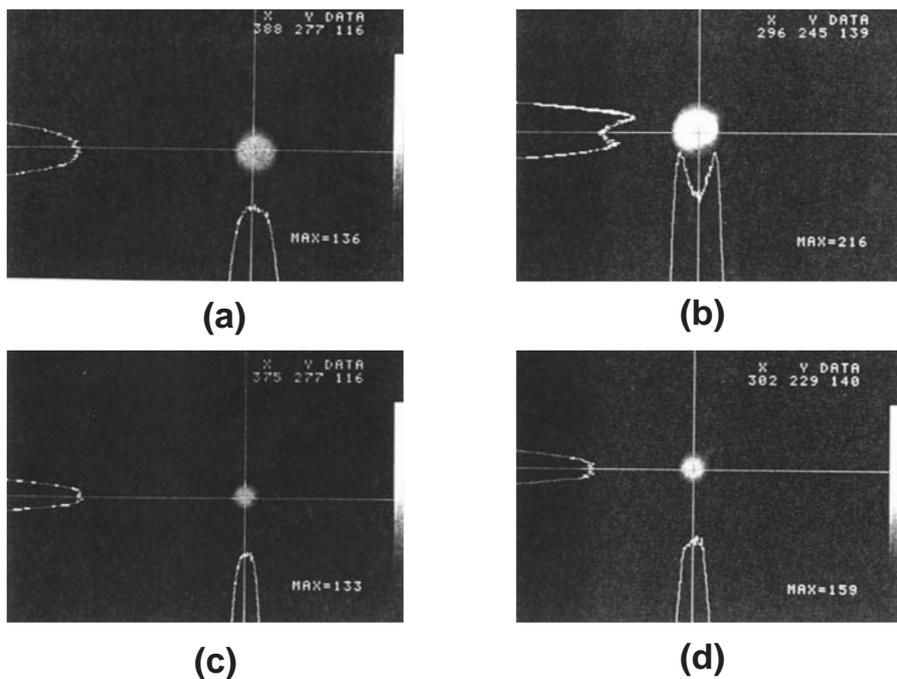


図 4.15 電流注入における発光パターン

- (a) メサ径 35  $\mu\text{m}$ 、p 型 DBR 5pair (b) メサ径 35  $\mu\text{m}$ 、p 型 DBR 3pair  
(c) メサ径 25  $\mu\text{m}$ 、p 型 DBR 5pair (d) メサ径 25  $\mu\text{m}$ 、p 型 DBR 3pair

考えられる。30  $\mu\text{m}$  以下のメサ径では、ほぼ単峰性となり電流が均一に注入していることが確認された。DBR 層を単層と考え電流広がりを算出すると、3 ペア 30  $\mu\text{m}$  程度では不均一注入になることが予想される。しかしながら、単層の場合と異なり p

型 DBR の抵抗成分がほとんど界面抵抗であるため、正孔の電流広がりが大きくなり  $30\ \mu\text{m}$  においても均一注入になったと考えられる。

以上の検討より、本章では一様に  $3 \times 10^{18}\ \text{cm}^{-3}$  ドーピングした p 型 InGaAsP/InP DBR 7 ペア、 $1 \times 10^{18}\ \text{cm}^{-3}$  ドーピングした n 型 InGaAsP/InP DBR 10.5 ペア（接着界面からの厚さは約  $2.5\ \mu\text{m}$ ）を有する図 4.12 に示した VCSEL 構造の作製を試みることにした。

#### 4.6.5 利得係数

長波長帯 VCSEL の閾値電流密度の求め方は、2.2.1 項で述べた短波長帯と本質的には変わらない。ただし、InP 系で構成される  $1.55\ \mu\text{m}$  帯材料の光学利得は  $0.85\ \mu\text{m}$  帯とは物性定数が異なるため定量的に議論する必要がある。さて、 $1.55\ \mu\text{m}$  帯の量子井戸構造の光学利得を見積もった報告例は多数あり<sup>38,39)</sup>、また既にこれを VCSEL に適用した報告もなされている<sup>40)</sup>。しかしながら、InP 系活性層は伝導帯のバンドオフセット

$E_c$  が大きく取れないため、高注入時にはキャリアのオーバーフローが顕著になり、価電子帯間吸収、オージェ再結合などの非発光過程により複雑な振る舞いをし、結果的に理論で求めた利得係数から異なることがある。また、価電子帯のバンドオフセット  $E_v$  が大きくなるため、量子井戸の総数を増やすと注入された正孔が井戸層間で不均一になり単純に井戸層数を多くしても光学利得が井戸層数倍とならないといった問題がある<sup>41)</sup>。また光学利得を高めるために歪み量子井戸を用いることが端面発光型レーザでは一般的であるが、歪み量により臨界膜厚が決定されるため、これも井戸層数に上限を与える一因となる。

そこで VCSEL を作製する前に、実験的に活性層の光学利得を見積もることにし、図 4.16 に示すような端面発光型レーザ構造を MOCVD 法で作製した。活性層は 1% 圧縮歪みを有した InGaAP の MQW 層で、井戸数は 7 層である。端面発光型レーザの場合、光学利得を高めるには圧縮歪みと引張り歪みの両方が検討されているが<sup>38,39)</sup>、VCSEL の場合は圧縮歪みのみが光学利得を高める。何故なら、引張り歪みは基板面に対して垂直な電界成分を増強し、圧縮歪みは基板面に平行な電界成分を増強するため、VCSEL の場合の光の伝搬方向を考えると、レーザモードに寄与する光学利得は基板面に平行な成分であるからである。図 4.17 に実験により求めた共振器長と外部微分量子効率との関係を示す。この結果と式 (2.6) を用いて、導波路損失は  $\alpha_i$  は  $31.3\ \text{cm}^{-1}$ 、内部量子効率は 87.4 % という結果が得られた。次に導波路の閉じ込め係数は、計算により 0.0727 と求まり、これを式 (2.1) に代入し注入電流密度と利得係数をプロットす

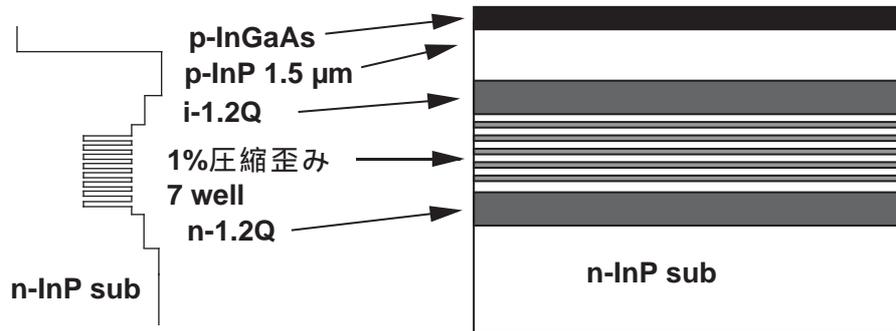


図 4.16 レーザ構造

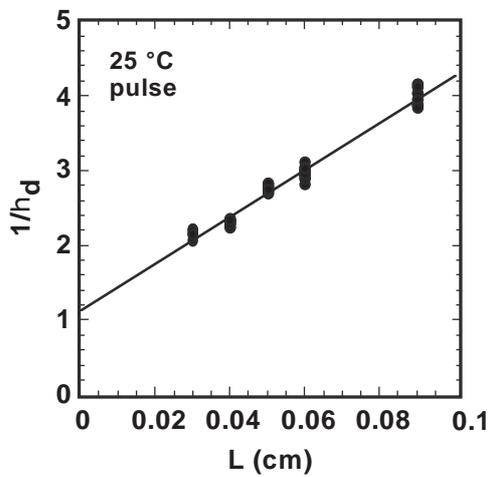


図 4.17 外部微分量子効率と共振器長の関係

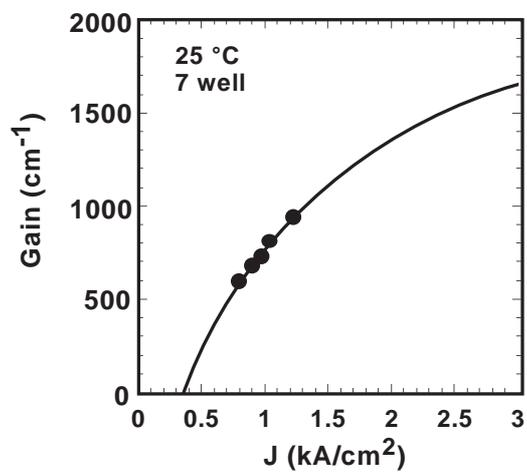


図 4.18 注入電流密度と利得計数の関係

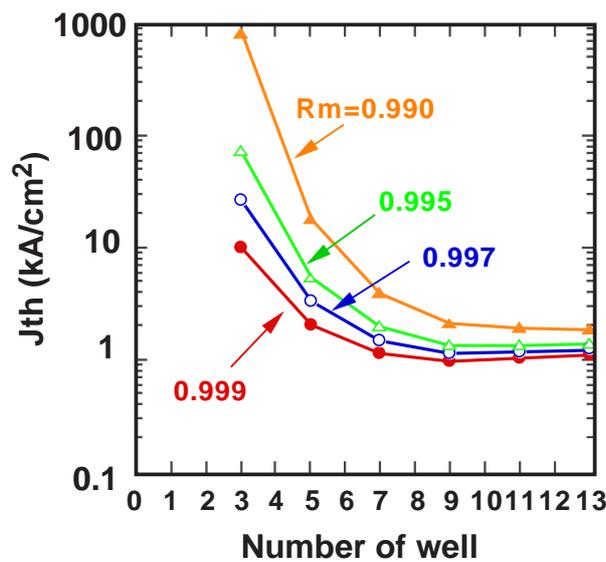


図 4.19 閾値電流密度の量子井戸数依存性

ると図 4.18 のようになる。この図 4.18 の結果と式 (2.1) を用いて長波長帯 VCSEL の閾値電流密度の量子井戸数依存性を見積もると、図 4.19 のように反射率をパラメータとしてその関係が求まる。尚、ここでは VCSEL の実効キャビティ内の吸収係数を  $40 \text{ cm}^{-1}$  と仮定している。この図から閾値電流密度を  $1 \sim 2 \text{ kA/cm}^2$  程度にするためには、平均反射率で 99.7 %、量子井戸数は 7 ~ 13 層が必要であることがわかる。この井戸層数は正孔の不均一注入を防ぐ層数に比べて若干多い数となっており、井戸数の選定には注意する必要があることがわかった。

#### 4.7 1.55 $\mu\text{m}$ 帯 VCSEL の作製

次に VCSEL の作製工程について述べる。まず p 型 InP 基板上に p 型 InGaAsP ( $l_g = 1.4 \mu\text{m}$ ) / InP DBR ( $p = 1 \times 10^{18} \text{ cm}^{-3}$ ) を 10 ペア、p 型 InGaAsP ( $l_g = 1.2 \mu\text{m}$ ) スペース層、圧縮歪み 1% の 9 層の MQW 活性層、n 型 InGaAsP ( $l_g = 1.2 \mu\text{m}$ ) SCH (Separate Confinement Heterostructure) 層、n 型 InP/InGaAsP ( $l_g = 1.4 \mu\text{m}$ ) DBR ( $n = 1 \times 10^{18} \text{ cm}^{-3}$ ) を 10.5 ペア、次に n 型 GaAs 基板上に n 型 GaAs/AlAs DBR を 25 ペア (最上部は  $3/4 l$  厚) を、それぞれ MOCVD 法により成長した。尚、歪み量子井戸活性層の PL ピーク波長は  $1.53 \mu\text{m}$  とした。

結晶成長後の GaAs 基板と InP 基板の成長膜の両表面に前処理を施し、600 Pa で 3000 Pa の荷重で wafer fusion を行った。その後、InP 基板を塩酸系エッチャントで p 型 DBR 層の InGaAsP 表面が表れるまで完全に取り除いた。図 4.20 にその断面 SEM 像を示す。

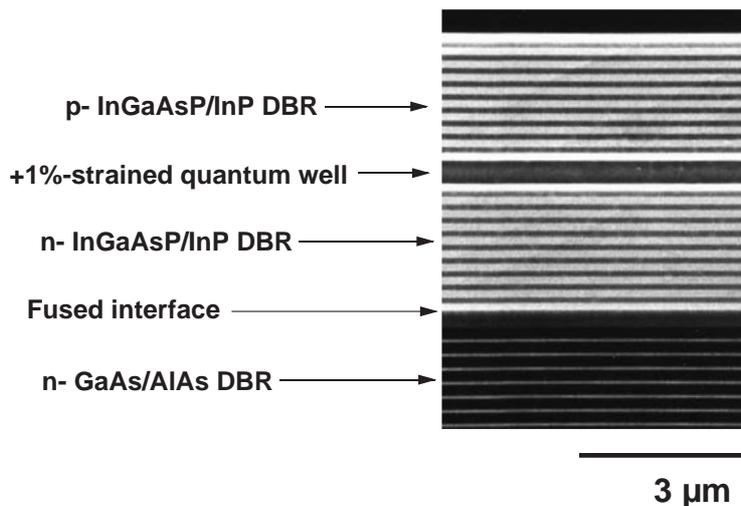


図 4.20 wafer fusion 後の断面 SEM 像

SEM 像から良好な接着界面が形成されていることがわかる。また TEM 観察からは貫通転位が生じていないことも確認された。wafer fusion用のサンプルサイズは約  $1 \times 1 \text{ cm}^2$  の大きさで行い、InP 基板を取り除いた後の InGaAsP の表面にはほとんどボイドの発生は見受けられなかった。また活性層の結晶品質を評価するため、上記のウェハを用いて、幅  $50 \mu\text{m}$  の Broad contact 端面発光型レーザを作製し評価したところ、共振器長  $300 \mu\text{m}$  で wafer fusion を行っていない InP 基板から作製したレーザ特性とほぼ同じ閾値電流密度  $3 \text{ kA/cm}^2$  を得た。このことから、wafer fusion による光学利得への影響がないことが確認された。閾値電流密度が一般の端面発光型レーザに比べ大きいのは、これは VCSEL 用に設計したサンプルであるため、導波路方向の光の閉じ込め係数が小さくなっているからである。

図 4.21 (a) に wafer fusion する前の GaAs/AlAs DBR と活性層を InP/InGaAsP DBR で挟んだ構造を成長した InP 基板、及び wafer fusion 後に InP 基板を取り除いた構造の 3 種類の反射率特性を示す。1.55  $\mu\text{m}$  付近に見られる窪みが共振器波長に対応し、共振器波長が wafer fusion の前後でほとんど変化していないことがわかる。これにより、wafer

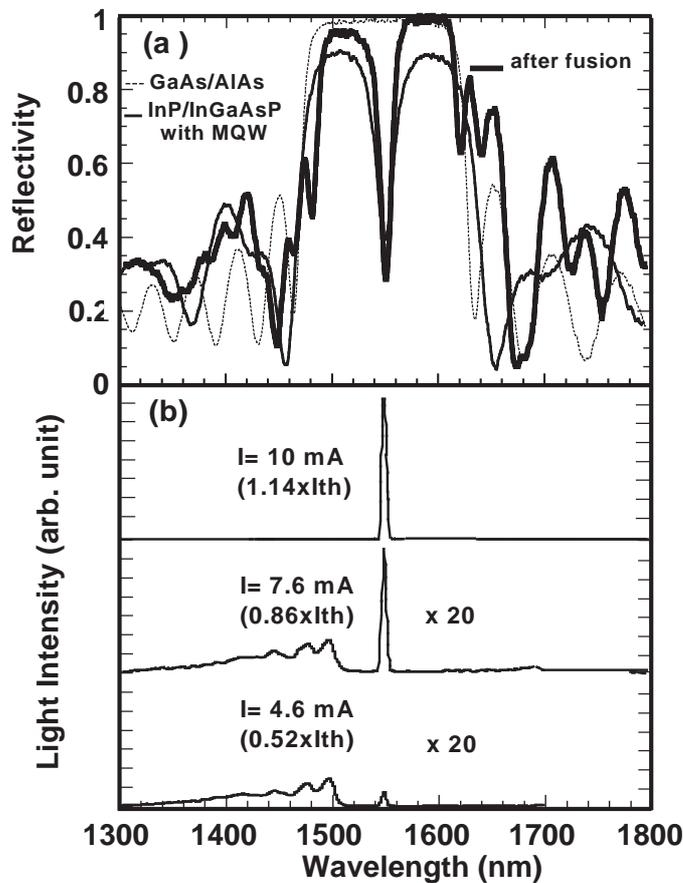


図 4.21 反射率特性とスペクトル

fusion 前に表面処理したエッチングによる膜厚変化の影響をほとんど受けていないことが確認された。wafer fusion 後に共振器波長の短波側の反射率が減少しているが、これは活性層の吸収であると考えられる。またレーザ特性の詳細は後述するが、(b)に VCSEL を作製した後の電流注入による発振波長を示す。発振スペクトルは 1551 nm となり、作製工程前に測定した共振器波長 1550 nm とほぼ一致している。このことは、接着前でも DBR 層を有する InP 系ウェハの共振器波長により、レーザ発振波長がほぼ予想できることを示すものである。

次に図 4.12 に示した VCSEL を作製するための wafer fusion 後のプロセス工程について述べる。まず上部 p 型 DBR を 3 ペア硫酸系と塩酸系で選択エッチングして、p 型 DBR 層を 7 ペアとした。その後、上下に AuZnNi、AuGeNi 電極をそれぞれ蒸着し、直径 25  $\mu\text{m}$  の円形メサをウエットエッチングにより形成した。SiO<sub>2</sub> で絶縁層を形成した後、Au の電極パッドを蒸着した。最後に 15 ペアの SiO<sub>2</sub>/TiO<sub>2</sub> の誘電体ミラーを電子ビーム蒸着し、電極の上部を CF<sub>4</sub> と H<sub>2</sub> の混合ガスを用いた RIE により取り除いた。尚、光出力の測定には GaAs 基板側の下面からの出射光を検出しているが、基板側の AR コーティングは省略した。

#### 4.8 1.55 $\mu\text{m}$ 帯 VCSEL の特性

図 4.22 に CW 動作における電流 - 光出力特性の温度依存性を示す。閾値電流は 23 で 8.8 mA であった。これは閾値電流密度 1.8 kA/cm<sup>2</sup> に相当し、図 4.19 で示した計算結果と比較して上下とも高反射ミラーが形成されていることがわかり、その自乗平均の反射率は 0.995 以上であることが推測される。またこのときの閾値電圧は 2.1 V であり、長波長帯 VCSEL で報告されている値では比較的低い値となった。接着界面と pn 接合の電圧降下の合計が約 0.9 V のため、1.2 V 程度の閾値電圧の上昇があることがわかる。閾値電流時における微分抵抗は 93  $\Omega$  であり、主な抵抗成分は前述したように p 型 InGaAsP/InP DBR によるものと考えられる。また、図 4.21 (b)に示したように、発振スペクトルは注入電流 10 mA で 1.551  $\mu\text{m}$  であり、wafer fusion 前後での共振器波長の変化が少ないことがわかる。この結果により、本構造において良好な発振波長制御が達成されていることが示された。23  $^{\circ}\text{C}$  における外部微分量子効率 は 0.36 % で最大出力は 7  $\mu\text{W}$ 、この素子における最大 CW 動作温度は 27  $^{\circ}\text{C}$  であった。この閾値電流密度と光出力の温度依存性をまとめたのを図 4.23 に示す。温度の上昇とともに閾値電流

が増加し、GaAs 系 VCSEL で見られる Gain-offset 効果による閾値電流の減少は見られなかった。また光出力も温度上昇とともに急激に減少している。これは素子の温度上昇が CW 時に大きいと推測される。尚、この  $25\ \mu\text{m}$  より小さいメササイズの VCSEL は室温連続動作に至らなかった。これは図 4.12 で示したように共振器内に p 型電極があり (p 型 InGaAsP/InP DBR 上部)、これにより上部の実効的な反射率が低下したためと考えられる。

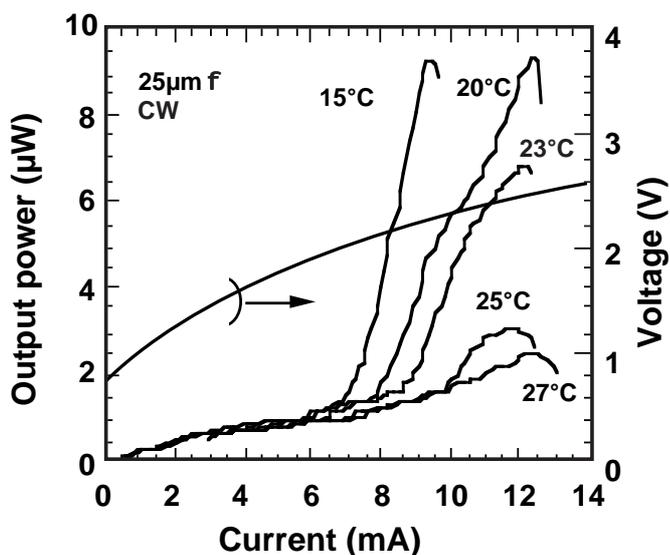


図 4.22 電流 - 電圧、及び電流 - 光出力特性の温度依存性

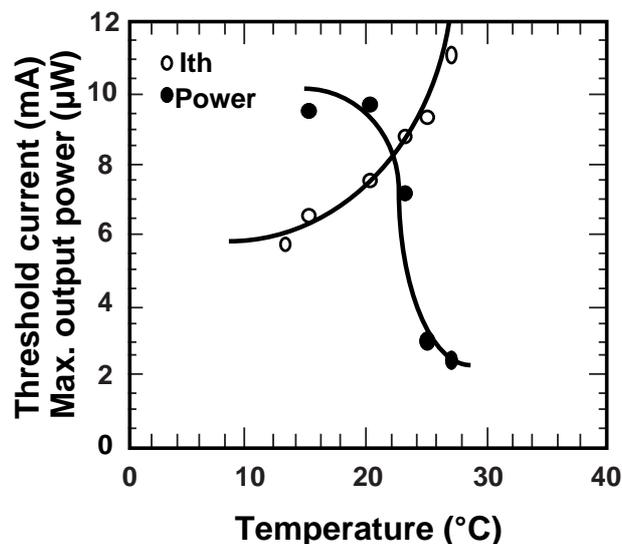


図 4.23 閾値電流と最大光出力

#### 4.9 高出力化の検討

前節の結果は、光出力、温度特性の両方の点で実用化の領域に達しているとはいえない。そこで本節ではさらなる特性改善を行うため、得られた結果から本構造での主なパラメータについて考えてみる。第 2 章のレーザ発振条件である式 (2.1) は長波長帯においても当てはまるため、この式を用いて縦方向の閉じ込め係数  $G_V$  を求めてみる。閉じ込め係数を求めるには 2.2.6 項で論じたように電界分布を求める必要がある。図 4.24 は本構造における電界分布を計算した結果である。横軸は DBR 1 ペアの値で規格化してある。屈折率差が大きい誘電体 DBR で電界の減衰が急激であることがわかり、本計算の妥当性が伺える。実効キャビティ長  $L_{\text{eff}}$  は式 (2.24) より  $2.20\ \mu\text{m}$  と求めら

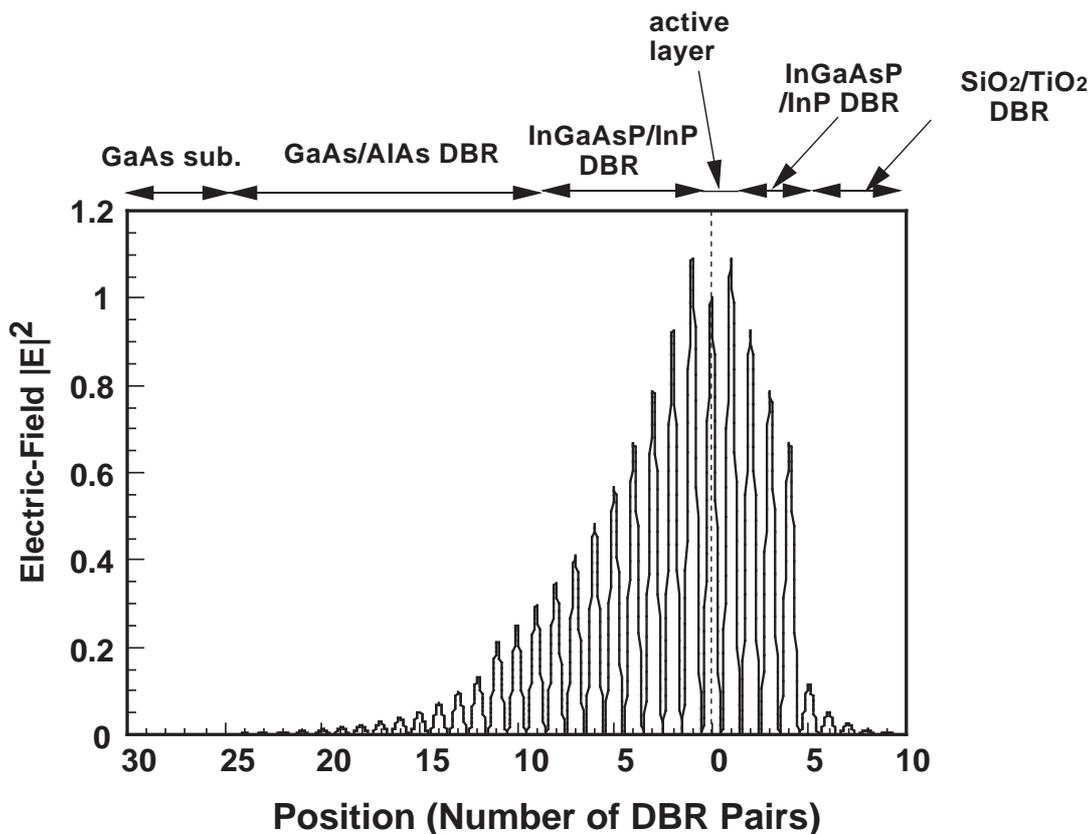


図 4.24 本 VCSEL 構造内の電界分布 (計算)

れた。この実効キャビティ内の電界分布の総和と活性層部分の占める割合から、 $G_V$  は 0.0485 と求まる。そこで式 (2.6) と (2.7) から本構造における内部損失  $a_i$  を求めてみる。内部量子効率 は作製した端面発光型レーザでの実験値である 72 % を用いた。また、本構造の VCSEL の実験値から上面からの光出力と下面からの光出力の比が得られ、これは下部反射率  $R_b$  と上部反射率  $R_t$  の比を表しているため、 $R_b : R_t = 1 : 7.1$  (下面からの出射光は、端面反射率 0.32 を用いて補正した。) となる。この比の値と閾値電流密度から算出される  $R_b$  と  $R_t$  の相乗平均により  $R_b$ 、 $R_t$ 、 $a_i$  が求まり、結局、下面反射率  $R_b = 0.9986$ 、上面反射率  $R_t = 0.9998$  となり、実効キャビティ長内の平均内部損失  $a_i = 68.6 \text{ cm}^{-1}$  となった。

次に、デバイスの実用領域である光出力 1 mW を得るための設計の指針について考えてみる。上部反射率  $R_t$  を 0.9998 とし、下部反射率  $R_b$  を変化させた場合、1 mW の出力を得るために必要となる注入電流の関係を式 (2.7) から求めたのが図 4.25 である。ここでは、デバイスサイズとして  $10 \times 10 \text{ } \mu\text{m}^2$  を想定し、内部損失  $a_i$  をパラメータと

し、注入電流による発熱の影響は無視した。内部損失 $a_i$ が小さくなると、光出力 1 mW を得るのに必要な注入電流量は小さくなり、また下部反射率  $R_b$  に注入電流量を最小にする最適値があることがわかる。そこで実際の飽和利得を考慮して注入電流密度の上限を 10 kA/cm<sup>2</sup> と想定すると、内部損失 $a_i$ は 30 cm<sup>-1</sup> 以下でなければ光出力 1 mW は達成されないことがわかる。よって高温特性、高出力特性を得るためには低抵抗で、かつ吸収の少ない p 型 DBR を作製することが必須であり、また注入電流による出力飽和を考慮して、出射側の反射率を最適にすることが重要であることがわかった。

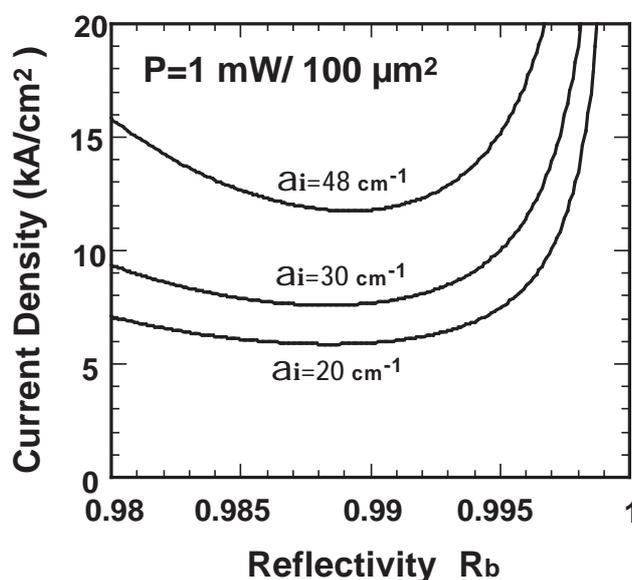


図 4.25 光出力 1 mW を得るための注入電流密度と反射率の関係

#### 4.10 まとめ

本章では、InP/GaAs の wafer fusion 法について検討し、この手法を用いて 1.55  $\mu$ m 帯 VCSEL の室温連続動作を達成したことを述べた。以下、本章で得られた結果をまとめる。

- ( 1 ) wafer fusion 法において、InP/GaAs の接着界面の電気的抵抗と InP 側結晶の光学的特性にはアニール時の荷重依存性があることわかり、電気特性と光学的特性にはトレードオフの関係があることを明らかにした。
- ( 2 ) wafer fusion 法による GaAs 基板上の 1.3  $\mu$ m 帯端面発光型半導体レーザを作製

し、InP/GaAs の界面に良好な導電性を有した状態で、閾値電流密度が接着前と比べて、ほとんど変化がないことを確認した。

- ( 3 ) 活性層の上下に InGaAsP/InP DBR 層を設ける 1.55  $\mu\text{m}$  帯 VCSEL 構造を提案した。これにより I キャビティを維持したまま、接着界面と活性層を離すことが可能となり、更に波長制御性に優れ、キャリアの不均一を抑制することが可能であることを示した。
- ( 4 ) 提案した VCSEL 構造を wafer fusion 法によって作製し、活性層の光学利得の維持、共振器波長の優れた制御性を実証し、1.55  $\mu\text{m}$  帯 VCSEL の室温連続発振動作を確認した。23 において閾値電流 8.8 mA であり、最大連続発振温度 27 、最大光出力 7  $\mu\text{W}$  であった。最後に高出力化の一考察として、作製した VCSEL の内部損失を見積もり、1 mW の出力を得るための指針について言及した。

#### 【第4章 参考文献】

- 1) K. H. Haln, Proc. 45th ECTC(Electronic Components & Technology Conference), 368 (1995)
- 2) A. Karim, J. Piprek, P.Abraham, D. Lofgreen, Y. J. Chiu, and J. E. Bowers, IEEE J. Select. Topics Quantum Electron., 7, 178 (2001)
- 3) C. J. Hasnain, Proc. 13th Int. IPRM(Indium Phosphide and Related Materials), TuA1-2 17 (2001)
- 4) A. R. Adams, Electron. Lett., 35, 811 (1986)
- 5) C. Kazmierski, J. P. Debray, R. Madani, I. Sagnes, A. Ougazzaden, N. Bouadma, J. Etrillard, F. Alexande, and M. Quillec, Electron. Lett., 22, 249 (1999)
- 6) M. Jaonen, J. Kongas, M. Toivonen, P. Asvolainen, S. Orsila, A. Salokatve, and M. Pessa, Electron. Lett., 34, 1519 (1998)
- 7) C. Kazmierski, J. P. Debray, R. Madani, N. Bouadma, J. Etrillard, I. Sagnes, F. Alexande, and M. Quillec, Proc. 16th IEEE Int. Semiconductor Conf., PD-3, 5 (1998)
- 8) S. Rapp, J. Piprek, K. Streubel, J. Andre, E. R. Messmer, and J. Wallin, Proc. 9th Int. IPRM(Indium Phosphide and Related Materials), MB2, 36 (1997)
- 9) R. L. Naone, A. W. Jackson, S. A. Feld, D. Galt, K. J. Malone, and J. J. Hindi, CLEO, CPD-13-1, Baltimore May, (2001)
- 10) M. Yamada, T. Anan, K. Kurohara, K. Nishi, K. Tokutome, and A. Kamei, Electron. Lett., 36, 637 (2000)
- 11) D. L. Huffaker, H. Deng, and D. G. Deppe, IEEE Photon. Technol. Lett., 10, 185 (1998)
- 12) M. Fisher, M. Reinhard, and A. Forchel, Electron. Lett., 36, 1208 (2000)
- 13) T. Baba, Y. Yogo, K. Suzuki, F. Koyama, and K. Iga, Electron. Lett., 29, 913 (1993)
- 14) S. Uchiyama, N. Yokouchi, and T. Ninomiya, IEEE Photon. Technol. Lett., 9, 141 (1997)
- 15) J. Boucart, C. Starck, F. Gaborit, A. Plais, N. Bouche, E. Derouin, L. Goldstein, C. Fortin, D. Carpentier, P. Salet, F. Brillouet, and J. Jacquet, IEEE Photon. Technol. Lett., 11, 629 (1999)

- 16) W. Yuen, G. S. Li, R. F. Nabiev, J. Boucart, P. Kner, R. J. Stone, D. Zhang, M. Beaudoin, T. Zheng, C. He, and C. J. C. Hasnain, *Electron. Lett.*, 36, 1121 (2000)
- 17) D. I. Babic, K. Streubel, R. P. Mirin, N. M. Margalit, J. E. Bowers, E. L. Hu, D. E. Mars, L. Yang, and K. Carey, *IEEE Photon. Technol. Lett.*, 7, 1225 (1995)
- 18) N. M. Margalit, D. I. Babic, K. Streubel, R. P. Mirin, R. L. Naone, J. E. Bowers, and E. L. Hu, *Electron. Lett.*, 32, 1675 (1996)
- 19) 古川静二郎編著、SOI 構造形成技術、産業図書 (1987)
- 20) R. P. Vanfleet, M. Sherdin, J. Silcox, Z. H. Zhu, and Y. H. Lo, *Appl. Phys. Lett.*, 76, 2674 (2000)
- 21) A. R. Hawkins, T. E. Reynolds, D. R. England, D. I. Babic, M. J. Mondry, K. Sterubel, and J. E. Bowers, *Appl. Phys. Lett.*, 68, 3692 (1996)
- 22) 新保 優、古川和由、丹沢勝二郎、福田 潔、昭和 61 年春季応用物理学会、525 (1986)
- 23) G. Patriarche, F. Jeannes, J. -L. Oudar, and F. Glas, *J. Appl. Phys.*, 68 4892 (1997)
- 24) Y. H. Lo, R. Bhat, D. M. Hwang, M. A. Koza, and T. P. Lee, *J. Appl. Phys.*, 58, 1961 (1991)
- 25) H. Wada, and T. Kamijoh, *Jpn. J. Appl. Phys.*, 33 Pt. 1, 4878 (1994)
- 26) Y. H. Lo, R. Bhat and D. M. Hwang, C. Chua, and C. -L. Lin, *Appl. Phys. Lett.*, 62, 1038 (1993)
- 27) Y. C. Zhou, Z. H. Zhu, D. Crouse, and Y. H. Lo, *Appl. Phys. Lett.*, 73, 2337 (1998)
- 28) R. J. Ram, L. Yang, K. Nauka, Y. M. Houg, M. Ludowise, D. E. mars, J. J. Dudley, and S. Y. Wang, *Appl. Phys. Lett.*, 62, 2474 (1993)
- 29) S. Rapp, J. Piprek, K. Streubel, J. Andre, E. R. Messmer, and J. Wallin, *Proc. 9th Int. IPRM(Indium Phosphide and Related Materials)*, MB2, 36 (1997)
- 30) J. Boucart, C. Starck, F. Gaborit, A. Plais, N. Bouche, E. Derouin, L. Goldstein, C. Fortin, D. Carpentier, P. Salet, F. Brillouet, and J. Jacqurt, *IEEE Photon. Technol. Lett.*, 11, 629 (1999)
- 31) H. Gebretsadik, P. K. Bhattaharya, K. K. Kamath, O. R. Qasaimeh, D. J. Klotzkin, C. Caneau, and R. Bhat, *Electron. Lett.*, 34, 1316 (1998)
- 32) E. Hall, S. Nakagawa, G. Almuneau, J. K. Kim, and L. A. Coldren, *Electron. Lett.*, 36, 1465 (2000)

- 33) O. -K. Kwon, B. -S. Yoo, J. -H. Shin, J. -H. Beak, and B. Lee, *IEEE Photon. Technol. Lett.*, 12, 1132 (2000)
- 34) Y. Imajo, A. Kasukawa, A. Kashiwa, and H. Okamoto, *Jpn. J. Appl. Phys.*, 29, L1330 (1990)
- 35) S. Uchiyama, N. Yokouchi, and T. Ninomiya, *IEEE Photon. Technol. Lett.*, 9, 141, (1997)
- 36) T. Miyamoto, K. Mori, H. Maezawa, Y. Inaba, F. Koyama, and K. Iga, *Jpn. J. Appl. Phys.*, 33, 4614 (1994)
- 37) H. Wada, D. I. Babic, M. Ishikawa, and J. E. Bowers, *Appl. Phys. Lett.*, 33, 2974, (1992)
- 38) S. Seki, T. Yamanaka, W. Lui, , Y. Yoshikuni, and K. Yokoyama, *IEEE J. Quantum Electron.*, 30, 500 (1994)
- 39) S. W. Corzine, and L. A. Coldren, *Appl. Phys. Lett.*, 29, 588, (1991)
- 40) K. Uomi, S. J. B. Yoo, A. Scherer, R. Bhat, N. C. Andreadakis, C. E. Zah, M. A. Koza, and T. P. Lee, *IEEE Photon. Technol. Lett.*, 6, 317, (1994)
- 41) N. Tessler, and G. Eisenstein, *Appl. Phys. Lett.*, 62, 10, (1993)

## 第 5 章 薄膜化 wafer fusion 法

### 5.1 緒言

第 4 章において  $1.55\ \mu\text{m}$  帯 VCSEL の室温連続発振について述べたが、光通信用光源として用いるためには、より一層の高温度動作、高出力特性が要求される。そして更に長波長帯 VCSEL の特性要求項目の中に新たに単一横モード性が付加される。

VCSEL では原理的に縦モードの単一性は確保されるが、横モードは単一であるとは限らない。横モードが多モードの場合、発振スペクトルには横モードの次数に応じて複数のスペクトルが観測される<sup>1)</sup>。 $0.85\ \mu\text{m}$  帯 VCSEL の場合は、マルチモードファイバを使用することを前提に短距離の光通信を想定して開発が行われたため、光源の横モードの単一性は要求されなかった。しかしながら長波長帯 VCSEL は高ビットレート、かつ長距離伝送用として単一モードファイバでの伝送が念頭におかれており、このため光源となる VCSEL には単一横モード性が必須となる。

しかしながら、 $0.85\ \mu\text{m}$  帯 VCSEL で一般的になっている選択酸化構造を用いて長波長 VCSEL の単一横モードを達成しようとした場合、様々な問題が生じる。選択酸化構造を作製するためには AIAs (AlGaAs) 層が必要であり、InP 活性層の上下<sup>2)</sup>、もしくは片側<sup>3)</sup>に GaAs/AIAs DBR 層で挟んだ構造が考えられる。しかし、キャビティを形成するためには DBR 層と活性層の間が  $0.85\ \mu\text{m}$  帯に比べて長くなり、 $0.2\sim 0.4\ \mu\text{m}$  の厚さが必要となる。このため注入された電子(あるいは正孔)が狭窄部分から活性層に達する間に電流広がりが生じ、発光効率の低下を招いて実際に発光に寄与するのは 50% 以下という計算結果も報告されている<sup>4)</sup>。また単一横モードを確保するために発光領域の直径(非酸化部分)を静特性でも  $5\sim 6\ \mu\text{m}$  と狭くし、動特性では更に小さくする必要があり、光出力の点で不利な構造となる。

電流狭窄方法は選択酸化法以外に図 5.1 で示すように、メサ形成、イオン注入、埋込み構造等といった方法が考えられるが、どれも一長一短がある。メサ形成は無効電流は小さいが、エッチングによる側壁の光散乱損失のため閾値電流の増大を招く<sup>5)</sup>。また高抵抗層である DBR 層をエッチングするため、素子の電気抵抗の上昇は避けられない。更に横方向の屈折率差が大きくなりすぎるため、単一横モードを達成するためにメササイズが  $1\sim 2\ \mu\text{m}$  程度と小さくする必要があり、高光出力を得るのは難しい。イオン注入法は光の散乱損失は少ないが、屈折率導波構造にならないため横モードが

不安定となる<sup>6,7)</sup>。またイオン注入する元素の種類によっては、通電動作中に注入されたイオンが動き出し、レーザ特性の経時変化が問題となる<sup>8)</sup>。一方、従来から端面発光型レーザで実績のある埋込み構造は、無効電流も小さく、横モード安定性は屈折率導波構造のため上記の中で一番優れている。実際に InP 基板上にモノリシックに DBR 層と活性層を成長し埋込み構造を作製した報告例があるが<sup>9)</sup>、DBR の熱抵抗が高いため室温連続動作が達成されていない。

以上より、埋込み構造と熱抵抗の良い GaAs/AlAs DBR の組み合わせが最適と考えられるが、これまで埋込み構造と直接接着を同時に満足する手法が無かった。そこで本章では、GaAs/AlAs DBR 上に埋込み層を有する InP 系活性層を作製することを目的として、それを作製する手法である薄膜化 wafer fusion 法について検討する。

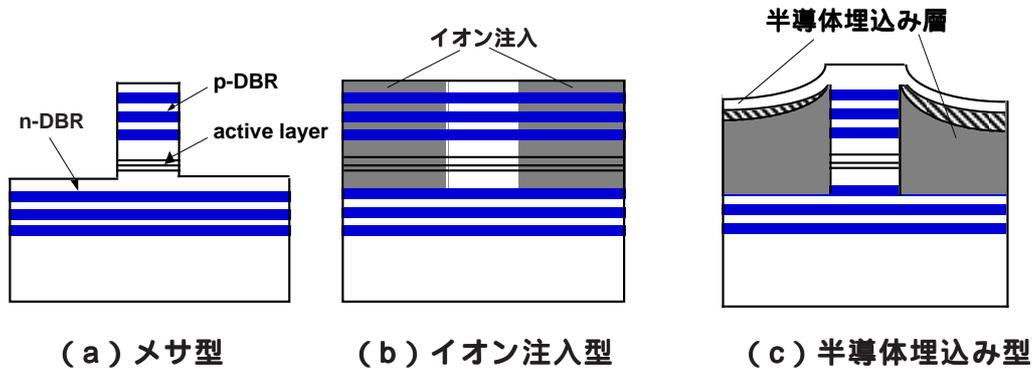


図 5.1 横方向の電流及び光閉じ込めの形態

## 5.2 薄膜化 wafer fusion 法

異種基板の接着の方法は、第 4 章で述べた基板表面どうしを接着させる方法と、片方の基板を完全に取り除き、接着させたい膜だけを残し、基板に接していた面を別の基板に接着させるという、いわゆるエキタピシャルリフトオフ法 (ELO 法) とに 2 分される<sup>10)</sup>。どちらの方法も接着界面はかなりの精度の平坦性が要求される。例えば、貼り合わせ前にウェハに電気回路や導波路などを作製することが必要な場合は、必然的に ELO 法で接着を行うことが必須となる<sup>11,12)</sup>。

さて、第 4 章の図 4.1 の VCSEL 構造に横モード制御のための埋込み構造を導入しようとする場合、2 つの方法が考えられる。まず最初に考えられるのは、GaAs 系ミラーと InP 系活性層を wafer fusion した後にメサを形成し、埋込み構造を作製する方法である。これは GaAs/AlAs DBR 上に InP 系活性層を積層するまでは第 4 章で示したように

作製可能である。しかしながら、次の埋込み層の成長時において図 4.4 の結果から InP/GaAs の接着界面の電気特性が温度に対して依存性を持っており、埋込み層の再成長温度が一般にこの温度範囲よりも高いため、界面の電気特性や活性層の光学特性に影響を与える可能性がある。そこで次に考えられる手法として、先に活性層を有する InP 系のウェハに埋込み層を形成し、その後 GaAs 系ミラーに接着させるという方法である。この場合、温度履歴の観点からは問題がないが、埋込み層の成長後の表面は数百の凹凸が生じているため埋込み層の表面と GaAs 系ミラーとの接着は困難となる。そこで温度履歴と接着界面の平坦性の両方の問題を解決するために、薄膜化 wafer fusion 法という手法について検討することにした。これは、先に活性層を有する InP 系の結晶のウェハに埋込み層を形成し、その後 InP 基板側を取り除き平坦な面を露出させ、その面と GaAs DBR の表面を直接接着するというものである。接着直前に InP 系の結晶膜が成長膜のみの数  $\mu\text{m}$  になるため ELO 法の一つと考えられるが、界面に導電性があること、リフトオフの方式を取らない点が ELO 法とは異なる。

現在までに、ELO 法を用いた異種基板の貼り合わせについて様々な報告がなされているが<sup>11-15)</sup>、異なる半導体どうしの直接接着において、界面に導電性を有しながら、結晶の光学特性にまで言及した報告例はない。そこで本章では薄膜化 wafer fusion 法の VCSEL への適用の可否について検討する。

### 5.3 薄膜化 wafer fusion 法のプロセス検討

AlGaAs/GaAs 系における ELO 法と呼ばれるプロセスは、応用例として Si 基板上の CMOS 回路と GaAs の光検出器との集積化等が行われている<sup>12)</sup>。この ELO 法は GaAs と AlGaAs の化学的なエッチング速度の違いを利用したもので、エピタキシャル層/AlGaAs/GaAs 基板の構造を作成し、表面をワックスでカバーした上で、HF で AlGaAs 層のみを横方向からエッチングして取り除く。そしてエピタキシャル層を完全に基板と分離させた後、ポスト (Si 等) 基板に貼り合わせるという手法を採っている<sup>11)</sup>。接着する基板や、接着界面は様々で、ポスト基板に直接接着するもの<sup>15,16)</sup>、ポリイミドや<sup>17)</sup>、金属<sup>11)</sup>を間に媒介したもの等がある。本論文では VCSEL をターゲットにしているため、界面は導電性を有し光の損失がないことが要求されるため直接接着が望まれる。また、この手法を InP 系に適用するためにはエッチャントを HF から別の溶液に変える必要がある。なぜなら InP や InGaAsP は HF に不溶だからである。また ELO

法の場合、ポスト基板に接着するときはワックスだけで数  $\mu\text{m}$  の厚さのエピタキシャル層を保持するため、ハンドリングが難しいという問題点もある。

そこで、こういった問題を解決するために、最初にエピタキシャル層を Si 支持基板にワックスで仮止めし、InP 基板を完全に取り除いた後、GaAs 基板に重ね合わせ、その後 Si 支持基板を取り除くという手法を検討した。この手法の有効性を実証するために行った工程を図 5.2 に示す。用いた InP 系結晶は InGaAsP と InP からなる DBR 層で、InP (厚さ 112nm) / InGaAsP (厚さ 122nm) 10 ペアを MOCVD 法により作製した。成長したウェハは、まず 300  $\mu\text{m}$  以下の厚さに基板側を研磨し、サンプル表面を破片が着かないようにレジストで保護してから  $1 \times 1 \text{ cm}^2$  強の大きさに劈開した。サンプルをアセトンで洗浄した後、 $\text{O}_2$  アッシングを 1 時間以上行った。その後表面の InP 層を HCl 系エッチャントで取り除きシプレー製 SAL101 現像液に 30 秒つけ表面を疎水性にした後、80  $^\circ\text{C}$  のホットプレート上でワックスを塗布した。Si 基板はレジストでカバーして  $2 \times 2 \text{ cm}^2$  の大きさに切断し、レジストをアセトンと  $\text{O}_2$  アッシングで完全に除去した後、BHF で 5 分間表面をエッチングしワックスを塗布した (図 5.2 (a))。

さて、ここでワックスの選定基準について述べておく。上記のプロセスにおいて、ワックスに要求される性質として、酸・アルカリ、アセトンに不溶で、かつワックスを除去するために室温でソルファイン系に可溶であることが必要になる。酸耐性は InP 基板を剥離する際に HCl を用いるためであり、アルカリ耐性は表面を親水性にする際に現像液を使用するためである。またアセトンに不溶な理由は基板のエッジをエッチングする際、成長層の保護にレジストを使用するためエッチング処理後にレジスト剥離のためにアセトンを用いるからである。室温でソルファイン系に可溶な理由は室温で接着後、昇温する前に支持基板である Si 基板とウェハを剥離するためである。ワックスの種類はアピエゾングリース、アルコールワックス、エレクトロンワックス、スカイワックス (日化精工製) を試したが、上記の条件を満足したのはスカイワックスのみであった。

さて、スカイワックスを塗布後、ワックスの中から気泡を出すために 90  $^\circ\text{C}$  の恒温槽の中で 5 時間放置後、InP 基板と Si 基板の面を重ね合わせ、温度 130  $^\circ\text{C}$  のホットプレート上で上面から荷重が均一に成るように大気圧の掛けた。その後、ホットプレートからサンプルを取り上げ、放置して温度を室温まで戻し (図 5.2 (b))、 $\text{HCl}:\text{H}_3\text{PO}_4$  (3:1) エッチング液で InP 基板を完全に取り去った (c)。次に、表面を  $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}$  (3:1:1) エッチング液で第一層目の InGaAsP 層を取り去り、BHF 内で 5 分間サンプルを浸し、

InP 層を 4.3.3 項で記した方法で表面処理を行った。GaAs 基板の方も 4.3.3 項と同様で、BHF 3 分間、セミコクリーン 23 3 分間の処理をし、合計 約 2~3 程度の表面のエッチングした後、両方の面とも親水性を確認し、0.1 Mpa の圧力をかけて重ね合わせて接着させた。(d)。室温状態でしばらく放置したのち、ソルファインの中にサンプルを入れ、ワックスが完全に除去されるまで放置した(e)。その後、200 で 0.1 Mpa の圧力をかけて水素結合を促進させた後、表面に SiO<sub>2</sub> 膜を堆積し荷重をかけてアニールした(f)。

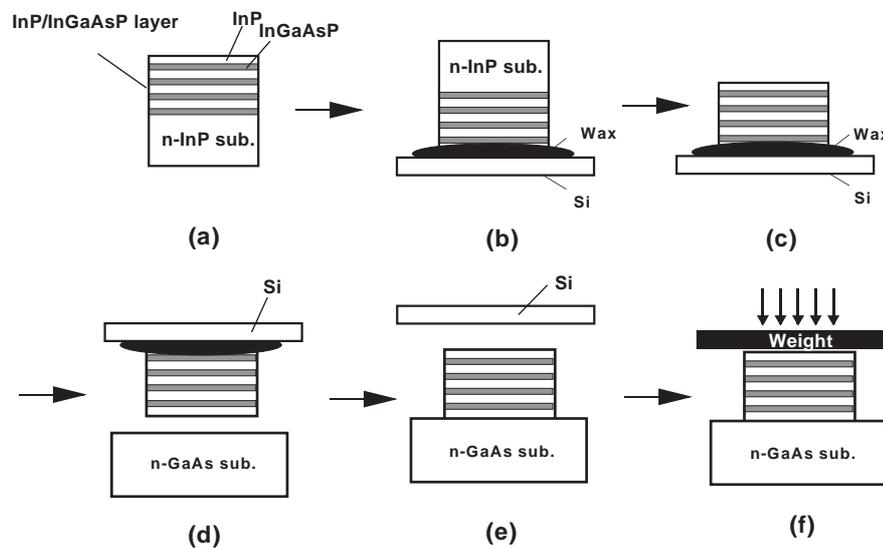


図 5.2 薄膜化 wafer fusion 法

図 5.3 にこのサンプルの表面写真 (a) と InP/GaAs 断面 SEM 像 (b) を示す。この表面写真より 1 × 1 cm<sup>2</sup> の全体にわたって、窪みや部分的に接着されていない所などなく、全体に渡って直接接着している様子がわかる。また断面写真からは GaAs と InP の間に空孔 (gap) やアモルファス状の部分も観測されず、界面が接着されている様子が伺える。このように綺麗な接着界面が得られた要因の 1 つに、接着させる表面の平坦性が挙げられる。何故なら、表面の平坦性が界面形成に与える影響が非常に大きいためである<sup>18)</sup>。

図 5.4 (a) に InP 基板をエッチングし、InGaAsP 層を一層エッチングした状態の表面 (図 5.2 (c) のトップ層) と、(b) に InP 基板上に 10 ペアの DBR 層を成長した後の表面 (図 5.2 (a) の InP トップ層) の Atomic Force microscopy (AFM) 像を示す。

測定範囲は  $10 \times 10 \mu\text{m}^2$  で、薄膜化した方は自乗平均 (RMS) で凹凸は 0.143 nm、成長表面は 0.231 nm と薄膜化して得られた面の方が成長面より平坦度が良い結果となった。このことは、薄膜化 wafer fusion 法が第 4 章の従来型の wafer fusion 法に比べて表面の凹凸状態に寄らないことから、作製の再現性や、素子歩留まりの向上が期待できる。

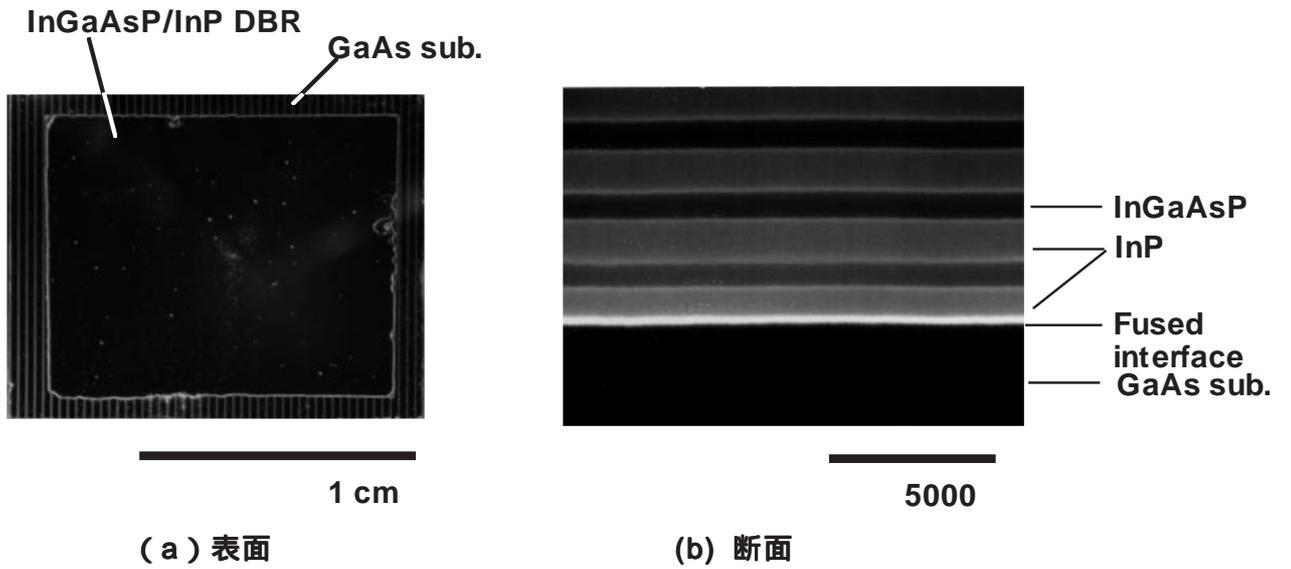
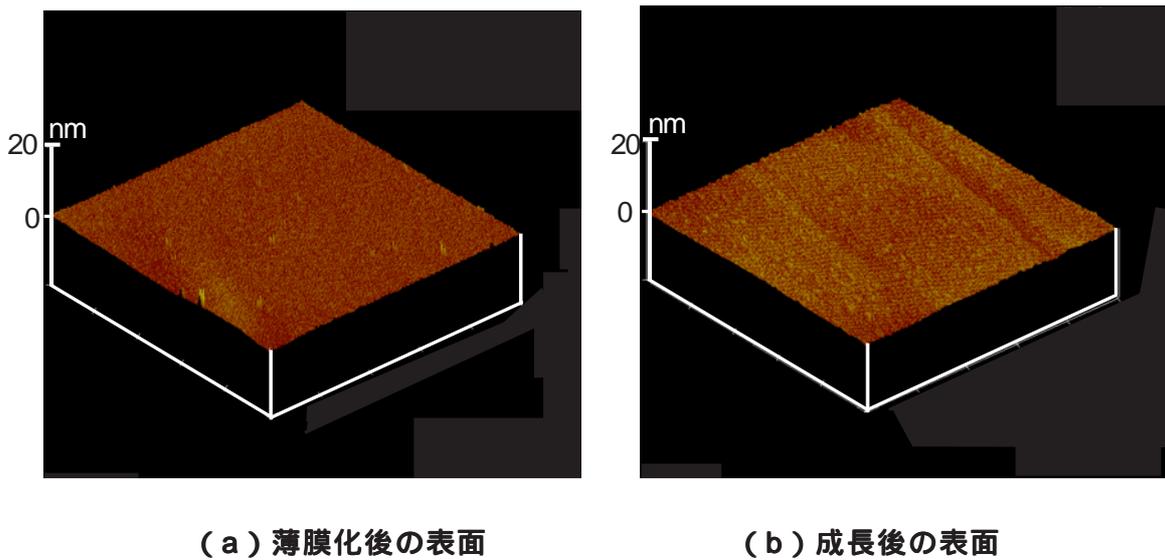


図 5.3 薄膜化 wafer fusion 後の表面、及び断面写真



(a) 薄膜化後の表面 (b) 成長後の表面

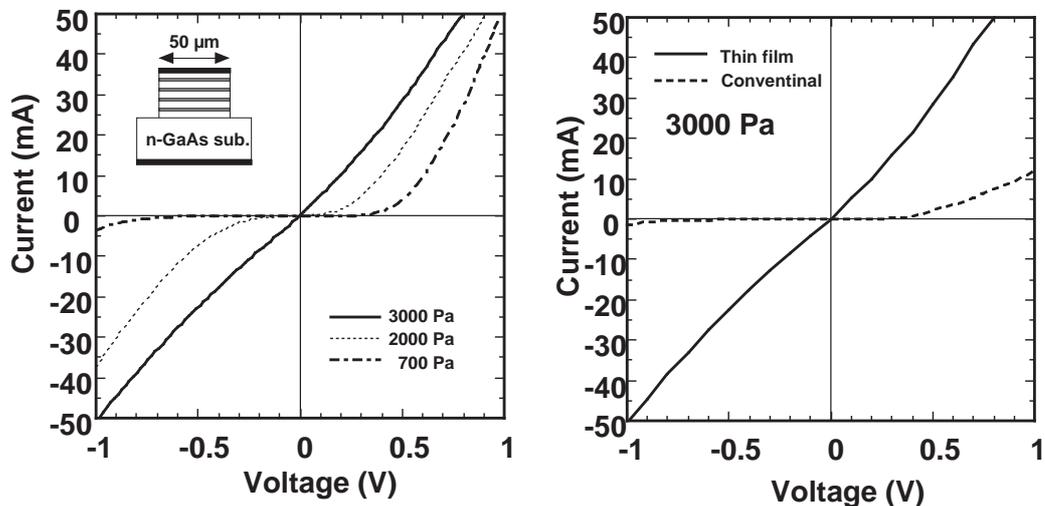
図 5.4 AFM 像

## 5.4 接着ウェハの特性評価

### 5.4.1 InP/GaAs 界面の電気的特性

接着時のアニール温度と荷重は InP/GaAs の接着状態に影響を与え<sup>19)</sup>、界面の電気的特性が変化することを 4.4.1 項で述べた。そこで同様な実験を薄膜化 wafer fusion 法で作製したサンプルで試みた。サンプルとして n 型の 9.5 ペアの InP 系 DBR 構造を用い、接着後 GaAs 基板に到達するように InP 系成長膜をエッチングして直径 50  $\mu\text{m}$  のメサを形成し、上下に電極を付けて電流 - 電圧特性を調べた。図 5.5 にその結果を示す。

(a) は荷重依存性で、(b) は荷重を 3000 Pa にした場合の薄膜化 wafer fusion 法と従来の wafer fusion 法の比較を示している。アニール温度は電気抵抗が小さくなる 600 で統一している。荷重が大きくなるに従い第 4 章と同様に電気抵抗は下がり、700 Pa ではダイオード的な特性で、2000、3000 Pa ではオーミック的な特性となった。また(b) より、同じ荷重 (3000 Pa)、アニール温度 (600 ) の場合でも、接着の手法の違いにより電気抵抗に大きな違いが生じて、薄膜化 wafer fusion 法の方が小さいことがわかる。これは接着表面の凹凸が影響して薄膜化 wafer fusion 法で作製された方の界面の化学結合の占める面積が広いことを意味すると考えられる。



(a) 荷重依存性

(b) 従来の wafer fusion 法との比較

図 5.5 薄膜化 wafer fusion 法の電流 - 電圧特性

### 5.4.2 反射率特性

薄膜化 wafer fusion 法で VCSEL を作製する場合、直接接着による DBR の光学特性の変化や接着界面の散乱等により反射率が変化し、素子特性に影響を与える可能性が

ある<sup>20)</sup>。特に薄膜化 wafer fusion 法の場合、長周期にわたり膜のたわみ等があると反射特性や共振器波長に影響を与える。そこで図 5.3 で示したサンプルの反射率特性を調べることにした。図 5.6 に薄膜化 wafer fusion 後の反射率特性を示す。また同時に計算によりフッティングした値を示す。9.5 ペアの最大反射率は 0.752 で、計算で求めた 0.759 とほぼ同等であることがこの図からわかる。このように計算でほぼフィッティングされたことから、界面での光の吸収や散乱損失は、ほとんど影響しないことが予想される。

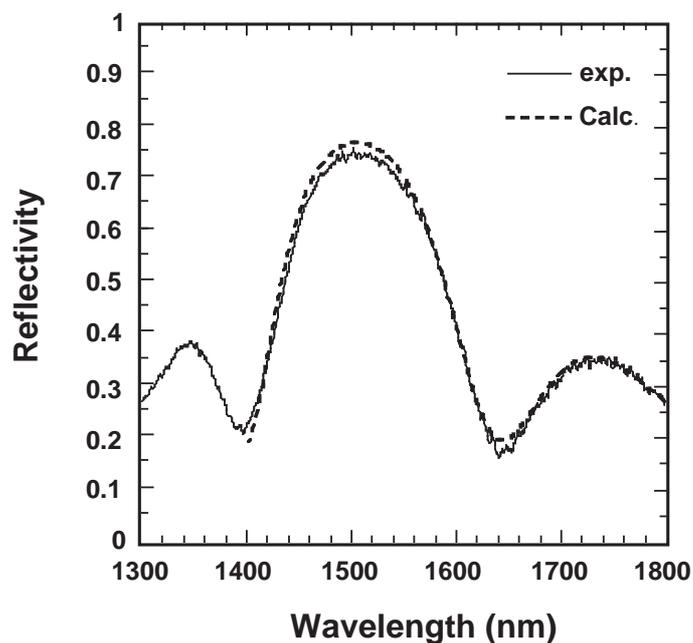


図 5.6 GaAs 基板上 InGaAsP/InP DBR の 反射率特性

#### 5.4.3 InP 系成長膜の結晶性評価

薄膜化 wafer fusion 法で、VCSEL を作製する上で重要なことの一つに、4.4.3 項の検討項目と同様、活性層の利得の変化が挙げられる。従来型の wafer fusion 法では荷重、及び接着界面と活性層の間の距離により光学特性が変化することを確認している。本手法の場合、数  $\mu\text{m}$  まで薄膜化した際に結晶にダメージを与えることが予想される。そこで光学利得の変化を調べるために、図 5.7 に示したように 5 層の量子井戸を有するサンプルを MOCVD 法で作製した。本サンプルは、それぞれの井戸層の発光波長が特定できるように InP 基板上に InGaAs 層を 20、30、45、65、90 厚で InP のスペーサ層を間に挿入している。スペーサ層の厚さは図で示したように、下から 1000、2000、3000、3000、2000、1000 としている。ここで、サンプルの井戸層を GaAs 基板と接

着する側から薄い順に QW<sub>1</sub>、QW<sub>2</sub>、QW<sub>3</sub>、QW<sub>4</sub>、QW<sub>5</sub> と名付ける。図 5.8 に 10 K における PL スペクトルを示す。(i) は成長した直後のスペクトルで、(ii) は 500 Pa で薄膜化 wafer fusion 法により GaAs 基板上に作製されたサンプルのスペクトル、(iii) は 3000 Pa で作製されたサンプルのスペクトルである。励起光源には発光強度比較を可能とするために、井戸層のみが励起されるよう 10 K の温度で InP 層に対して透過である波長 8800 の Ti-sapphire レーザを用いて測定した。これにより全ての井戸層からの発光が特定され、井戸層の接着界面からの距離に対する影響を評価できる。

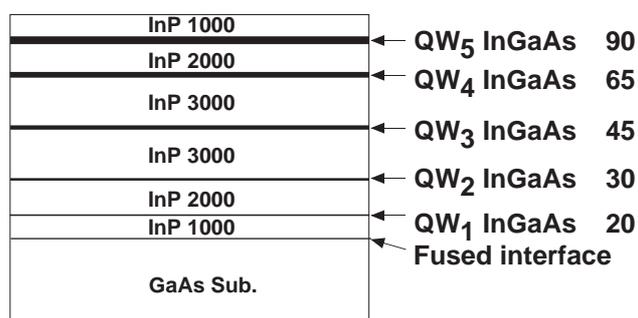


図 5.7 PL 測定用 MQW サンプル

さて、この3つのサンプルを比較すると、各々のスペクトルの半値全幅は wafer fusion

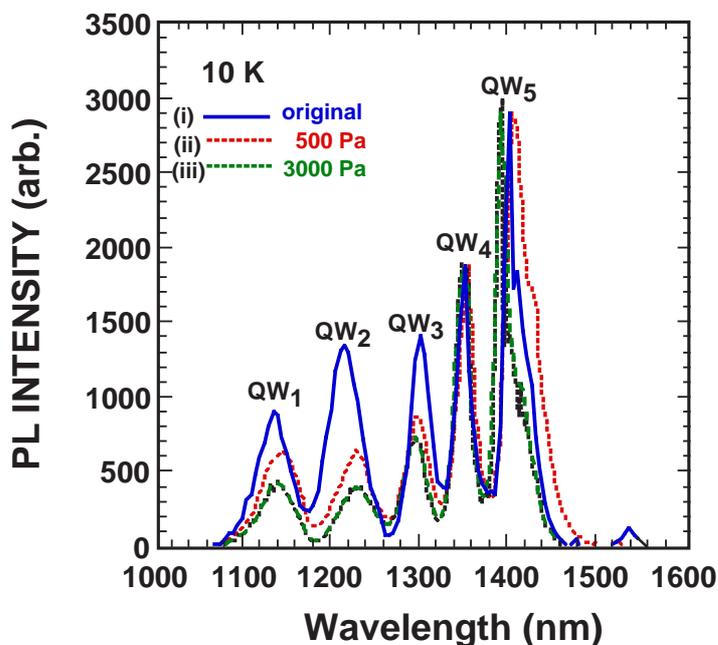


図 5.8 10 K における PL 測定のスぺクトル

後も変化なく、スペクトルのピーク波長に多少変動があることがわかる。ピーク波長の変動には発光層の残留歪み等が考えられるが、ここではウェハ内の井戸層厚の不均一分布が主な要因と推測される。荷重依存性についてみると、500、3000 Pa の荷重で作製された QW<sub>1</sub>、QW<sub>2</sub>、QW<sub>3</sub> からの PL 強度は元のウェハの強度に対して減少していて荷重が大きい程減少が大きいことがわかる。しかしながら、QW<sub>4</sub>、

QW<sub>5</sub> については荷重依存性は見受けられず、成長後のウェハとほぼ同じである。このことから光学利得を維持するためには、接着界面からの距離は QW<sub>4</sub> の位置に相当する 9000 以上必要であることがわかった。そこで、光学利得が劣化した結晶の様子を調べるためにカソードルミネセンス (CL) 評価測定を行った。測定サンプルは薄膜化 wafer fusion 法により InP 系 DBR を GaAs 基板に作製した後、DBR 層の InP と InGaAsP を上部から HCl:H<sub>3</sub>PO<sub>4</sub> (1:1) と H<sub>2</sub>SO<sub>4</sub>:H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>O (3:1:1) を用いた選択的化学エッチングを順次行って、その都度 CL を測定した。CL 像は InGaAsP 層の発光を調べることとし、下部層を励起しないように加速電圧 10 keV、測定範囲 36 × 36 μm<sup>2</sup> とした。また CL 集光光学系の光ファイバの吸収端を避けるため 1300 nm の発光の像を観測することにした。観測したサンプルは荷重 500 Pa と 3000 Pa で作製されたサンプルで、接着界面からの距離 1000 と 5000 の InGaAsP 層の像を計 4 種類測定した。図 5.9 にその結果を示す。(a) は荷重 500 Pa、界面からの距離 1000、(b) は 500 Pa、5000、(c) は 3000 Pa、1000、(d) は 3000 Pa、5000 である。界面からの距離 1000 の InGaAsP 層とは DBR 層 1.5 ペアに相当し、3000 は 2.5 ペアに相当する。さて、図 5.9 の全ての像において半導体レーザの通電試験後の劣化モードで見られるようなダークラインは観測されなかった。しかし荷重に関わらず界面からの距離 1000 では像全体が暗くダークスポットが発生していることがわかり、濃淡度から明らかに荷重の大きい方がその密度が大きいことがわかる。また界面からの距離が長い 5000 となると像が明るくなるが、荷重の大きい 3000 Pa (d) では、500 Pa (b) と比べて若干暗くダークスポットが多いことがわかる。

以上より荷重が大きく、かつ界面からの距離が近いとダークスポットが増加し、非発光再結合中心の発生が多くなり光学利得が減少することが明らかになり、PL 強度の減少もこれに起因すると推測される。

#### 5.4.4 残留応力

異なる種類の材料を接着させる wafer fusion において、材料の熱膨張係数の違いから材料内に残留応力が存在することが予想される。残留応力については、半導体ヘテロエピタキシャル成長では既に報告があり、成長温度でのヤング率から各層の残留応力とそれによる結晶の変形の曲率が計算されており、実験結果との整合性が論じられている<sup>21)</sup>。このモデルによると、もし室温で 2 種類の材料の接着が可能ならば残留応力は存在しないことになる。しかしながら、mass transport や -OH 基、-H 基、-F 基の

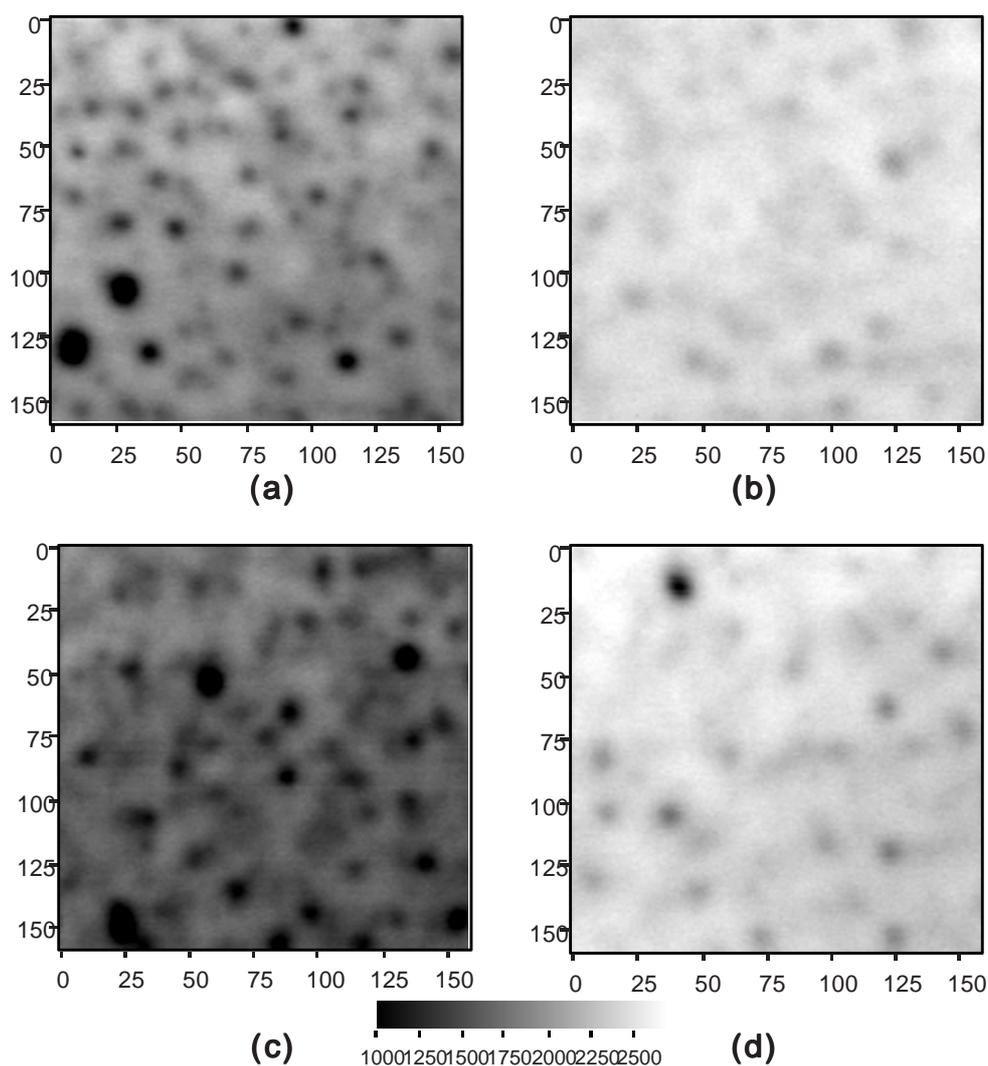


図 5.9 薄膜化 wafer fusion した InGaAsP のカソードルミネッセンス像

(a) 荷重 500 Pa、界面からの距離 1000 (b) 500 Pa、5000

(c) 3000 Pa、1000 (d) 3000 Pa、5000

介在<sup>22)</sup>、 $H_2O$ 、 $HF$  の橋渡し<sup>23)</sup>といった複雑な接着工程を伴う wafer fusion においては、結晶内に大きな残留歪みが存在する可能性があり、事実、室温で接着したものに残留歪みの存在が指摘されている<sup>18)</sup>。VCSEL を作製する場合残留応力の量が大きいと、活性層の利得ピークの波長が変化し素子特性を変化させたり、ひいてはデバイス寿命に影響を与える可能性がある。そこで成長温度に関係なく残留応力を求めるために、ここではモデルを用いて数値的に評価を行う。モデルの構造を簡単にするために図 5.10 に示したように、GaAs 基板上 (layer 1) に InP バッファ層 (layer 2)、単層の活性層である InGaAsP 層 (layer 3)、上部 InP 層 (layer 4) という通常のバルク活性層を有する

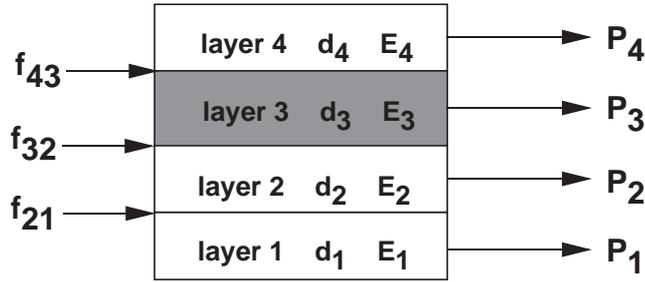


図 5.10 残留応力モデル

半導体レーザの層構成とする。各層の  $i$  番目のヤング率  $E_i$ 、厚さ  $d_i$ 、働く力  $P_i$ 、 $n$  層と  $n-1$  層間の結晶界面の歪み  $f_{i+1,i}$  とすると、以下のような釣合いの式が成立する。

$$P_1 + P_2 + P_3 + P_4 = 0 \quad (5.1)$$

$$\frac{E_1 d_1^3}{12R} + \frac{E_2 d_2^3}{12R} + \frac{E_3 d_3^3}{12R} + \frac{E_4 d_4^3}{12R} + \frac{d_1 P_1}{2} + \frac{\hat{E}}{\hat{E}} d_1 + \frac{d_2}{2} P_2 + \frac{\hat{E}}{\hat{E}} d_1 + d_2 + \frac{d_3}{2} P_3 + \frac{\hat{E}}{\hat{E}} d_1 + d_2 + d_3 + \frac{d_4}{2} P_4 = 0, \quad (5.2)$$

ここで  $R$  は曲率である。さて各々の層の界面の釣合いより

$$\frac{P_1}{E_1 d_1} - \frac{P_2}{E_2 d_2} + \frac{\hat{E}}{\hat{E}} \frac{d_1 + d_2}{2R} = f_{21}, \quad \frac{P_2}{E_2 d_2} - \frac{P_3}{E_3 d_3} + \frac{\hat{E}}{\hat{E}} \frac{d_2 + d_3}{2R} = f_{32},$$

$$\frac{P_3}{E_3 d_3} - \frac{P_4}{E_4 d_4} + \frac{\hat{E}}{\hat{E}} \frac{d_3 + d_4}{2R} = f_{43} \quad (5.3)$$

となる。さて活性層の残留応力  $P_3/d_3$  と layer 2 のバッファ層の厚さ  $d_2$  との関係は  $f_{21}$  をパラメータとして、表 5.1 の物性定数と式 (5.1) から (5.3) を解いて図 5.11 のように表わされる。このモデルと薄膜化 wafer fusion 法により作製された基板 (図 5.3) の曲率を測定すると、界面の歪みと残留応力の関係が求まる。1600 Pa の荷重で wafer fusion を行った場合、界面歪みと残留応力は  $-1.2 \times 10^{-5}$  と  $9.3 \times 10^7$  dyn/cm<sup>2</sup> となった。また 4700 Pa の荷重の場合、界面歪みと残留応力は  $-1.8 \times 10^{-5}$  と  $1.3 \times 10^8$  dyn/cm<sup>2</sup> となり、荷重が界面歪みに影響を及ぼすことが明らかになった。しかしながら、図 5.11 に見られるように、これらの界面歪みの値はヘテロエピタキシャル成長で得られる値よりはるかに小さく、このことが薄膜化 wafer fusion 法による異種材料の接合が上部の結晶の光学特性に変化を与えることが少ない要因となっていると思われる。

表 5.1 各層のヤング率と厚さ

layer	material	Young's modulus ( $\times 10^{11}$ dyn/cm <sup>2</sup> )	thickness d ( $\mu$ m)
1	GaAs	8.53	300
2	InP	6.07	d <sub>2</sub>
3	InGaAsP	6.50	0.1
4	InP	6.07	1

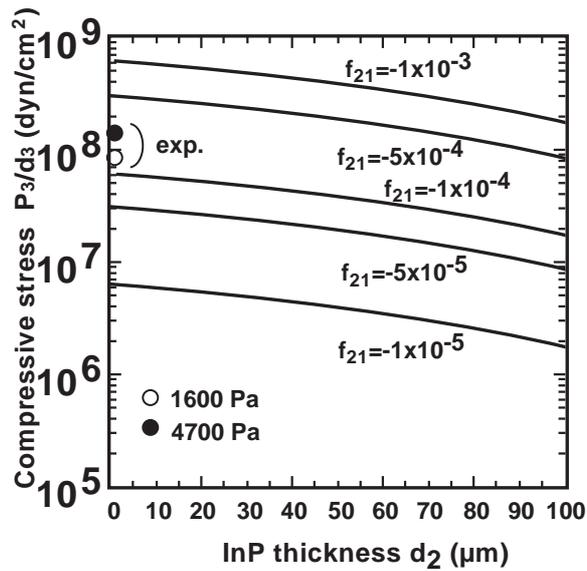


図 5.11 InP/GaAs の残留応力

### 5.5 端面発光型半導体レーザの作製

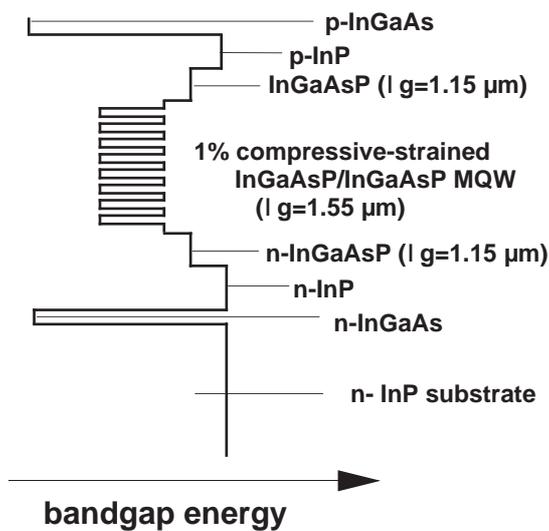


図 5.12 MQW レーザ構造図

5.4 節で薄膜化 wafer fusion 法により作製された InP/GaAs 界面の電気的特性や InP 系結晶中の発光層の光学利得についての知見を得た。そこで、InP 系 VCSEL 作製の前段階として端面発光型レーザを取り上げ、その光学利得や連続動作時の発振特性への本手法の影響を調べることにする。そして、埋込み端面発光型レーザを GaAs 基板上に作製し、その特性から薄膜化 wafer fusion 法の

VCSEL への導入の可否を検討する。図 5.5、5.8、5.9 から荷重を増加するに従い、界面の電気的特性は良くなるが、InP 層内の結晶性が劣化し光学利得が減少することがわかった。半導体レーザの室温連続発振動作には、電気的特性が良好であること、かつ光学利得が高いことを同時に満足する必要がある。そこで図 5.12 に示すような、InP 基板の上に InGaAs 層ストップエッチング層、n 型 InP クラッド層 (1.5  $\mu\text{m}$  厚)、InGaAsP ( $l_g=1.15 \mu\text{m}$ ) SCH 層、量子井戸数 8 で 1% の圧縮歪みを持つ MQW 活性層 ( $l_g=1.55 \mu\text{m}$ ) p 型 InP クラッド層 (1.5  $\mu\text{m}$  厚) p 型 InGaAs キャップ層の端面発光型半導体レーザ構造のウェハを MOCVD 法により作製した。この n 型 InP クラッドの厚さ 1.5  $\mu\text{m}$  が、InP/GaAs 界面と活性層の間の距離となる。

### 5.5.1 光学利得

薄膜化 wafer fusion 法により上記のウェハを GaAs 基板の上に直接接着した後、ストライプ幅 100  $\mu\text{m}$  のメサを形成し、パルス動作で電流 - 光出力特性を測定した。比較のため wafer fusion 前の元ウェハを用いて同様に Broad Contact レーザも作製した。何れも端面のコーティングは施していない。図 5.13 に 1600 Pa から 5000 Pa と荷重を変えたときの、共振器長と閾値電流密度の関係を表わす。各々のデータポイントは 10 素子を測定し平均値をプロットしている。閾値電流密度は全ての領域で荷重が増加するに従い上昇していることがわかる。これを式 (2.1) に代入して、閾値利得係数を求めてみると図 5.14 となる。ここで導波路内の吸収係数  $\alpha_i$  は薄膜化 wafer fusion を行わない元ウェハのデータから求められた  $23 \text{ cm}^{-1}$  を用い、この値を全ての素子に共通とし、閉

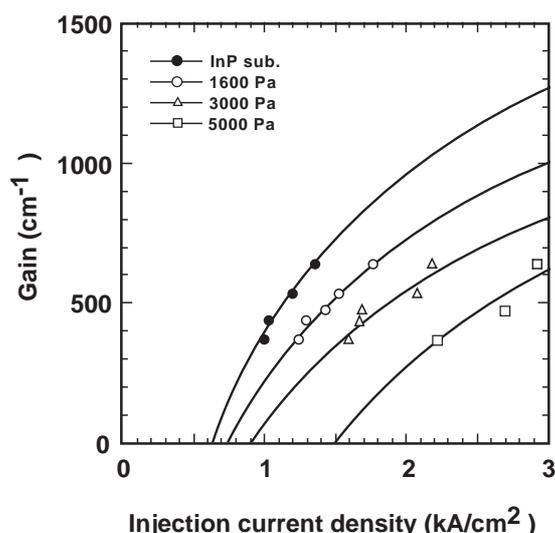
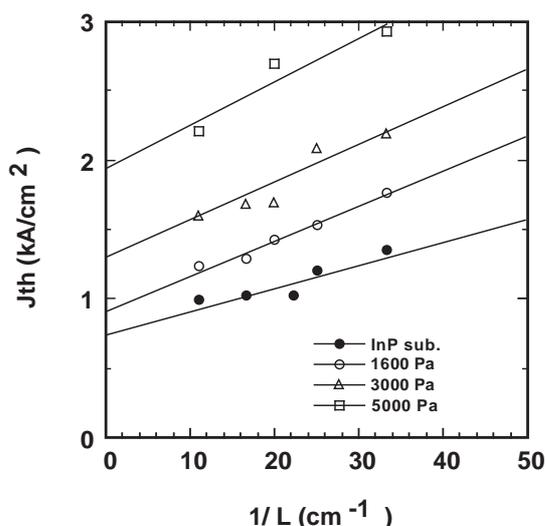


図 5.13 閾値電流密度の共振器長依存性 図 5.14 注入電流密度に対する光学利得

じ込め係数は導波路の電界の計算により 0.0973 とした。さて、第 4 章の議論から想定される VCSEL の閾値電流  $2 \text{ kA/cm}^2$  時の利得を例にとって見てみると、InP 基板上的元ウェハの利得は  $950 \text{ cm}^{-1}$  に対し、荷重を 1600、3000、5000 Pa と増加するに従い 720、550、 $270 \text{ cm}^{-1}$  と減少していることがわかる。この減少は 5.4.3 項の結果と同様、非発光再結合中心の増加に伴う利得係数の減少と説明できる。図 5.8 の PL 測定では荷重 3000 Pa、界面から発光層までの距離 9000 Å 以上では接着界面からの影響がないように観測されたが、室温かつ高注入キャリア密度の状態では、本サンプルのように例え界面からの距離  $1.5 \mu\text{m}$  であっても、活性層の光学利得に影響を与える結果となっている。

### 5.5.2 端面発光型レーザの特性 (CW特性)

次に薄膜化 wafer fusion 法で作製されたウェハを用いて、狭ストライプ幅の GaAs 基板上的 InP 系リッジ端面発光型レーザを作製し、連続動作 (CW) 時の特性について調べることにする。図 5.12 のウェハを用いて荷重 1600 Pa の条件で GaAs 基板上的 InP 系レーザ結晶を形成し、ストライプ幅  $6 \mu\text{m}$  で逆メサ状に化学エッチングを行い活性層幅を  $4 \mu\text{m}$  とした。共振器長は  $300 \mu\text{m}$  とし、端面にはコーティングは施していない。作製したチップを Si のサブマウントにボンディングし、室温でパルス動作と連続動作の 2 つのモードで測定した。尚、比較のため InP 基板上的元ウェハでも同様の形状のレーザを作製し測定を行った。図 5.15 に電流 - 光出力特性の結果を示す。パルス動作において閾値電流は  $28 \text{ mA}$  と変化はなかったが、片側の出力  $5 \text{ mW}$  時の外部微分量

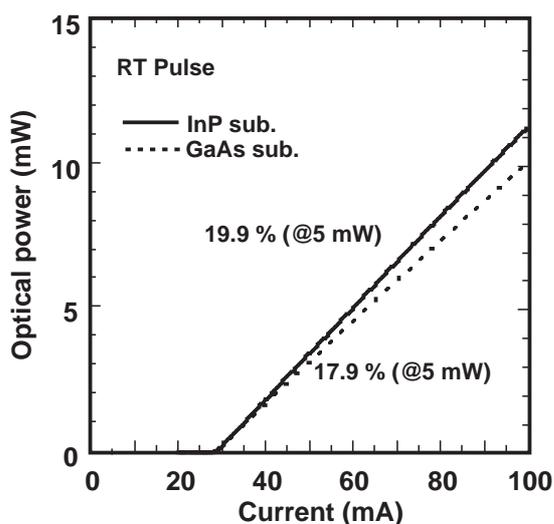


図 5.15 電流 - 光出力特性 (パルス動作)

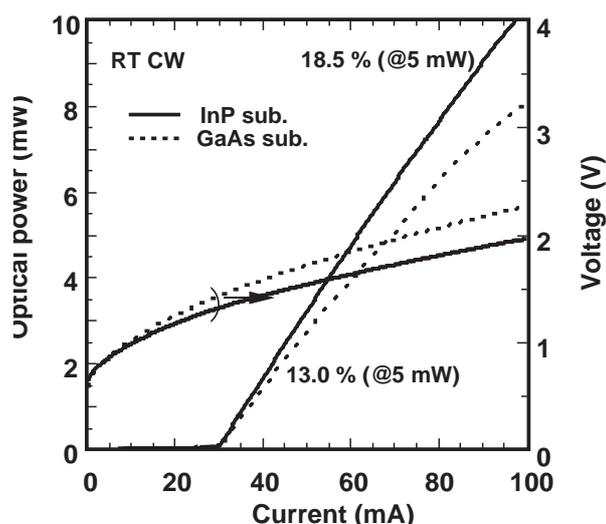


図 5.16 電流 - 電圧、及び  
電流 - 光出力特性 (CW 動作)

子効率は 19.9 %から 17.9 %と減少していた。この原因は非発光再結合中心の発生に伴う内部量子効率の低下が考えられる。次にこれらの素子の連続動作時の電流 - 電圧、及び電流 - 光出力特性を図 5.16 に示す。閾値電流の変化はほとんどないが、外部微分量子効率は 18.5 %から 13.0 %と大きく低下している。これは半導体レーザの連続動作時には素子の電気抵抗により発生したジュール熱が内部量子効率に大きく影響を与えるため、図 5.16 に見られるように接着界面の抵抗により電流 - 電圧特性が劣化していることが要因と考えられる。外部微分量子効率は式 (2.6) で表され、端面反射率を 0.32 と仮定すると、内部量子効率は求まる。そこでパルス動作時と連続動作時の内部量子効率をまとめると表 5.2 のようになる。また両端面の光出力を考慮した場合の外部微分量子効率も付記する。パルス動作時には内部量子効率は 63.9 %から 57.5 %の低下であったが、CW 時には 59.4 %から 41.7 %と熱の影響のため大きく低下している。

一般に接着界面の電気抵抗は接着面積に反比例するため、素子抵抗は接着界面をエッチングするかどうかで大きく変わる。ここではメサ形成時に InP/GaAs 界面までエッチングしなかったため、界面抵抗の影響による素子特性の劣化は上記の結果の範囲内で納まっている。しかし、InP/GaAs 界面をエッチングするような構造をとる素子においては<sup>24)</sup>、界面抵抗がデバイス特性を大きく左右する可能性がある。よって薄膜化 wafer fusion 法で作製された半導体レーザの連続動作には、それぞれの素子構造によってアニール時の最適な荷重が存在することがわかる。

**表 5.2 内部量子効率と外部微分量子効率**

	InP sub.		InP/GaAs sub.	
	Pulse	CW	Pulse	CW
$h_d$	39.8 %	37.0 %	35.8 %	26.0 %
$h_i$	63.9 %	59.4%	57.5 %	41.7%

### 5.5.3 埋込み端面発光型レーザ

最後に、表面に凹凸が存在する InP 系の埋込み端面発光型レーザを GaAs 基板上に作製することで薄膜化 wafer fusion 法の有効性を示す。埋込み用のサンプルは図 5.12 に示した構造を用い、選択マスクとして SiO<sub>2</sub> を用いた。2 μm 幅のストライプで高さ 1.8

$\mu\text{m}$  のメサを Reactive Ion Etching (RIE) によるドライエッチングにより形成する。その後埋込み層として Fe ドーピングされた高抵抗の InP 層と n<sup>+</sup> 型 InP 層を順次 MOCVD 法により約 650 °C で成長し、SiO<sub>2</sub> 選択マスクを HF で取り除いた後、p 型 InP、p 型 InGaAs 層を成長する。そして薄膜化 wafer fusion 法で n 型 GaAs 基板の上に InP 系レーザ結晶を接着する。本素子構造の場合、図 5.17 に示すように埋込み前のメサ形成時にはエッチングストップ層の除去を防ぐため接着界面までエッチングしていない。このため接着界面の面積は大きくなるので、素子全体としては接着界面による電気抵抗の上昇は少ないと予想される。そこで結晶の劣化を防ぐことを最優先とし、荷重は比較的小さい値である 700 Pa、アニール温度は 600 °C で薄膜化 wafer fusion を行った。この温度は埋込み層の再成長温度 650 °C より低い。図 5.17 に GaAs 基板上に作製された埋込み層を有する InP 系端面発光型レーザの断面 SEM 写真を示す。この写真は、基板面側を接着界面とすることで、表面に凹凸が生じているウェハでも異種基板接合が可能であることを示している。

図 5.18 にこの素子の CW 時における電流 - 電圧、及び電流 - 光出力特性を示す。比較のため元の InP 基板上に作製した埋込み端面発光型レーザの特性も示す。共振器長は 300  $\mu\text{m}$  で、端面コーティングは施していない。閾値電流は元の InP 基板上の素子の 6.4 mA に比べて 10.6 mA とやや上昇したが、片側の外部微分量子効率<sup>1)</sup>は 18.9 % から 17.9 % と微少な減少に留まっている。閾値電流の上昇や外部微分量子効率の低下は、5.4.3 および 5.4.1 項で述べたように非発光再結合中心の発生、接着界面による電気抵抗の上昇等の影響が考えられる。しかしながら埋込み構造においては、狭ストライプ構

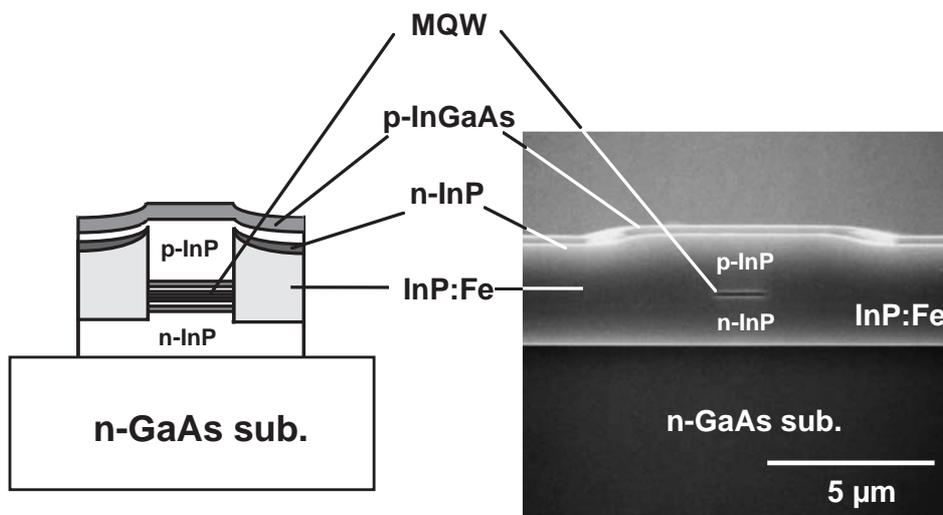


図 5.17 GaAs 基板上の InP 系埋込みレーザ

造による InP と GaAs の接着時の結晶方位のずれが、端面の反射率に変化を与えレーザー特性に大きく影響を及ぼしている可能性がある。また電流 - 光出力特性において、キックがなく線形性のよい特性が得られている。これは埋込み構造が屈折率導波構造であるため、空間的ホールバーニングが起こり難く、横モードが安定していると考えられる。図 5.19 に GaAs 基板上的埋込み端面発光型レーザーの出力変化に伴う遠視野像 (Far field Pattern : FFP) の注入電流依存性を示す。片側光出力 10 mW 時においても、活性層に対して水平方向の FFP が単峰性の特性となり、単一横モード動作していることが確認された。

以上より、格子不整合のある異種基板上に単一横モード動作するレーザーが作製可能なことがわかり、異種基板上に積層する半導体レーザーの作製法において、薄膜化 wafer fusion 法が極めて有効であることが実証された。

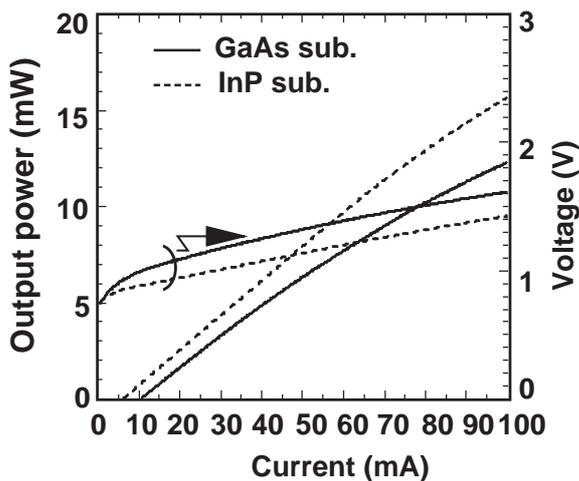


図 5.18 電流 - 電圧、及び  
電流 - 光出力特性

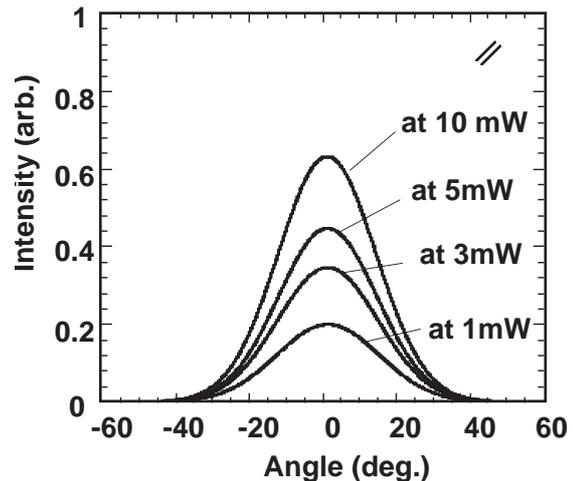


図 5.19 遠視野像

## 5.6 まとめ

本章では、 $1.55\ \mu\text{m}$ 埋込み型 VCSEL 作製の基本技術となる薄膜化 wafer fusion 法について検討を行った。以下に本章で得られた結果を列記する。

- (1) InP/GaAs 界面の電気的特性や InP 側の光学利得には、薄膜化 wafer fusion 法においても、アニール時の荷重依存性が存在し、トレードオフの関係にあることを明

らかにした。

- ( 2 ) 薄膜化 wafer fusion 法を用いて端面発光型レーザを作製し、CW 動作時にも発光効率、閾値電流の点で、wafer fusion 前後でほとんど同程度の特性が得られることを確認した。
- ( 3 ) GaAs 基板上の埋込み端面発光型 InP 系レーザを取り上げ、室温連続動作で単一横モード動作のレーザを初めて異種基板上に実現することに成功した。

以上より、1.55  $\mu\text{m}$  帯埋込み VCSEL の作製において、薄膜化 wafer fusion 法が有効な作製手段であることを明らかにした。

## 【第5章 参考文献】

- 1) U. Fielder, G. Reiner, P. Schnitzer, and K. J. Ebeling, *IEEE Photon. Technol. Lett.*, 8, 746 (1996)
- 2) N. M. Margalit, D. I. Babic, K. Streubel, R. P. Mirin, D. E. Mars, J. E. Bowers, and E. L. Hu, *Appl. Phys. Lett.*, 69, 471, (1996)
- 3) S. Rapp, F. Salomonsson, K. Sterubel, S. Mogg, F. Wennekes, J. Bentell, and M. Hammar, *Proc. 10th Int. IPRM (Indium Phosphide and Related Materials)*, Tup-59 303 (1998)
- 4) Y. Xiong, and Y. H. Lo, *IEEE Photon. Technol. Lett.*, 10, 1202 (1998)
- 5) D. I. Dabic, J. J. Dudley, K. Streubel, R. P. Mirin, and J. E. Bowers, and E. L. Hu, *Appl. Phys. Lett.*, 66, 1030 (1995)
- 6) J. Boucart, C. Starck, F. Gaborit, A. Plais, N. Bouche, E. Derouin, L. Goldstein, C. Fortin, D. Carpentier, P. Salet, F. Brillouet, and J. Jacquet, *IEEE Photon. Technol. Lett.*, 11, 629 (1999)
- 7) C. Kazmierski, J. P. Debray, R. Madani, I. Sagnes, A. Ougazzaden, N. Bouadma, J. Etrillard, F. Alexandre, and M. Quillec, *Electron. Lett.*, 35, 811 (1999)
- 8) R. W. Herrick, and P. M. Petroff, *IEEE J. Quantum Electron.*, 34, 1963 (1998)
- 9) S. Rapp, J. Piprek, K. Sterubel, J. Andre, e. R. Messmer, and J. Wallin, *Proc. 9th Int. IPRM (Indium Phosphide and Related Materials)*, MB2 36 (1997)
- 10) E. Yablonovitch, D. M. Hwang, T. J. Gmitter, L. T. Florez, and J. P. Harbison, *Appl. Phys. Lett.*, 51, 2222 (1987)
- 11) A. Ersen, I. Schnitzer, E. Yablonovich, and T. Gmitter, *Solid-State Electronics*, 36, 1731 (1993)
- 12) S. M. Fike, B. Buchanan, N. M. Jokerst, M. A. Brooke, T. G. Morris, and S. P. Deweerth, *IEEE Photon. Technol. Lett.*, 7, 1168 (1995)
- 13) E. Yablonovitch, T. Sands, D. M. Hwang, I. Schnitzer, T. J. Gmitter, S. K. Shastry, D. S. Hill, and J. C. C. Fan, *Appl. Phys. Lett.*, 59, 3159 (1991)
- 14) N. M. Jokerst, *J. Nonlinear Optical Physics & Materials* 6, 19 (1997)
- 15) K. Rammohan, D. H. Rich, M. H. Macdougall, and P. D. Dapkus, *Appl. Phys. Lett.*, 70, 1599 (1997)

- 16) H. Wada, and T. Kamijoh, IEEE Photon. Technol. Lett., 8, 173 (1996)
- 17) S. Matsuo, T. Nakahara, K. Tateno, and T. Kurokawa, IEEE Photon. Technol. Lett., 8, 1507 (1996)
- 18) H. Takagi, R. Maeda, T. R. Chung, N. Hosoda, and T. Suga, Jpn. J. Appl. Phys., Part 1, 37, 4197 (1998)
- 19) Z. L. Liao, and D. E. Mull, Appl. Phys. Lett., 56, 737(1990)
- 20) R. J. Ram, L. Yang, K. Nauka, Y. M. Houn, M. Ludowise, D. E. Mars, J. J. Dudley, and S. Y. Wang, Appl. Phys. Lett., 62, 2427 (1993)
- 21) M.Sugo, N. Uchida, A. Yamamoto, T. Nishioka, and M. Yamaguchi, J. Appl. Phys., 54, 1754 (1989)
- 22) K. Ljungberg, A. Soderbag, and Y. Backlund, Appl. Phys Lett., 62, 1362 (1993)
- 23) Z. Feng, and H. Kiu, J. Appl. Phys., 54, 83 (1983)
- 24) D. I. Babic, J. J. Dubley, K. Streubel, R. P. Mirin, J. E. Bowers, and E. L. Hu, Appl. Phys. Lett., 66, 1030 (1995)

## 第 6 章 埋込み型 1.55 $\mu\text{m}$ 帯 VCSEL

### 6.1. 緒言

本章では第 5 章の薄膜化 wafer fusion 法を用いて、埋込み層を有する InP 系活性層を GaAs/AlAs DBR 上に接着し、1.55  $\mu\text{m}$  帯埋込み VCSEL を作製した結果について述べる。そして埋込みの効果によるデバイス特性の向上、すなわち閾値電流の低減、光出力の増加、温度特性の向上について言及し、更に長波長帯 VCSEL で特に重要となる横モード制御について論じる。

### 6.2 埋込み VCSEL 構造

VCSEL に埋込み構造を導入することは GaAs 系では古くから行われてきたが<sup>1-3)</sup>、選択酸化法による電流狭窄の出現により現在では主要な構造とはなっていない。埋込み構造は横モード制御が可能で、単一横モード条件での発光径が大きく取れることから基本モードを維持したまま光出力の増加が見込める。しかし、GaAs 系 VCSEL の場合、Al を含む層があるため再成長条件が難しいことや、選択酸化構造で実用的な光出力が得られていること、そして何よりも GaAs 系はマルチモードファイバの使用を前提に開発されたという経緯があり、横モード制御への要求があまりないため実用化に至っていない。しかしながら長波長帯においては、一般に InP 系活性層が主体であること、長距離通信用のため単一横モードが必須であること、長波長帯 VCSEL の光出力が小さいこと等から埋込み構造の導入は有効と考えられる。埋込み構造を採用すれば、発光に寄与しない無効電流を理想的にはなくすることが可能で、同時に屈折率導波構造のため回折損失が小さい構造が実現でき、閾値電流が減少し、安定な横モード動作が実現できることが期待される。

InP 系活性層に半導体埋込みを行った VCSEL は、既に InP 系 DBR 上で埋込み層を形成し、さらに誘電体ミラーを蒸着した構造の報告がなされているが<sup>4)</sup>、光出力、閾値電流、温度特性といった点で、必ずしも満足な値が得られたとはいいがたく室温連続動作に至っていない。しかしながら、これは反射層を形成している DBR の反射率や、素子の熱伝導性に問題があるためで、埋込み構造の効果を否定するものではないと考えられる。

そこで図 6.1 に本章で提案する埋込み VCSEL 構造を示す。これは InP 系の埋込み構造と GaAs 系 DBR を薄膜化 wafer fusion 法を用いて接着することを特徴としている。埋込み層以外の InP 系の層構成、GaAs 系の層構成は、第 4 章の図 4.1 で示した構造とほぼ同じである。このため 4.6 節で述べた本 VCSEL 構造の特徴である

- (1) n 型 InP 系 DBR により接着界面から活性層までの膜厚を厚くすることが可能。
- (2) InP 側の成長膜だけで、fusion 前に共振器波長の測定可能。

等は引き継ぐことになる。但し、InP 系の埋込み構造を GaAs 系 DBR 上に積層させた後、共振器長を測定するにはメサ上部に光をコリメートする必要がある。またこの VCSEL に電流注入を行うために、半絶縁層である Fe ドーピングされた InP 層の上部に p 型の電流パス層を設ける必要がある。

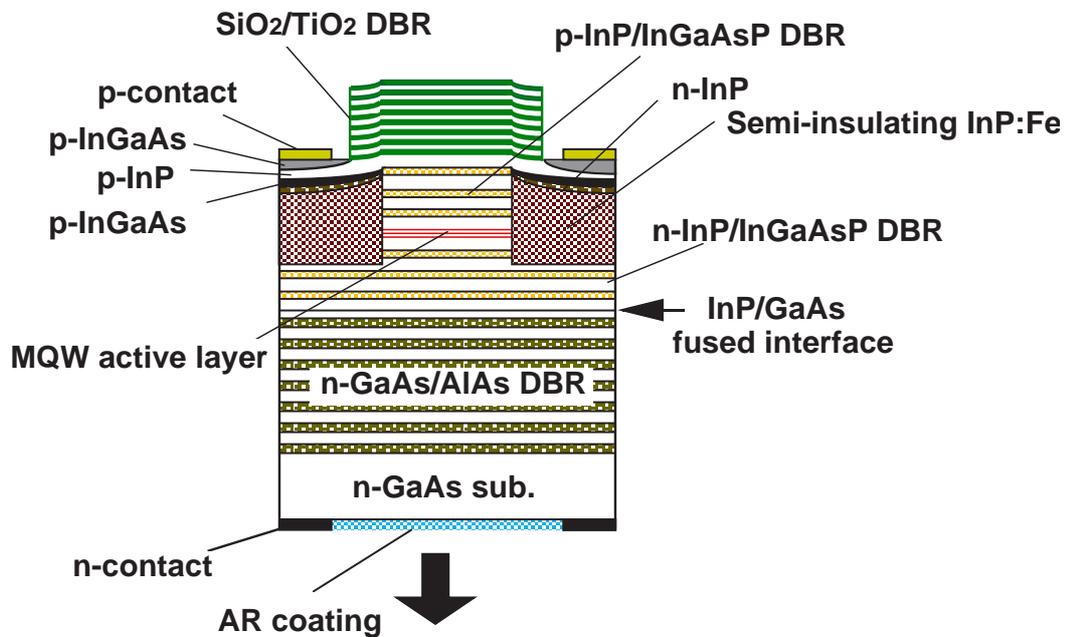


図 6.1 埋込み VCSEL の構造図

### 6.3 横モード制御

VCSEL は縦モードは短共振器構造のため単一であるが、横モードは単一とは限らない。横モードが単一でないと、各モードにより等価屈折率が異なるため、発振スペクトルには横モードの次数に従い複数のピークが現れる。そのピーク間隔が約 1 nm 程度なので、あたかも縦モードがマルチモードであるかのようなスペクトルが観測され

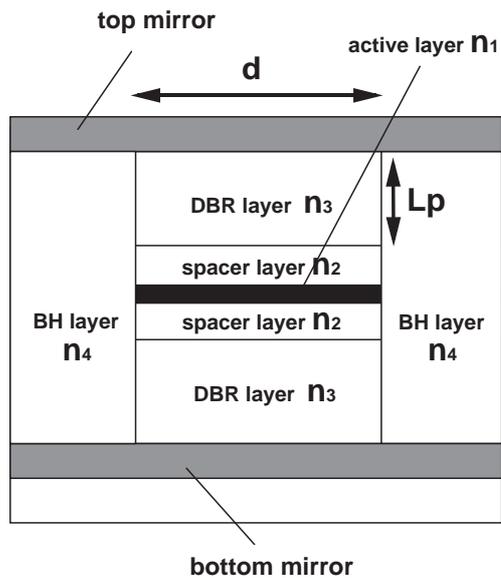


図 6.2 埋込み構造のモデル

る。これを単一にするためには、横モードも単一にする必要がある。横モードを単一にするには様々な方法が考えられるが、各モードごとに、反射率が異なるようにするのが一番効果的である。なぜなら VCSEL の閾値電流は反射率に非常に敏感であるため、各モードが反射率の高い順にレーザ動作を起こすためである。高次のモードの反射率を小さくするためには、高次のモードの回折損失を大きくして実効的な反射率を下げる構造を形成すればよく、その点、埋込み構造はモード間の回折損失差を大きくするのに非常に適した構造となっている。

各モードの回折損失の計算は、既に Helmholtz 方程式を用いた 2 次元ビーム伝搬法により解析が行われている<sup>5,6)</sup>。ここでは変形 Open Resonator モデル<sup>7)</sup>を用いて屈折率導波型埋込み構造について計算し、モード間の回折損失を見積もってみる。用いるモデルは図 6.2 に示す対称メサ形状の構造である。一般的にはラゲール・ガウシアンモードによる円筒座標系を用いるが、後に 6.4.2 項で述べるように埋込み成長の条件によりメサ形状が矩形となるため、円筒座標系は用いない。上面からみた一辺の長さ（メササイズ） $d$ 、活性層の屈折率  $n_1$ 、スペーサ層の屈折率  $n_2$ 、DBR の平均屈折率  $n_3$ 、実効共振器長を考える際の DBR 層内への侵入の深さ  $L_p$ 、埋込み層の屈折率  $n_4$  とし、基本モード  $TEM_{00}$  の発光部分（活性層の中央）でのスポットサイズを  $s$ 、電界を  $E_0$  とすると、電界分布  $f_{00}(x, y, 0)$  は

$$f_{00}(x, y, 0) = E_0 \exp\left\{-\frac{1}{2}(x^2 + y^2)/s^2\right\} \quad (6.1)$$

と表せ、距離  $L$  進むに従い、ビームは広がり、位相シフト  $\phi$  を用いて反射面の電界  $f_{00}(x, y, L)$  は

$$f_{00}(x, y, L) = E_0 e^{-jkL} (s/w) \exp\left\{-\frac{1}{2}P(x^2 + y^2) + j\phi\right\} \quad (6.2)$$

となる。但しここで、距離  $L$  進んだときのスポットサイズ  $w$ 、曲率  $R$ 、波面係数  $P$ 、波数  $k$  を用いて、

$$\begin{aligned}
w &= s \sqrt{1 + (L/ks^2)^2} \\
R &= L \left[ 1 + (ks^2/L)^2 \right] \\
P &= 1/w^2 + jk/R \\
\phi &= \tan^{-1}(L/ks^2)
\end{aligned} \tag{6.3}$$

となる。さてミラー面が無限の大きさであるとする、光はミラー面で反射し元の発光部分に反射してくる。活性層中央部分での電界成分  $f_{00}^{-R}(x, y, 0)$  は

$$\begin{aligned}
&f_{00}^{-R}(x, y, 0) \\
&= E_0 / \sqrt{1 + 2L/(ks^2)^2} e^{-2jkL} \exp \left\{ -\frac{1}{2} P(x^2 + y^2) + j\phi \right\}
\end{aligned} \tag{6.4}$$

となる。ここで反射率は簡単のため 1 とした。そこで  $f_{00}(x, y, 0)$  と  $f_{00}^{-R}(x, y, 0)$  の重なり積分を実行し、それとはじめの  $f_{00}(x, y, 0)$  との比をとれば一回の反射での回折損失が求まる。次に、実際の埋込み導波型の通常の電界の計算により、スポットサイズとメササイズとの関係を求める。ここでスポットサイズは活性層とスペーサ層部分を別々に計算する。活性層の屈折率  $n_1=3.519$ 、スペーサ層と埋込み層の屈折率  $n_2=n_4=3.169$ 、DBR 層の平均屈折率  $n_3=3.276$ 、DBR 層内への侵入の深さ  $L_p$  は  $0.74 \mu\text{m}$  とした。高次モードである  $TEM_{01}$ 、 $TEM_{11}$  については、エルミート・ガウス関数  $H$  を用いて、活性層中央での最初の基本波  $TEM_{pq}$  を

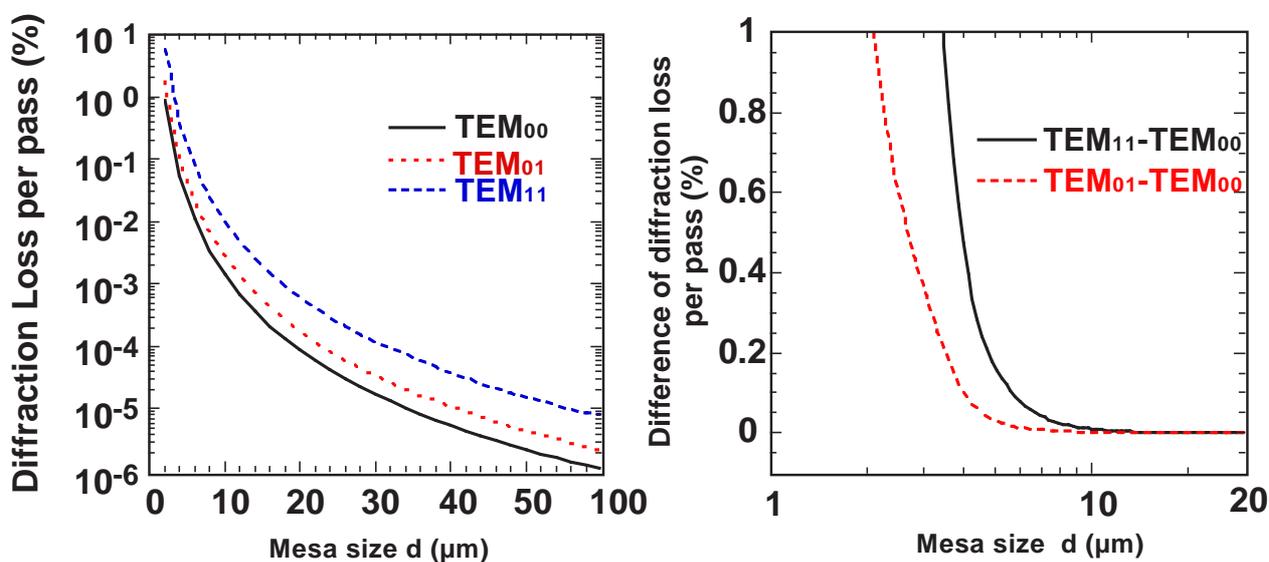
$$\begin{aligned}
&TEM_{pq} : f_{pq}(x, y, 0) \\
&= E_0 \cdot \frac{1}{[2^p p! \sqrt{\pi} s]^{\frac{1}{2}}} \cdot \frac{1}{[2^q q! \sqrt{\pi} s]^{\frac{1}{2}}} \cdot H_p(x/s) \cdot H_q(y/s) \cdot \exp \left\{ -\frac{1}{2} (x^2 + y^2)/s^2 \right\}
\end{aligned} \tag{6.5}$$

で表わし、同様にして反射波との重なり積分を求めることにより、一回の反射での回折損失が求まる。

図 6.3 (a) に一回の反射による回折損失とメサの一辺の長さとの関係を示す。基本モードが高次のモードより回折損失が少なく、またメササイズが小さくなるに従い回折損失が大きくなっていることがわかる。図 6.3 (b) は高次のモードと基本モードとの差を表したものである。一般に高次のモードとして、基本モードの次に  $TEM_{01}$  が考えられるが、VCSEL の場合、反射率と利得係数に対して全くの対称性が成立しており、基本モードの次の高次モードとして  $TEM_{11}$  が発光パターンとなる可能性があるため、 $TEM_{11}$  との差分も示した。この図から回折損失の差は  $TEM_{11}$  に対しては  $10 \mu\text{m}$  近傍から、 $TEM_{01}$  とは  $4 \mu\text{m}$  付近から、メササイズが小さくなるに従い指数関数的に大きくな

る。もし、最低次数の高次モードが  $TEM_{11}$  とすると、これは選択酸化電流狭窄型 VCSEL の単一横モード条件である  $5 \sim 6 \mu\text{m}$  程度以下のメササイズが要求されるのに比べると大きな値となっており、デバイスの高出力化に有利であることがわかる。このような結果が得られるのは、実効共振器内が埋込み層の形成によって屈折率導波型構造になっているためである。また埋込み構造は、メササイズを小さくしていても回折損失の絶対値は小さいことが推測される。これは選択酸化型やメサ型と比べて大きな違いで、発光面積を小さくしても閾値電流密度は一定に保たれる可能性があり、微細化の効果により閾値電流を下げるのにも有効な構造であることが予想される。

以上、回折損失のみで横モードを議論したが、詳細に VCSEL の横モードを論じるためには、この回折損失差を反射率に反映させ、更に電界分布による注入キャリアの拡散方程式を導いて各モードでの利得を見積もり、各々モードの閾値電流を求め、高次モードと基本モードの閾値電流の差により単一横モード化を議論すべきである。しかし、VCSEL は注入電流に対して比較的小さい値で光出力が飽和するため、ここで述べた回折損失の差の計算で大方の単一モード条件が推測できると考えられる。



(a) メササイズと回折損失の関係 (b) 基本モードと高次のモードの回折損失差

図 6.3 回折損失の計算値

## 6.4 埋込み VCSEL の作製

### 6.4.1 エピタキシャル成長と埋込み工程

図 6.4 に埋込み VCSEL の工程を示す。(100) InP 基板の上に n 型 InGaAsP/InP DBR 層、1 % 圧縮歪みの多重量子井戸層で構成される MQW 活性層、p 型 InGaAsP/InP DBR 層を MOCVD 法で順次成長した。スペーサ層に InP 層を用いた場合は、活性層とスペーサ層からなる DBR 層間は  $3/2 \lambda$  厚のキャビティになるように、InGaAsP 層を用いた場合は、 $\lambda$  厚のキャビティになるようにした。これは縦方向の光の閉じ込め係数が大きくなるように定在波の腹と活性層の位置を一致させるためである。また InP 系の DBR を両側に挟むことでエタロン構造が形成されるため、InP ウェハの状態で共振器波長がほぼ決定される。さて、 $1.55 \mu\text{m}$  に共振器波長が存在することを確認した後、 $\text{SiO}_2$  のマスクを用いてメタン系ドライエッチングを行いメサを形成する。次に埋込み層である Fe ドーピングされた InP 層と  $n^+$  型 InP 層、後述する  $p^+$  型 InGaAs 層を順次成長する。この  $n^+$  型 InP 層はリーク電流を防ぐための層で、正孔の拡散長よりも厚い高濃度ドーピングされた n 型層を形成する必要がある、ここではキャリア濃度として  $n=3 \times 10^{19} \text{ cm}^{-3}$  を用い、膜厚は  $0.3 \mu\text{m}$  とした。最後にメサ直上の  $\text{SiO}_2$  マスクを取り除いた後、電極層である p 型 InP 層と  $p^+$  型 InGaAs 層をウェハ全面に成長し、埋込み工程を完了する。この電極層の p 型 InP 層は  $5/4 \lambda$  の厚さとなるようにしている。p 型 InP 上の p 型 InGaAs は電極とのコンタクト層であり、 $\text{SiO}_2/\text{TiO}_2$  DBR の形成時には光吸収を防ぐためメサ直上部はエッチングして除去した。一方、下面反射鏡用として (100) GaAs 基板の上に

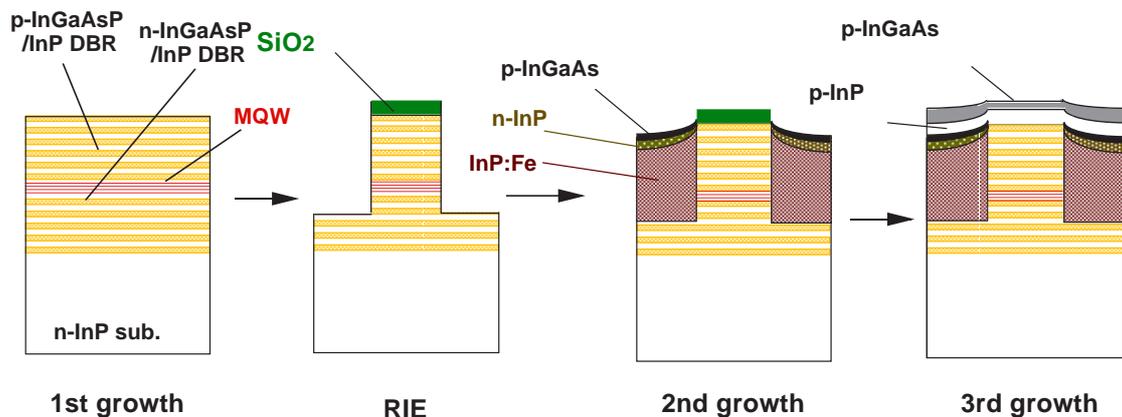


図 6.4 埋込み工程

abrupt 構造の n 型 AlAs/GaAs DBR を、キャリア濃度  $3 \times 10^{19} \text{ cm}^{-3}$  以上、中心波長が  $1.55 \mu\text{m}$ 、接着表面である DBR の最上部層の GaAs 膜を  $3/4$  厚とし、同じく MOCVD 法により成長した。

#### 6.4.2 埋込みパターン

次に埋込み形状について述べる。MOCVD 法において、結晶の成長速度が面方位により異なるため埋込みパターンにより様々な問題が生じる。成長速度が異なると成長速度の速い部分のドーピング量が減少し、その結果リーク電流の増大を招く恐れがある。そこで、まず InP (100) 基板の上に図 6.5 に示すように、円形のパターン (a) と 2 種類の矩形パターン (b, c) のメサの埋込み再成長を行った。矩形パターンは  $\langle 011 \rangle$  と  $\langle 0\bar{1}\bar{1} \rangle$  に対して、平行な辺を持つパターン (b) と、結晶軸をそれから  $45$  度傾けさせたパターン (c) である。図 6.5 はメサの周囲に Fe ドーピングされた InP 層を成長した後の表面写真である。(a) (b) とともに  $\langle 0\bar{1}\bar{1} \rangle$  に沿って成長速度が速い部分があり、結晶が突起している様子が伺える。埋込み成長厚はパターンの無い平坦な面で  $1.4 \mu\text{m}$  厚に対して、突起部分は  $3 \sim 4 \mu\text{m}$  にも達していた。このような突起部分があると電極層である p 型 InP 層と p<sup>+</sup>型 InGaAs 層の成長が困難になり、メサの上部でフラットな面の確保が難しくなる。また成長速度の速い部分でキャリア濃度が減少し、リーク電流の増大や、活性層へのキャリア不均一注入が生じる。一方 (c) のパターンは、 $\langle 0\bar{1}\bar{1} \rangle$  方向の面が露出していないため、全体としてほぼ様な成長速度が得られた。このため本 VCSEL 構造のメサ形状として (c) のパターンを採用することにした。

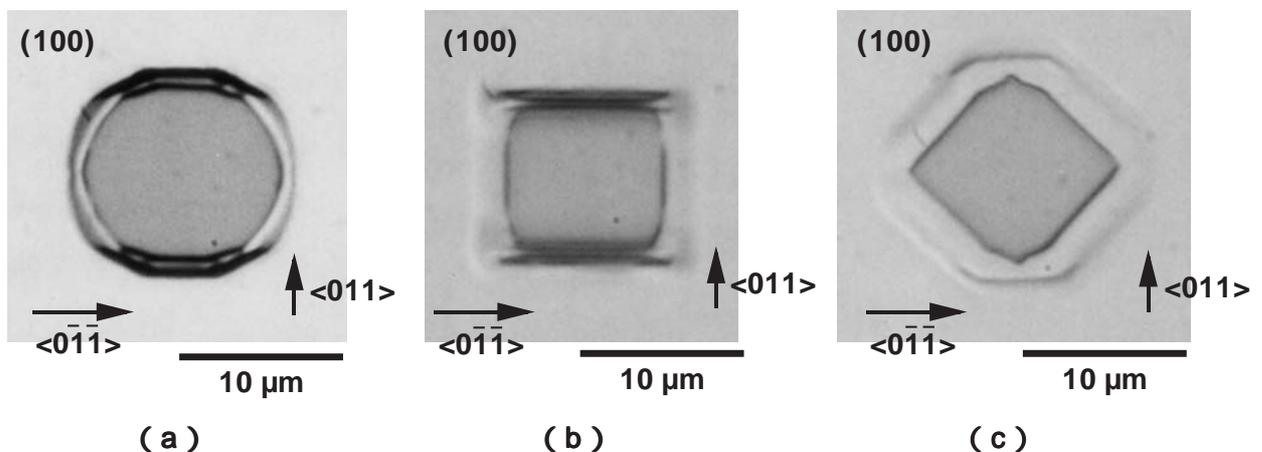


図 6.5 埋込み後の結晶表面

### 6.4.3 p 型 InGaAsP/InP DBR の抵抗

第 4 章の 4.6.4 項において p 型 InGaAsP/InP DBR の電気抵抗について述べたが、p 型 InGaAsP はバンドギャップ波長  $1.4\ \mu\text{m}$  組成を用いていた（以下 1.4 Q と表わす）。ここでは電気抵抗を下げるためには高濃度にドーピングすることが望ましく、その副作用として光の吸収係数が増加してしまい、閾値電流の上昇や光出力の低下を招く原因となっていた。そこで p 型 InGaAsP を  $1.3\ \mu\text{m}$  組成（以下 1.3 Q と表わす）に変えて InP とのバンドギャップ差を小さくし、かつ第 2 章の 2.3.2 項(A)で述べた p 型 GaAs 系 DBR 層の中間層を InP 系 DBR にも導入することを検討した。

まず、DBR の抵抗のキャリア濃度依存性を明らかにするために、p 型 1.3 Q のキャリア濃度は  $4 \times 10^{17}\ \text{cm}^{-3}$ 、InP 層のキャリア濃度を  $4 \times 10^{17}\ \text{cm}^{-3}$ 、 $5 \times 10^{17}\ \text{cm}^{-3}$ 、 $8 \times 10^{17}\ \text{cm}^{-3}$  とした 3 種類の 9.5 ペアの abrupt 構造を MOCVD 法で成長した後、4.4.1 項で述べた作製方法を用いて円形メサのサンプルを作製した。図 6.6 に注入電流密度  $2\ \text{kA/cm}^2$  における電気抵抗のメササイズ依存性、InP 中のキャリア濃度依存性の結果を示す。高濃度ドーピングになるに従い、1 ペア当たりの抵抗は、それぞれ  $6.85 \times 10^{-5}$ 、 $5.98 \times 10^{-5}$ 、 $3.65 \times 10^{-6}\ \text{cm}^2/\text{pair}$  と小さくなった。InP 層に最も高くドーピングした抵抗値  $3.65 \times 10^{-5}\ \text{cm}^2/\text{pair}$  のサンプルは、4.6.4 項で述べた 1.4 Q と InP に  $1 \times 10^{18}\ \text{cm}^{-3}$  ドーピングしたときの値  $4.26 \times 10^{-5}\ \text{cm}^2/\text{pair}$  と比べてドーピング量が少なくなっているにも関わらず低い値を示しており、DBR 層内のバンドギャップの差を小さくした効果が伺える。以上より InP と InGaAsP のバンドギャップ差を小さくすることと、InP 側のキャリア濃度を高くすることが抵抗低減に効果的であることがわかった。

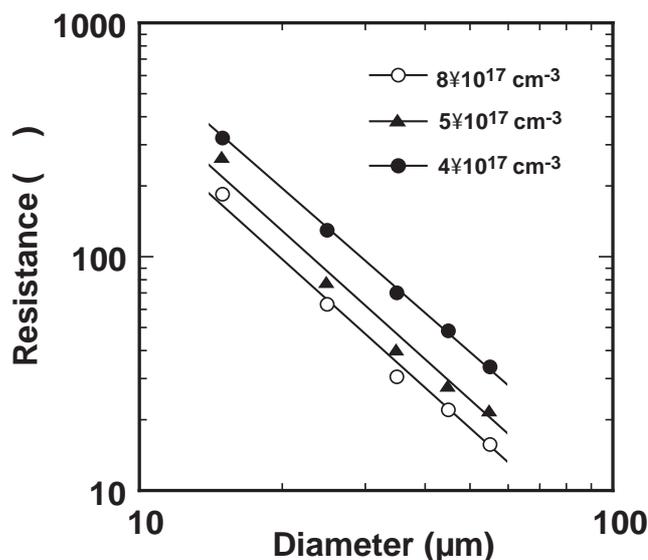


図 6.6 電気抵抗のキャリア濃度依存性

しかしながら、高キャリア濃度は光の吸収係数の増大を招く。P 型 InP の吸収係数  $a$  のドーピング濃度依存性は以下の式で表される<sup>8)</sup>。

$$a = 20 \times \frac{\hat{E}}{E} \frac{p}{10^{18}} \quad (\text{cm}^{-1}) \quad (6.6)$$

よって、この式から  $10 \text{ cm}^{-1}$  以下に各層の吸収係数を抑えようとすると、キャリア濃度は  $5 \times 10^{17} \text{ cm}^{-3}$  以下にする必要があることがわかる。この  $10 \text{ cm}^{-1}$  以下という値は、反射率を 99 % 以上得るために計算上必須となる。そこで、p 型 InP のドーピング量は  $4 \times 10^{17} \text{ cm}^{-3}$  とし、GaAs 系 DBR と同様に、界面にいくつかの中間層を設けることを検討した<sup>9,10)</sup>。中間層 1 つの場合は 1.1 Q 組成の単層、中間層が 3 つの場合は 1.0 Q、1.1 Q、1.2 Q 組成

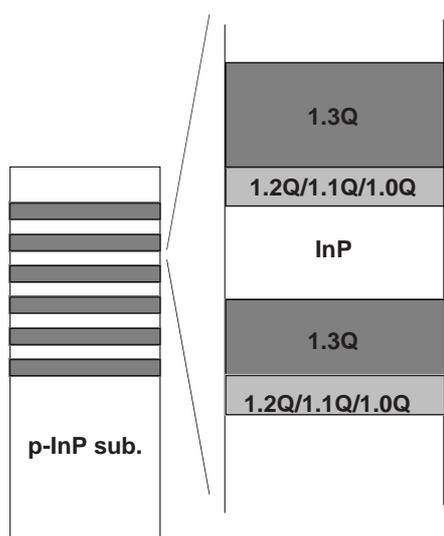


図 6.7 中間層付き p 型 DBR の構造図

を用い、中間的なバンドギャップを持つ層を用いた。全ての中間層には  $1 \times 10^{18} \text{ cm}^{-3}$  以上のキャリア濃度をドーピングし、図 6.7 に示すように成長層の上部から見て 1.3 Q 層から InP 層へ遷移する部分に中間層を挿入し、InP から 1.3 Q 層へ遷移する部分には挿入しないことにした。この理由は InP から 1.3 Q 層へ遷移する部分が、光の電界分布において定在波の腹にあたるため、DBR 全体として光の吸収係数が増大するのを防ぐためである。実験は中間層の数 1、3、5、15 と 4 種類作製し、1 挿入あたりの中間層の全層厚は定在波の揺らぎを少なくするため 200  $\text{\AA}$  を越えないようにした。このため中間層

の数 3、5、15 の場合の各層厚は、それぞれ 67、40、14  $\text{\AA}$  としている。図 6.8 に抵抗値のメササイズ依存性の測定結果を示す。中間層の数の増大と共に抵抗が減少することが予想されたが、3 層以上では逆に抵抗が増大する傾向が見られた。このことは 1 層あたりの中間層の厚さが 40  $\text{\AA}$  以下ではバンドオフセットによる障壁の低減に寄与しないことを意味している。中間層が 3 層での抵抗の値は  $1.86 \times 10^{-6} \text{ cm}^2/\text{pair}$  となり、InP 層に高濃度にドーピングした場合の抵抗よりも低い値が得られた。

以上の結果をもとにして、p 型 DBR の構造として中間層を 3 層とし、1.3 Q と InP のドーピング量は  $4 \times 10^{17} \text{ cm}^{-3}$  を採用することにした。

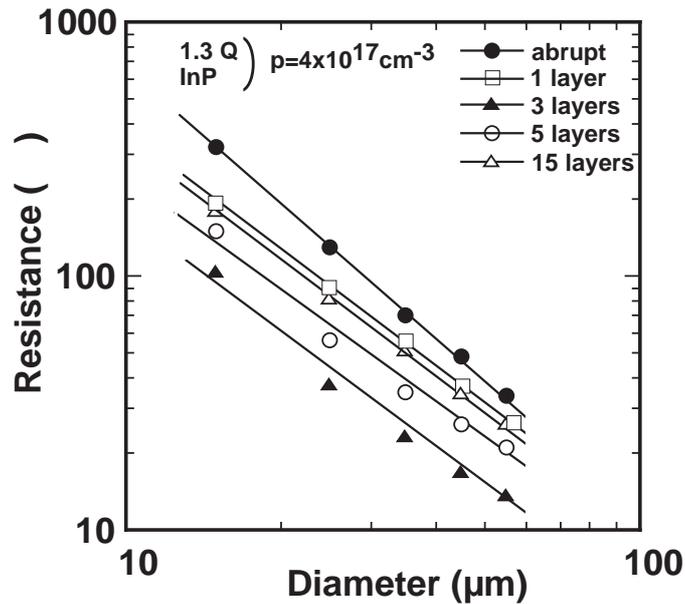


図 6.8 メササイズに対する中間層の層数依存性

#### 6.4.4 横方向の抵抗

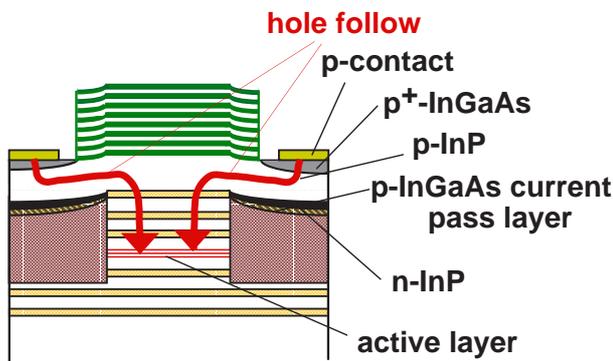


図 6.9 活性層に注入される正孔の流れ

本埋込み VCSEL 構造において、正孔は図 6.9 で示すようにコンタクト層である p<sup>+</sup>型 InGaAs 層、p 型 InP 層、p 型 DBR 層を經由して活性層へ注入される構造となっている。この場合 p 型 InP 層の横方向の抵抗が高いと、素子抵抗が上昇する可能性がある。一般に、この p 型 InP 層を高濃度ドーピングす

れば抵抗の問題は解決するが、この層は光のパスでもあるため光の吸収を考慮すると、高濃度ドーピングすることは出来ない。また、層を厚くする方法も考えられるが、メサの周辺に突起部分が生じるため、埋込み層を厚くすると図 6.10 に示すようにメサ上部の平らな面が確保出来なくなり、共振器構造が形成されなくなる。そこで、p 型 InP 層の下に高濃度 ( $1 \times 10^{19} \text{ cm}^{-3}$  以上) でドーピングされた 1500 の p<sup>+</sup>型 InGaAs 層を導入することを検討した。この p 型 InGaAs 層はシート抵抗が  $p=4 \times 10^{17} \text{ cm}^{-3}$  にドーピングされた p 型 InP 層の 1/4 以下の値で、このため電気的には 6000 以上の p 型 InP 層を成長したことに相当する。図 6.11 に InP 基板上に作製した断面 SEM 写真と、図 6.12

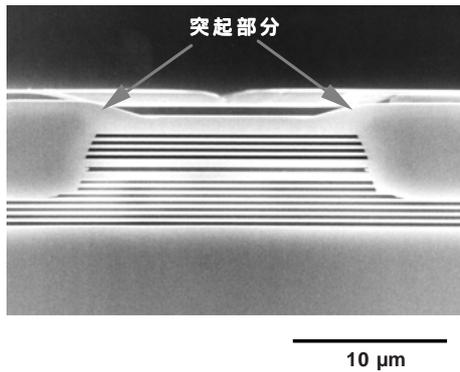


図 6.10 埋込み層が厚い場合の再成長後の断面 SEM 写真

に p 型 InGaAs 層を導入した場合と、導入しない場合の素子の電気抵抗を示す。メササイズに寄らず、導入しない場合の抵抗は 400 以上高く、またメササイズと抵抗の関係において、線形性が保たれていないことがわかる。一方、p<sup>+</sup>型 InGaAs 層を導入した場合は線形性が保たれ、横方向の抵抗が減少していることが明らかになった。以上より、埋込み層の厚さを増やさずに横方向の抵抗を下げるには、p<sup>+</sup>型

InGaAs 層の導入が効果的であることがわかった。

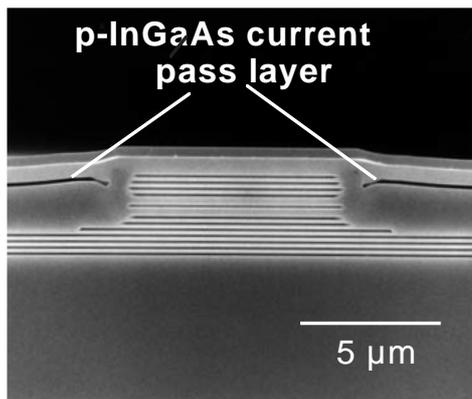


図 6.11 p<sup>+</sup>型 InGaAs 層の断面 SEM 写真

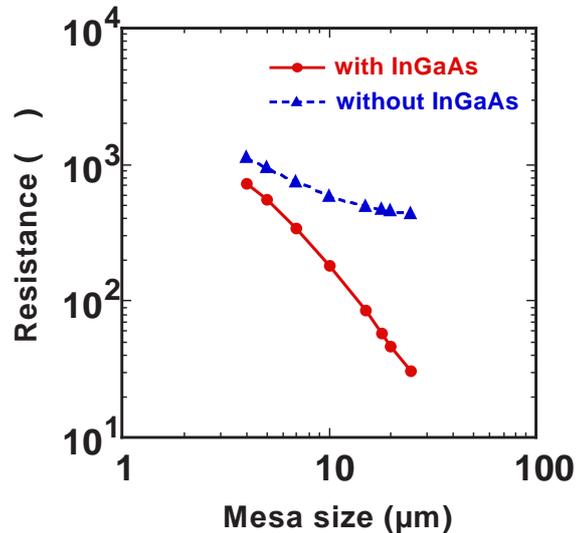


図 6.12 BH 構造の素子抵抗のメササイズ依存性

#### 6.4.5 薄膜化 wafer fusion 法による VCSEL 作製

次に VCSEL の作製工程について述べる。第 5 章で述べた薄膜化 wafer fusion 法を用いて InP と GaAs 層の直接接着を行って VCSEL 構造を形成する。図 6.13 に埋込み成長後の作製工程を示す。InP 基板上に垂直共振器構造を作製し埋込み工程を行った後、5.3 節で述べたように成長層の表面を仮基板である Si にワックスで固定する。InP 基板を完全にウェットエッチングで取り除き、n 型 InP/InGaAsP DBR を構成している基板側の n 型 InGaAsP 層を露出させる。この InGaAsP 層はエッチングストップ層の役割を果

たす。次にこのエッチングストップ層を硫酸系エッチャントで取り除き、表面を親水性にした後、予め用意しておいた GaAs 系 DBR 層と室温で重ね合わせる。次にワックスを除去して Si 基板を取り除く。その後荷重をかけて水素雰囲気中で約 600 30 分間アニールし、GaAs と InP の共有結合を完成させる。最後に、上面に  $\text{TiO}_2/\text{SiO}_2$  の誘電体多層膜構造を蒸着した後、上下の電極を形成し、GaAs 基板の裏面の出射面に AR コーティングを施す。作製された構造の断面 SEM 写真を図 6.14 に示す。InP 埋込み層が GaAs 基板上に良好に接着されていることがわかる。

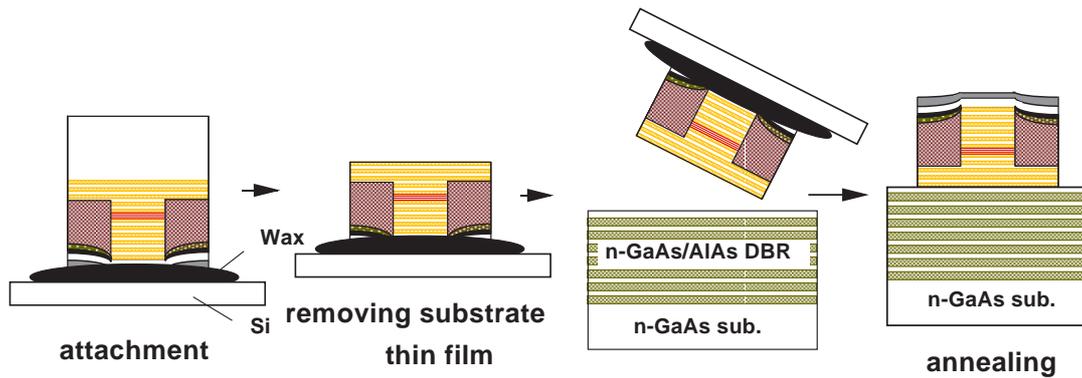


図 6.13 プロセス工程

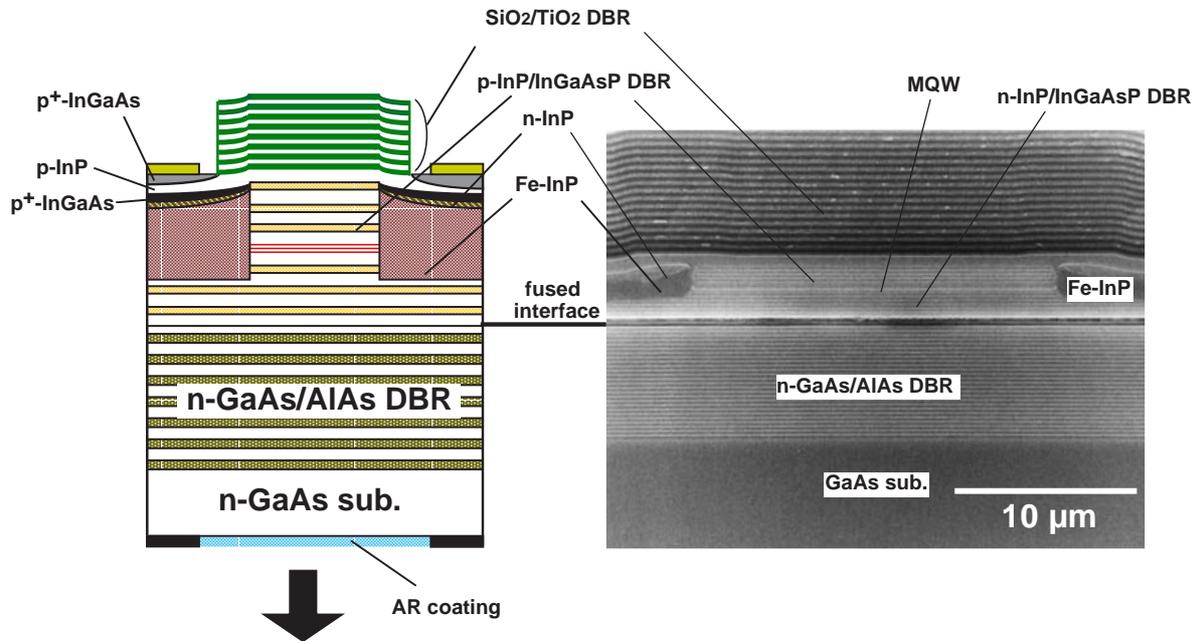


図 6.14 1.55 μm 帯埋込み VCSEL の断面 SEM 像

## 6.5 1.55 μm帯埋込み VCSEL の特性

### 6.5.1 作製サンプル

まず、第4章で述べた埋込み構造を導入していない VCSEL の特性と比較するため、p型DBRのInGaAsPの組成として1.4Qで構成される abrupt 構造のp型InGaAsP/InP DBR (1.4Q、InPのキャリア濃度はともに  $p=1 \times 10^{18} \text{ cm}^{-3}$ )を用いた埋込み構造のVCSELを作製した。DBRのペア数は、n型InGaAsP/InP DBRが5.5ペア、p型InGaAsP/InP DBRが5ペア、GaAs/AlAs DBRが27ペアで、SiO<sub>2</sub>/TiO<sub>2</sub> DBRのペア数が12ペアである。n型InGaAsP/InP DBRは熱抵抗の低減のため、第4章のVCSELよりペア数を減らすことにした。活性層は1%圧縮歪みを有するMQW構造で、スペーサ層の組成として1.2Qを用いた。これをサンプルAと呼ぶことにする。

次に6.4.3項で検討した光吸収係数の低減を考慮し、p型DBRのInGaAsPの組成として1.3Q、InPと1.3Qの間に3つの中間層を有するp型InGaAsP/InP DBR(1.3Q、InPのキャリア濃度は、ともに  $p=4 \times 10^{17} \text{ cm}^{-3}$ )を採用した埋込み構造のVCSELを作製した。DBRのペア数は、n型InGaAsP/InP DBRが5.5ペア、p型InGaAsP/InP DBRが5ペア、GaAs/AlAs DBRが25ペアで、SiO<sub>2</sub>/TiO<sub>2</sub> DBRのペア数が16ペアである。活性層は1%圧縮歪みを有するMQW構造で、キャリアのオーバーフローの抑制のためスペーサ層の組成としてInPを用いた。これをサンプルBと呼ぶことにする。

最後に高出力化を考え、サンプルBと同様の構成でGaAs/AlAs DBRのペア数を24ペアとしたサンプルCも作製した。これらのサンプル構造を表6.1にまとめる。

表 6.1 埋込み VCSEL に用いたサンプルの構造

	活性層構造	SCH層	p型DBR構造	n型DBR構造	GaAs/AlAs DBRのペア数
サンプルA	1%圧縮歪みMQW	1.2Q	1.4Q/InP abrupt	1.4Q/InP abrupt	27
サンプルB	1%圧縮歪みMQW	InP	1.3Q / 3 中間層/InP	1.3Q/InP abrupt	25
サンプルC	1%圧縮歪みMQW	InP	1.3Q / 3 中間層/InP	1.3Q/InP abrupt	24

### 6.5.2 電流 - 電圧、及び電流 - 光出力特性

まず、サンプルAの電流 - 光出力特性を図6.15に示す。光出力は下面側からの出射光のみを測定している。素子サイズは5 μm角で、25 のCW動作における閾値電

流は 2.1 mA で閾値電圧は 2.1 V であった。最大光出力は 20  $\mu\text{W}$  で約  $2 \mu\text{W}$  が得られた。閾値電流時における微分抵抗は 413  $\Omega$ 、出射側の外部微分量子効率 は 0.05 % である。この素子の最大連続発振温度は 35  $^{\circ}\text{C}$  であった。閾値電流密度は  $8.4 \text{ kA/cm}^2$  となり、かなり高い値となったが、これは埋込み形状が不完全で突起部分が幾分生じ、回折損失が増大したためと考えられる。これは発振波長が 1535 nm であり、薄膜化 wafer fusion 前の共振器波長に比べて 15 nm 程度短くなっていることから推測される。

さて、第 4 章の埋込みを行わない素子の特性と比較すると、埋込み構造の導入によりメサの微細径化が可能となり、最大発振温度は 27  $^{\circ}\text{C}$  から 35  $^{\circ}\text{C}$  と 8  $^{\circ}\text{C}$  の上昇が得られた。また、光出力密度 (最大光出力 / 発光面積) も約 4.2 倍となり、これは n 型 InGaAsP/InP DBR のペア数の減少と、埋込み構造による低熱抵抗化の効果の表われと考えられる。尚、本サンプルでは閾値電流密度が高いため  $5 \mu\text{m}$  角以上の素子では室温連続発振は得られなかった。

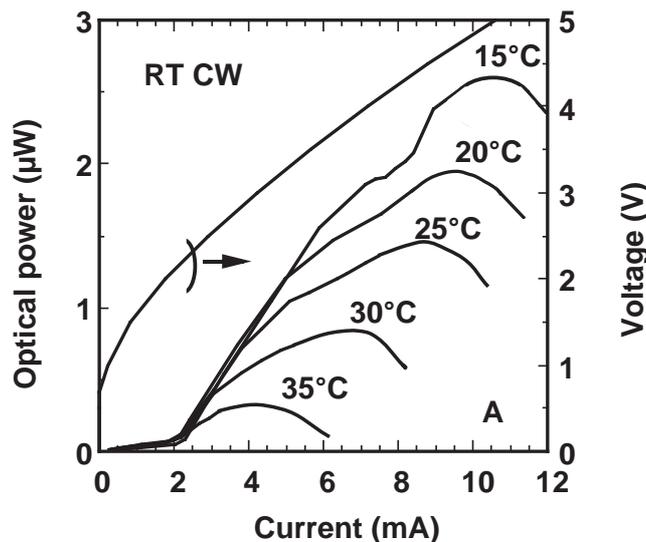


図 6.15 サンプル A の電流 - 電圧、及び電流 - 光出力特性

次に図 6.16 にサンプル B の 25  $^{\circ}\text{C}$  での  $7 \mu\text{m}$  角と  $10 \mu\text{m}$  角の電流 - 光出力特性を示す。それぞれの閾値電流は 0.69 mA と 1.46 mA である。このときの閾値電圧はともに 1.5 V であり長波長帯 VCSEL で報告されている値の中では比較的小さい値が得られた。接着界面と pn 接合の電圧降下が約 0.9 V のため、0.6 V 程度の閾値電圧の上昇があることになる。この原因である主な抵抗成分は p 型 InGaAsP/InP DBR によるものであるが、中間層と InGaAsP の組成を変えた効果によりサンプル A に比べ、閾値電圧で大幅な減少が見られた。最大光出力は  $7 \mu\text{m}$  角の素子で約 0.1 mW、 $10 \mu\text{m}$  角の素子で約 0.13

mW となり、大幅な出力の増加となった。これは p 型 InGaAsP/InP DBR の低抵抗化と低光吸収化が両立したため達成されたものと考えられる。尚、光出力の密度はサンプル A に比べて、約 25.5 倍と桁違いに大きくなっている。

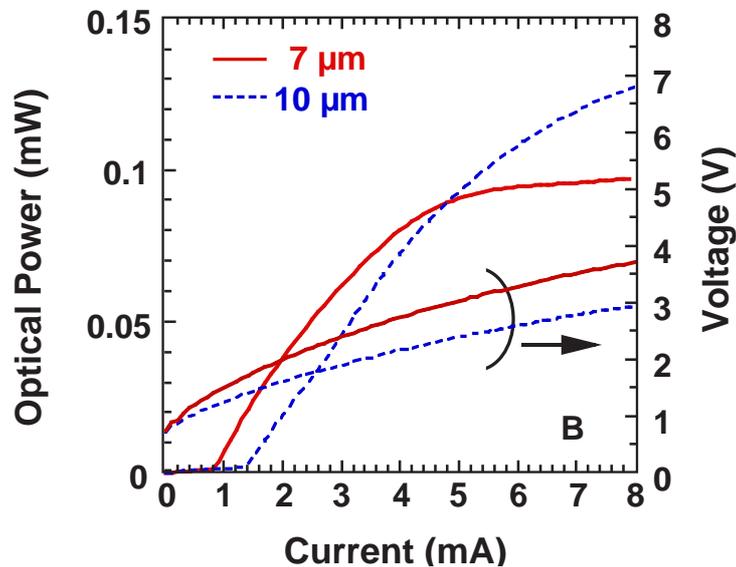


図 6.16 サンプル B の電流 - 電圧、及び電流 - 光出力特性

最後に図 6.17 にサンプル C の電流 - 光出力特性を示す。10 μm 角の素子 (a) では閾値電流は 1.63 mA、最大出力は 0.16 mW であった。一方 5 μm 角の素子 (b) においては、閾値電流は 0.38 mA となり、1.55 μm もしくは 1.3 μm の長波長帯 VCSEL で報告されているものの中で最小の値となった。これは埋込み構造の導入により光と電流の閉じ込めが同時に効率よく達成されたためと考えられる。

さて、これらの結果から第 4 章 4.9 節と同様、内部損失について考えてみる。サンプル C において、上面 SiO<sub>2</sub>/TiO<sub>2</sub> ミラー側からの光出力と下面 GaAs 基板側からの光出力の比をとることにより上下の反射率と内部損失は、式 (2.6) を用いると、上側の反射率 R<sub>i</sub>、下側の反射率 R<sub>b</sub> と内部損失 a<sub>i</sub> は、それぞれ 0.9985、0.9964、46.8 cm<sup>-1</sup> と見積もられた。上部の反射率より、半導体 DBR の媒質に一樣な吸収があると仮定すると、p 型 InP 及び 1.3 Q の吸収係数は 7 cm<sup>-1</sup> ずつとなり、式 (6.6) において p 型 InP 層のキャリア濃度から予想される 8 cm<sup>-1</sup> とほぼ一致し、計算の妥当性が証明できたと考えられる。またこの内部損失の値は、同様にして求めた中間層のないサンプル A の内部損失 68.6 cm<sup>-1</sup> と比較すると大きく減少しており、p 型 DBR 層の吸収が共振器内の損失にも大きく影響していることがわかる。

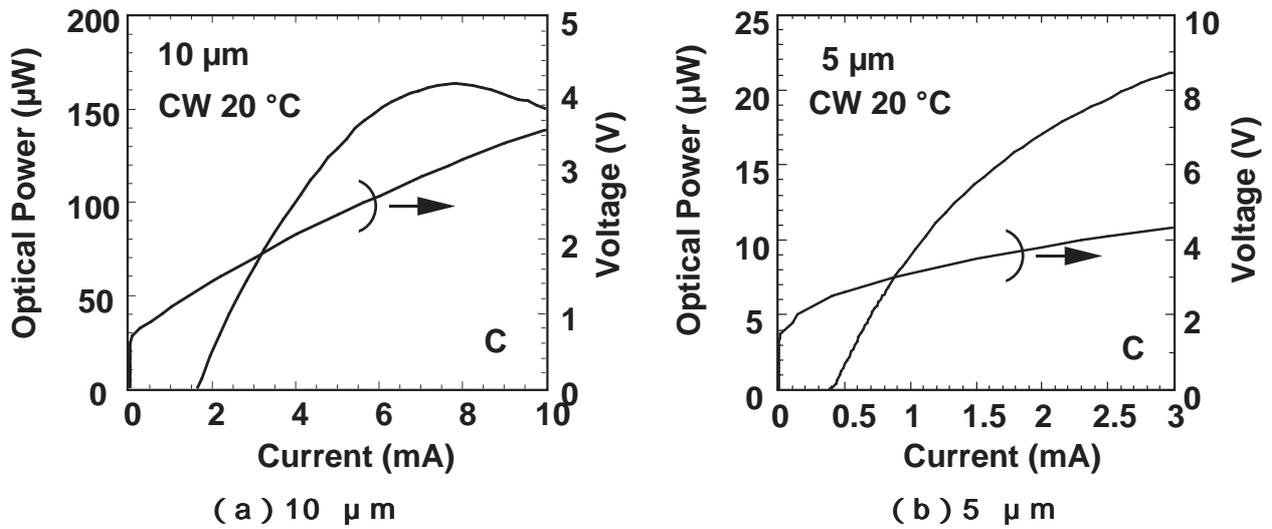


図 6.17 サンプルCの電流 - 電圧、及び電流 - 光出力特性

図 6.18 に閾値電流と閾値電流密度のメササイズ依存性を示す。一般に用いられている VCSEL の電流狭窄方法であるメサ（エアポスト）型や選択酸化型では、メササイズが  $10\ \mu\text{m}$  近傍から、大きく閾値電流密度が増大する<sup>15,16</sup>。これはこのサイズあたりから回折損失が大きく増大するため、更に選択酸化型の場合は電流狭窄も不完全なため、発光に寄与しない無効電流の割合が増すためである。一方埋込み型は、回折損失が小さく、かつ電流閉じ込めは、ほぼ完全であるため、閾値電流密度のメササイズ依存性が小さくなる。図 6.18 (a) に示したようにサンプル B では、メササイズに依ら

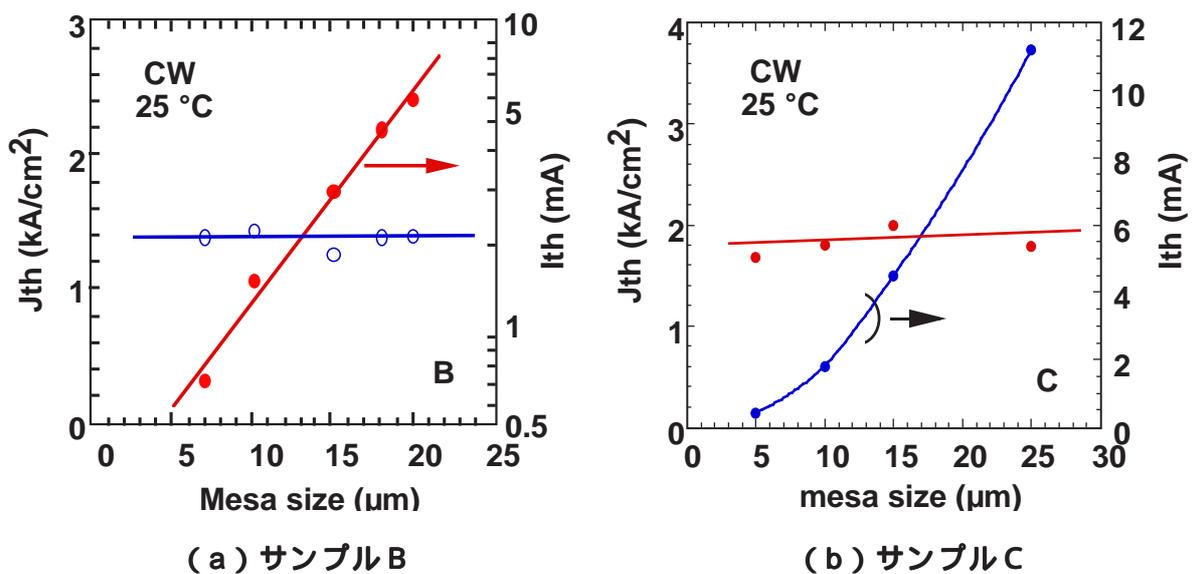
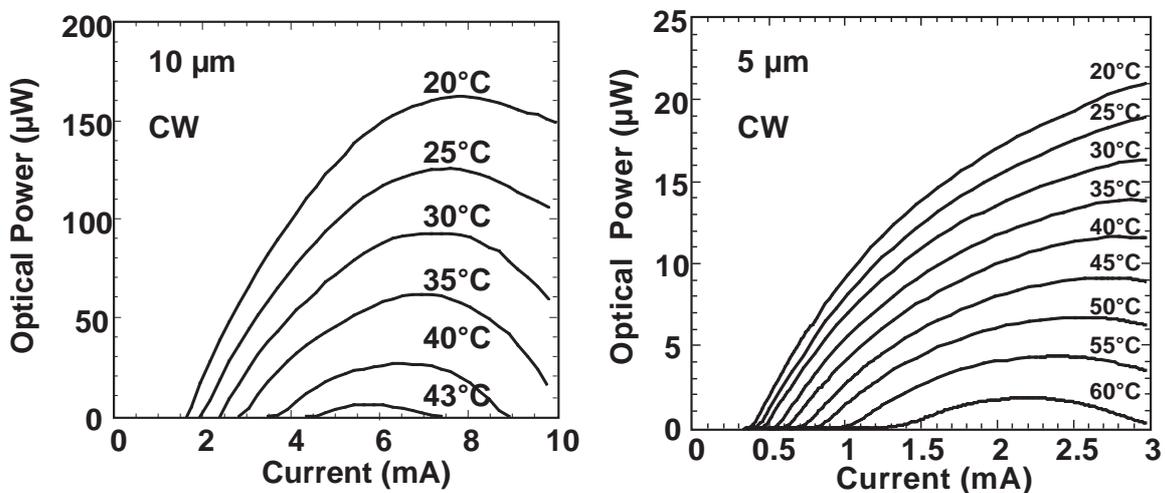


図 6.18 閾値電流と閾値電流密度のメササイズ依存性

閾値電流密度は一定となり、メササイズの減少に伴い閾値電流は線形性を保ちながら減少している。このことから、無効電流と回折損失の非常に小さい VCSEL 構造が作製できていることがわかる。また図 6.18 (b) に示すようにサンプル C についても同様に、閾値電流密度がメササイズに依らず一定の結果が得られ、このためメササイズの減少とともに閾値電流が減少し、最小閾値電流が達成されたと考えられる。

### 6.5.3 温度特性

サンプル A では最高連続発振温度は 35 度であったが、ここでは、サンプル B と C の温度特性について述べる。まず、図 6.19 にサンプル C における 10 μm (a) と 5 μm (b) の電流 - 光出力の温度依存性を示す。10 μm の素子は 43 度までであったが、5 μm 素子では 60 度まで連続発振を達成した。5 μm の素子の方が最高発振温度が高いのは、メササイズが小さいことによる注入電力の減少によるものである。またサンプル A の 35 度 に比べて高温動作が可能となった原因は、n 型 InGaAsP/InP DBR のペア数の減少や、埋込み構造の導入による熱抵抗の減少が要因として考えられる。



(a) 10 μm 角素子

(b) 5 μm 角素子

図 6.19 サンプル C の電流 - 光出力特性の温度依存性

5 μm の素子の閾値電流と出射側の外部微分量子効率の温度依存性をまとめたグラフを図 6.20 に示す。温度 50 度まで 1 mA 以下の閾値電流が達成されている。外部微分量子効率は温度とともに減少するが、これは温度上昇に伴うキャリアのオーバーフローや、価電子帯間吸収の増加等が考えられる。

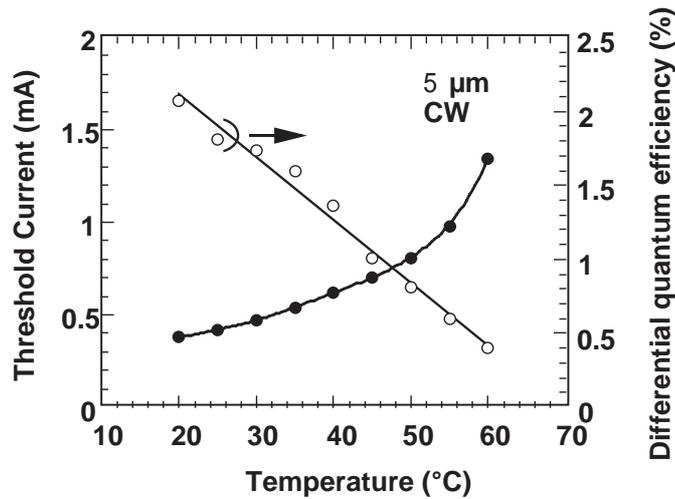


図 6.20 5  $\mu\text{m}$  角素子の閾値電流と外部微分量子効率の温度依存性

一方、サンプル B の 7  $\mu\text{m}$  素子においては、図 6.21 に示すように 75  $^{\circ}\text{C}$  までの連続発振動作が確認された。サンプル C よりも高温で連続発振した理由は、第 2 章 2.5.2 項の GaAs 系 VCSEL で述べた Gain-offset の効果である。サンプル B の活性層の PL ピーク波長は 1.528  $\mu\text{m}$  で共振波長は 1.542  $\mu\text{m}$  のため、Gain-offset 量は -14 nm となっている。一方、サンプル C は、活性層の PL のピーク波長は 1.542  $\mu\text{m}$ 、共振波長は 1.551  $\mu\text{m}$  となっており、Gain-offset 量は -9 nm とサンプル B に比べて少ない。サンプル B の閾値電流と外部微分量子効率を図 6.22 にまとめると、外部微分量子効率は温度とともに減少するが、閾値電流は 20  $^{\circ}\text{C}$  の室温近傍で最小値をとることがわかる。室温近

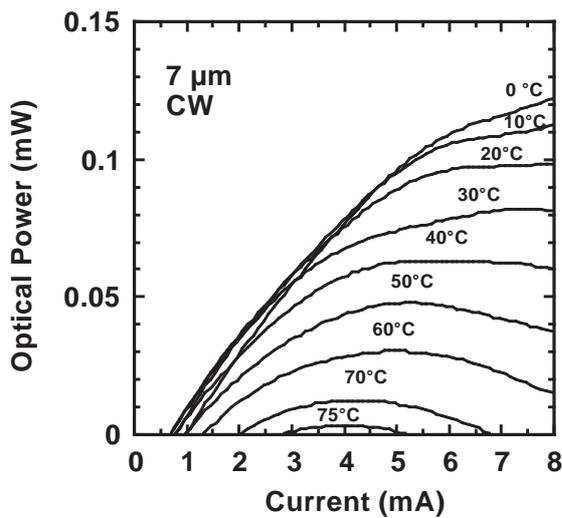


図 6.21 サンプル B の電流 - 光出力の温度依存性

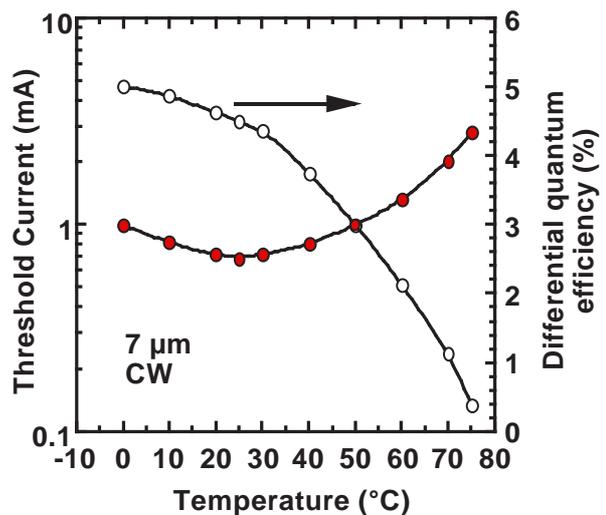


図 6.22 閾値電流と外部微分量子効率の温度依存性

傍で閾値電流が最小となる最適な Gain-offset 量は、素子の大きさ、閾値電流、素子抵抗、熱抵抗と密接な関係があるため素子のサイズごとに異なる。このため VCSEL ウェハを作製する際、1枚のウェハでいかなるサイズでも当てはまる最適な Gain-offset 量を設定することは困難である。しかしながら、以上の結果から後に述べる単一横モード条件を満足するメササイズ付近では、-14 nm という値が目安になることがわかった。

#### 6.5.4 熱抵抗

VCSEL の電流 - 光出力特性の温度依存性は、素子の熱抵抗により大幅に左右される。特に InP 系活性層を用いた場合、材料そのものの特性温度が小さいことから、その影響は GaAs 系 VCSEL に比べて顕著となることが予想される。熱抵抗が高い素子は、CW 動作時に活性層の温度上昇が大きく、このためキャリアのオーバーフローが顕著になり、ひいては利得の減少が生じ、内部微分量子効率の低下から光出力の減少、閾値電流の増加といったレーザ特性を劣化させる方向に導く。一般に VCSEL の熱抵抗は第3章 3.4.2 項で触れたように、素子の発振波長の変動から評価できる。パルス動作で素子の温度を変えて波長を測定し、次に CW 動作させて活性層の温度上昇を見積もる。そこで、発振波長の温度変化を測定すると、サンプル B と C のいずれの素子も波長の温度依存性は線形性をもっており、約 0.1 nm/K の割合で長波長側にシフトした。この結果をもとにして、注入電力と温度上昇の関係を求めたのが図 6.23 である。素子に注入した電力と活性層の温度上昇の関係から熱抵抗は、サンプル C の 5  $\mu\text{m}$  と 10  $\mu\text{m}$

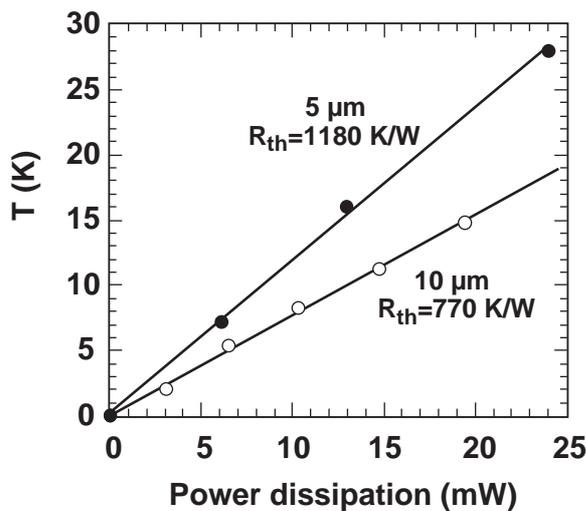
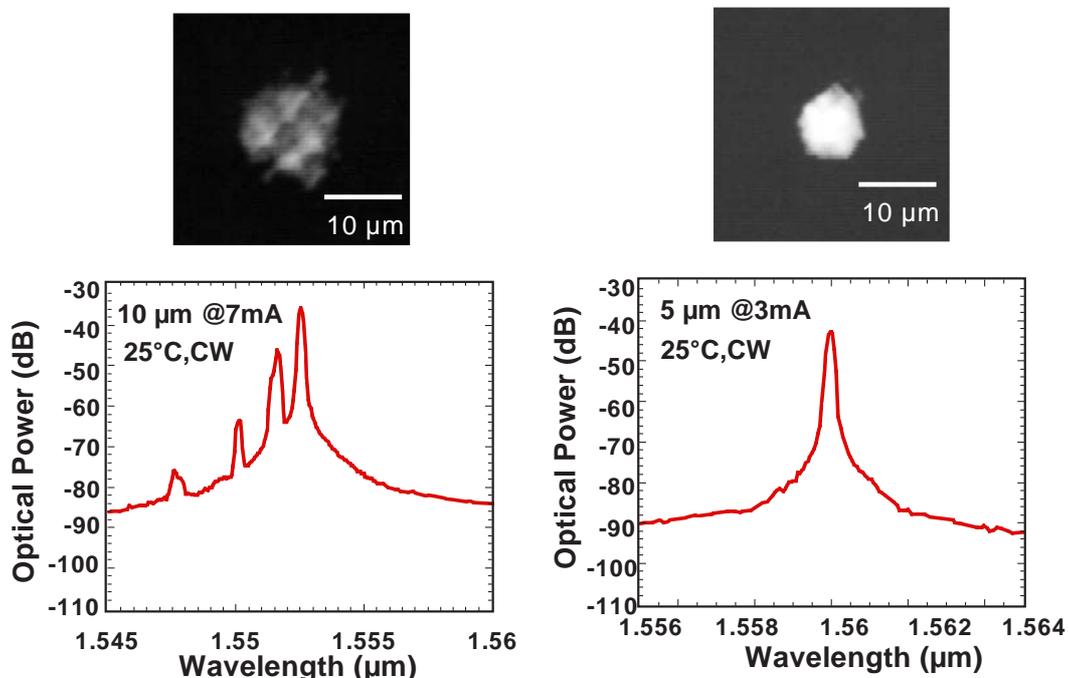


図 6.23 サンプル C の熱抵

抗は、それぞれ 1180 K/W、770 K/W となった。これは 3.4.2 項で述べたように 0.85  $\mu\text{m}$  帯 VCSEL とほぼ同等であり<sup>11)</sup>、1.55  $\mu\text{m}$  帯 VCSEL で報告されている値で最小である<sup>12)</sup>。これにより GaAs 系 DBR と InP 埋込み層の組み合わせが熱抵抗の低減に大きく寄与しており、CW 動作での閾値電流の減少や高出力化が可能になった主たる要因となっている。

### 6.5.5 横モード特性

埋込み構造における横モード制御の評価について述べる。一般に横モードは近視野像 (Near field Pattern : NFP) もしくは遠視野像 (Far field Pattern : FFP) を観察して議論するが、VCSEL の場合は発振スペクトルの観察が最も精度が良い。高次のモードが現れるに従いモードごとに伝搬定数が異なるため、基本モードよりも短波側に、その次数と同じ本数のスペクトルが観測されるからである。そこでサンプル C の発振スペクトルと NFP を  $10\ \mu\text{m}$  角と  $5\ \mu\text{m}$  角の素子について測定した結果を図 6.24 に示す。動作電流は各々の素子で最高出力を示す電流値である。 $10\ \mu\text{m}$  角の素子では、レーザ発振直後から 4 本の発振スペクトルが観測され、NFP からもしっかりとした多モード発振の様子が伺え、発光パターンとスペクトルピークの本数の両面から  $\text{TEM}_{11}$  が主な発振モードであると確認された。一方、 $5\ \mu\text{m}$  角の素子では、NFP では単峰性の強度分布を示し、発振スペクトルも 1 本で SMSR (Side Mode Suppression Ratio) は 40 dB 以上であり、単一モード動作が達成されていることがわかる。また、この  $5\ \mu\text{m}$  の素子はレーザ発振直後から最高出力を示す動作電流まで、モードパターンに変化はなく安定であった。このように、高注入時にもモードが安定であることから、埋込み構造が横モードの制御に関して優れていることが実証された。



(a)  $10\ \mu\text{m}$  角素子 (7 mA)      (b)  $5\ \mu\text{m}$  角素子 (3 mA)

図 6.24 サンプル C における NFP と発振スペクトル

最後に、単一横モード条件を満たす最大のメササイズを調べるため、サンプル B における  $10\ \mu\text{m}$  角と  $7\ \mu\text{m}$  角の発振スペクトルを測定した。その結果を図 6.25 に示す。また VCSEL ウェハの結晶方位で、 $\langle 0\ 1\ 1 \rangle$  方向に水平な FFP を図 6.26 に示す。 $10\ \mu\text{m}$  角の素子ではサンプル C と同様に多モード発振している様子が伺われ、それに伴い双峰性の FFP のパターンが観測されている。二次元像で観察すると FFP は全部で 4 本のピークがみられた。一方、 $7\ \mu\text{m}$  角の素子では発振スペクトルは 1 本であり、FFP のパターンも単峰性となり単一モード発振していることがわかる。また FFP は水平、垂直ともほぼ対称性を示し、最大出力時の半値全幅は 13 度であった。

このように  $10\ \mu\text{m}$  角ではマルチモードで、 $7\ \mu\text{m}$  角ではシングルモードという結果は、 $10\ \mu\text{m}$  程度以下から基本モードと高次モードの回折損失差が大きくなるという 6.3 節のモデルによる計算結果とほぼ一致している。また、単一横モード条件を満たすメササイズの  $7\ \mu\text{m}$  という値は、選択酸化狭窄構造の VCSEL で言われている  $3\sim 5\ \mu\text{m}$  程度に比べ大きな値となっている。よって、埋込み構造では大きな発光面積で基本モードと高次モードの回折損失差が大きくとれ、単一横モードを維持したまま高光出力化するのに適した構造であることが実証された。

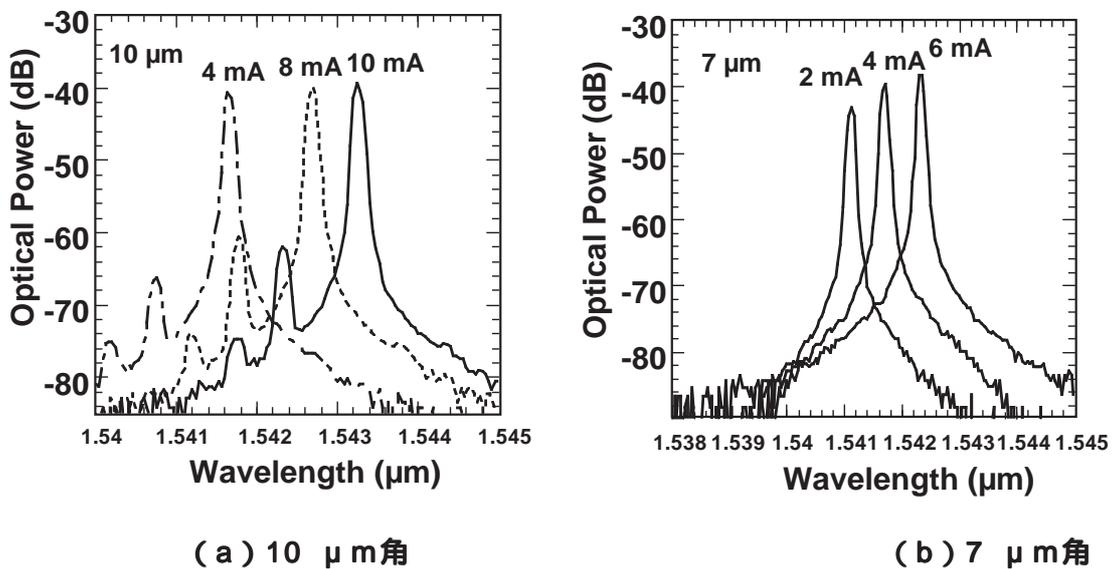
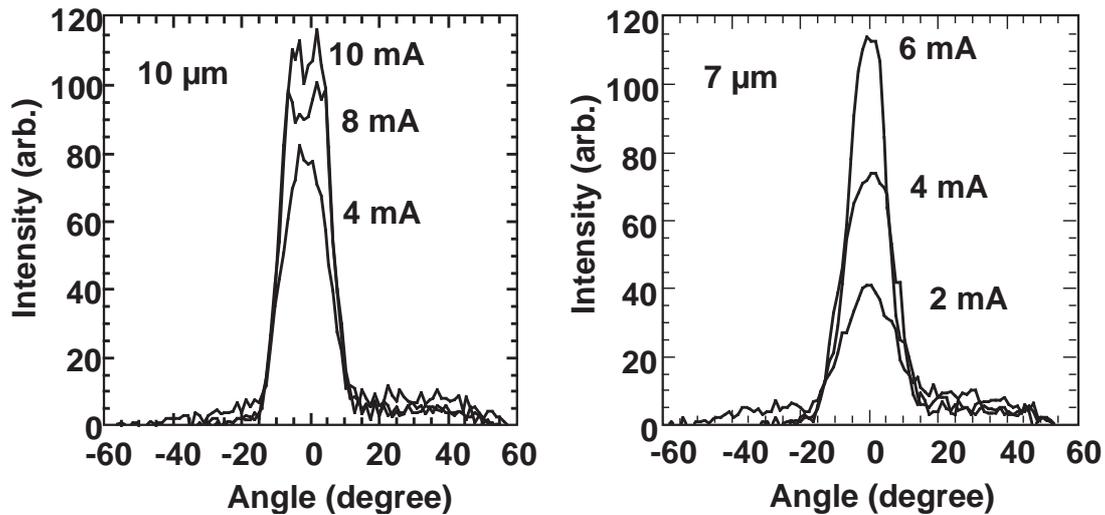


図 6.25 サンプル B における発振スペクトル



(a) 10 μm角

(b) 7 μm角

図 6.26 サンプルBにおける FFP

## 6.6 まとめ

薄膜化 Wafer fusion 法を用いた 1.55 μm 帯埋込み VCSEL について検討を行った。以下、本章で得られた結果についてまとめる。

- (1) 埋込み構造により、単一横モードになるメササイズについてモデルを立てて計算を行い、10 μm 近傍で単一性が確保できる見通しをたてた。そして、p 型 DBR の抵抗、横方向の低抵抗化の検討を行った。
- (2) 埋込み構造を導入することにより、閾値電流密度のメササイズ依存性を小さくすることが可能であることを示し、5 μm 角の VCSEL において長波長帯において世界最小の閾値電流 0.38 mA の室温連続発振が得られた。
- (3) 7 μm のメササイズで、0.1 mW の最大出力時まで横モードが単一であることを確認した。更に、-14 nm の Gain-offset を導入した素子では、室温付近で閾値電流が最小であることを示し、最高連続発振温度 75 °C を達成した。

以上より、1.55 μm 帯埋込み VCSEL が、光出力、温度特性、横モード制御の全ての点において優れた特性を同時に満足できることを実証したことにより、InP 系の埋込み構造と GaAs/AlAs DBR を組み合わせた構造が 1.55 μm 帯 VCSEL の構造に有望であることを明らかにした。

## 【第6章 参考文献】

- 1) Y. A. Wu, C. J. Chang-Hasnain, and R. Nabiev, *Electron. Lett.*, 29, 1861 (1993)
- 2) B. -S. Yoo, H. Y. Chu, M. S. Park, H. -H. Park, and E. -H. Lee, *Electron. Lett.*, 32, 116 (1996)
- 3) C. J. Chang-Hasnain, Y. A. Wu, G. S. Li, G. Hasnain, K. D. Choquete, C. Caneau, and L. T. Florez, *Appl. Phys. Lett.*, 63, 1307 (1993)
- 4) S. Rapp, F. Salomonsson, K. Sterubel, S. Mogg, F. Wennekes, J. Bentell, and M. Hammar, *Proc. 10th Int. IPRM (Indium Phosphide and Related Materials)*, Tup-59, 303 (1998)
- 5) M. Shimizu, F. Koyama, and K. Iga, *Trans. IEICE.*, E72, 1050 (1989)
- 6) B. -S. Yoo, H. Y. Chu, H. -H. Park, H. G. Lee, and J. Lee, *IEEE J. Quantum Electron.*, 33, 1794 (1997)
- 7) A. G. Fox, and T. Li, *Bell Syst. Tech. Journal*, 40, 453 (1961)
- 8) H. C. Casey Jr, and P. L. Carter, *Appl. Phys. Lett.*, 44, 82 (1984)
- 9) G. Reiner, E. Zeep, B. Moller, M. Ries, and K. J. Ebling, *IEEE Photon. Technol. Lett.*, 7, 730 (1995)
- 10) M. G. Peter, B. J. Thibeault, D. B. Young, A. C. Gossard, and L. A. Coldren, *J. Vac. Sci. Technol. B*, 12, 3075 (1994)
- 11) Y. C. Lee, S. E. Swirhun, W. S. Fu, T. A. Keyser, J. Jewell, and W. E. Quinn, *Proc. 45th ECTC (Electronic Components & Technology Conference)*, 387 (1995)
- 12) M. Ortsiefer, R. Shau, G. Bohm, M. Zigl drum, J. Roskopf, F. Kohler, and M. -C. Amann, *IEEE Photon. Technol. Lett.*, 12, 1435 (2000)

## 第7章 結論

本論文は光通信用 VCSEL の高性能化に関する研究について述べたものである。第2章と第3章では  $0.85\ \mu\text{m}$  帯 VCSEL について取り上げ、デバイス特性の高性能化の手法について提案し検証を行った。また第4章から第6章で光ファイバの最低伝送損失波長である  $1.55\ \mu\text{m}$  帯 VCSEL をとりあげ、室温連続動作を目標とし、VCSEL 構造や作製方法の提案を行い実際に素子を作製し高温動作を達成した。以下に本論文で得られた成果を要約する。

- (1) 上面型  $0.85\ \mu\text{m}$  帯 VCSEL において、n 型、p 型 DBR の低抵抗化と低光吸収化の両立について検討を行い、ポリイミド埋込み構造の上面発光型 VCSEL を作製し、室温連続発振動作で  $1\ \text{mW}$  以上の光出力を達成した。また  $8\times 8$  の2次元アレーレーザを作製し、64 全素子の同時動作を確認するとともに、上面発光型の構造上の問題点として、熱的クロストークと配線による変調帯域の制限を明らかにした。
- (2) 発振波長に対し透明な AlGaAs 基板上の下面発光型  $0.85\ \mu\text{m}$  帯 VCSEL を提案し、AlGaAs 基板上の成長では、GaAs バッファ層が有効であることを示した。また、出射側の反射率を制御することにより高光出力化が可能であることを明らかにし、 $26\ \mu\text{m}$  の素子で最大  $5\ \text{mW}$  以上の出力が達成された。また  $16\ \mu\text{m}$  で閾値電流  $2.1\ \text{mA}$ 、最大光出力  $4.6\ \text{mW}$ 、電力変換効率  $11.2\ \%$ 、最高連続発振温度  $130$  の特性が得られ、AlGaAs 基板を用いても GaAs 基板に比べて遜色ない特性が得られることを示した。更に  $8\times 8$  の2次元アレーレーザのフリップチップ実装を行い、 $8\times 8$  の64 素子全てにおいて、GHz レベルの変調が可能であることを示し、並列インターコネクション用光源として下面出射型の VCSEL アレーが有望であることを示した。
- (3)  $1.55\ \mu\text{m}$  帯の長波長帯 VCSEL において、作製上、重要な技術となる InP/GaAs の wafer fusion について検討をおこなった。InP 側レーザ結晶の光学的特性には荷重依存性があることがわかり、電気的特性と光学的特性にはトレードオフの関係が存在することを明らかにした。また wafer fusion 法を用いて、GaAs 基板上に InP 系活性層を有する端面発光型半導体レーザを作製し、InP/GaAs の界面に導電性を

持たせた状態でも、閾値電流密度にほとんど変化がないことを示した。また、GaAs系 DBR 上に、InGaAsP/InP DBR 層を活性層の上下に設ける 1.55  $\mu\text{m}$  帯 VCSEL 構造を提案した。活性層の光学利得の維持、共振器波長の優れた制御性を実証し、wafer fusion 法を用いて作製した 1.55  $\mu\text{m}$  帯 VCSEL において、室温連続発振動作を確認した。

(4) 埋込み VCSEL 作製の基本技術となる薄膜化 wafer fusion 法を提案し、この手法によって得られた特性についての検討を行った。従来型の wafer fusion と同様、界面の電気的特性や InP 側の光学利得には荷重依存性が存在し、トレードオフの関係にあることを明らかにした。また、薄膜化 wafer fusion 法を用いて GaAs 基板上の InP 系端面発光型埋込み半導体レーザを作製し、室温連続動作で、単一横モード発振するレーザを異種基板上に作製することに初めて成功した。

(5) 薄膜化 Wafer fusion 法を用いた 1.55  $\mu\text{m}$  帯埋込み VCSEL について検討を行った。p 型 InGaAsP/InP DBR の低抵抗化と低光吸収化を検討し、5  $\mu\text{m}$  角の VCSEL において、世界最小の閾値電流 0.38 mA の室温連続発振動作を達成した。また 7  $\mu\text{m}$  角の大きさで、0.1 mW の最大出力時まで横モードが単一であることを確認し、InP 系埋込み型 VCSEL の優れた横モード制御性を確認した。また、GaAs 系 DBR と埋込み層により、0.85  $\mu\text{m}$  帯 VCSEL と遜色ない熱抵抗を実現し、更に -14 nm の Gain-offset を導入することで、室温付近で閾値電流を最小とすることができ、最高連続発振温度 75  $^{\circ}\text{C}$  を達成した。

VCSEL は 1987 年の Jewell の発表以来、世界中の様々な機関で開発スピードの競争が行われ、1990 年代半ばには光インターコネクションの光源として実用化された。その間、世界中の多くの研究者によって特性改善のために様々なアイデアが生まれ、20 年の時を経て、漸く世の中に認められるようになってきた。

本論文の前半は、こうした活発化した研究開発の中、現在実用化されている 0.85  $\mu\text{m}$  帯 VCSEL に一早く注目し続け、下面発光型の 0.85  $\mu\text{m}$  VCSEL を世界で初めてレーザ発振に成功したことについて述べた。当時は下面型の利点をことさらに取り上げる人は少なかったが、現在は上面型での変調限界を唱える人が出始め、漸く世の関心を集めるようになってきている。また本論文の後半は、1.55  $\mu\text{m}$  帯 VCSEL を世界で 2 番

目に室温連続発振させることにより wafer fusion の有効性を示し、更に埋込み構造の導入によって室温連続動作における世界最小閾値電流を達成したことについて述べた。

本論文で長波長帯でも VCSEL の介在能力の一部を示すことができたが、今後、実用化に向けて、更なる光出力や温度特性の向上といった特性改善が望まれる。

さて VCSEL は Gbit イーサネットに採用され、今日世界全体で 300 億円規模の産業となった<sup>1)</sup>。しかしながら、この大部分は 0.85  $\mu$ m 帯 VCSEL 単一素子で占めており、今後応用分野の範囲拡大がより一層求められる。そこで最後に通信以外の領域も含めて、現在考えられる VCSEL の応用分野の拡大について触れることにする。

VCSEL 単一素子としては、次なるターゲットは 10 Gbit/s イーサネット用光源と予想されているが、発振波長領域の拡大、高出力化、変調帯域の拡大により別な応用分野の可能性もある。発振波長領域の拡大には、短波長化と長波長化の両方の開発が望まれる。短波長帯（可視領域）においては、現在の光ディスクのピックアップ用の代替品であることはもちろん、ディスプレイや照明、バックライト光源、医療用等と考えられる応用分野の範囲は枚挙にいとまがない。また長波長帯は通信用やガスセンサー用としての実用化の可能性が高く、通信用の課題としては高速直接変調動作が急務とされている。これは VCSEL は活性層体積が従来の端面発光型に比べ極端に小さく緩和振動周波数が高いので、変調帯域が大きいと考えられているためである。現在、幹線系における大容量光通信として 40 Gbit/s が検討されているが、この光源には DFB レーザ、変調器、温度制御装置と高価な部品が並び、経済化の問題が浮上している。このため変調器や温度制御無しで伝送可能な VCSEL は抜本的な低コスト化に寄与すると期待されている。

次に VCSEL と他デバイスの組み合わせの可能性について述べる。VCSEL の高出力は端面反射率が高いため本質的に難しいとされているが、フォトリック結晶と組み合わせると、大きな発光領域でも単一横モードが確保され<sup>2)</sup>、W級の光出力が得られる可能性もある。フォトリック結晶は現在研究が活発に行われており、その機能も多岐に渡りするため、VCSEL との整合性が良いことから、今後新たなデバイスのアイデアが生まれる可能性は高いと思われる。その他の組み合わせとしては、VCSEL と近接場光学を用いて高密度、大容量メモリー媒体からのピックアップ用光源も検討されている<sup>3)</sup>。これは平面に微小な開口径を作りやすい VCSEL の構造が作製上適しているためである。

最後に2次元アレーの応用の展望について述べる。現在2次元アレーで特に有望視されているのはプリンター応用であるが、これ以外にも多くの応用範囲が考えられる。本論文 2.6.4 項で示した ParaBit は、ボード間の超並列光コネクション用で ATM 交換機への導入が検討されている<sup>4)</sup>。またチップ間の配線による処理速度制限を解決するためチップ間の光インターコネクション用としても VCSEL の導入の検討がなされる<sup>5)</sup>。また光と電気を融合したプロセッサも検討されており<sup>6)</sup>、ここに発光デバイスして VCSEL が有望視されている。また光情報処理の分野では VCSEL の2次元アレーを用いて、平板マイクロレンズアレー等を用いた並列画像認識の実験が行われている<sup>7)</sup>。これは将来の超高速並列光処理を目指した光コンピューティングを見据えたものである。

このように VCSEL は 0.85  $\mu\text{m}$  帯 VCSEL の成功に後押しされ、一段と世の性能要求が高まりつつあり、今後、単一素子としても、2次元アレー素子としても大いに応用発展が期待されるデバイスとなってきた。本論文が、こうした応用例に適應するためのデバイス開発の一助となることを願いつつ、ここで筆を置くことにする。

## 【第7章 参考文献】

- 1) エレクトロニキヤスト社、<http://www.dri.co.jp/elecast/index.html>
- 2) D. S. Song, Y. J. Lee, H. Choi, and Y. H. Lee, *Appl. Phys. Lett.*, 82, 3182 (2003)
- 3) F. Koyama, K. Goto, and K. Iga, 3 rd OECC, 16D1-4, 532 (1998)
- 4) 桂浩輔、香川俊明、田中伸幸、松浦伸昭、安東泰博、*NTT R&D*, 48, 281 (1999)
- 5) 小柳光正、*光学*、28, 7 (1999)
- 6) M. Kajita, K. Kasahara, T. J. Kim, D. T. Neilson, I. Ogura, I. Redmond and E. Schenfeld, *Applied Optics*, 37, 3746 (1998)
- 7) 片山健夫、宗高友貴、伊賀健一、*光学*、28, 11 (1991)

## 謝辞

本論文をまとめるにあたり、懇切丁寧にご指導ならびにご助言を頂きました慶應義塾大学理工学部 高橋 信一 助教授に謹んで感謝の意を表します。また、在学当時以来、卒業後も常に懇切なるご指導と温かい激励を頂きましたことに対しまして、この機会に改めて御礼申し上げます。

また、本論文に対して有益なご助言、ご教示を頂きました慶應義塾大学理工学部 小原 實 教授、松本 智 教授、神成 文彦 教授、津田 裕之 助教授に重ねて謹んで感謝の意を表します。

本研究は、筆者が日本電信電話株式会社光エレクトロニクス研究所、及びフォトンクス研究所において行ったものをまとめたものであります。この間多くの方々にご指導とご協力を頂きました。本研究の機会を与えて頂くとともに暖かいご指導、ご鞭撻を頂いた元光エレクトロニクス研究所光素子研究部長、今村 義宏 氏（現 旭硝子株式会社）、水谷 孝 教授（現 名古屋大学）、岩村 英俊 氏（現 NTTエレクトロニクス株式会社）、元フォトンクス研究所先端光エレクトロニクス研究部長、三田地 成幸 教授（現 東京工科大学）、伊藤 弘樹 氏（現 フォトンクス研究所企画担当部長）、湯本 潤 司 部長の方々に厚く御礼申し上げます。

また、元光エレクトロニクス研究所光素子研究部 光処理素子グループリーダー、黒川 隆志 教授（現 東京農工大）には入社時から研究生活全般にわたりご指導、ご助言を頂きました。元フォトンクス研究所 並列光処理グループリーダー、天野 主税 氏には結晶成長について直接ご指導を頂き、また本研究成果をまとめるに際して貴重なご助言を頂きました。ここに重ねて感謝の意を表します。

本研究の  $0.85\ \mu\text{m}$  VCSEL の作製に当たっては、MOCVD 成長に関して、元光エレクトロニクス研究所 小濱 剛孝 氏（現 NTT 東日本株式会社）、フォトンクス研究所 舘野 功太 研究主任、 $1.55\ \mu\text{m}$  VCSEL の作製に当たっては、MOCVD 成長に関して、元光エレクトロニクス研究所 伊藤 義夫 氏（現 NTT エレクトロニクス株式会社）、フォトンクス研究所 岡本 浩 主任研究員、伊賀 龍三 主任研究員、岡本 稔 主任研究員、作製プロセスに関して、フォトンクス研究所 岸 健志 主幹研究員、NTT アドバンステクノロジー株式会社 米山 幸司 氏のご協力を頂きました。また、元光エレクトロニクス研究所 若月 温 氏（現 NTT データ株式会社）、フォトンクス研究所 福島 誠司 主任研究員には測定全般にわたりご助言を頂きました。そして、フリップチップの実装

では元 NTT 境界領域研究所 恒次 秀起 教授（現 松江工業高校専門学校）の全面的な協力を得ました。ここに改めて感謝の意を表します。

また、日々の研究において御討論頂いた元フォトニクス研究所 香川 俊明 教授（現 湘南工科大）、植之原 裕行 助教授（現 東京工業大学）、フォトニクス研究所 田所 貴志 主任研究員、松尾 慎治 主任研究員 竹ノ内 弘和 研究主任、そして元光処理素子研究グループ、および並列光処理研究グループの皆さまに厚く御礼申し上げます。

最後に、本執筆中に他界した父と、論文をまとめるに際し激励してくれた母、協力してくれた妻 一葉と娘 美音に感謝の意を表します。

## 本研究に関連する論文リスト

### [本論文]

1. Y. Ohiso, Y. Kohama, and T. Kurokawa,  
“0.85- $\mu\text{m}$  Vertical-Cavity Surface-Emitting Laser Array Grown on GaAs and AlGaAs Substrate by Metal Organic Chemical Vapor Deposition,” Jpn. J. Appl. Phys. Vol. 34 Part 1 No. 11, November 1995 pp. 6073-6078
2. Y. Ohiso, C. Amano, Y. Itoh, H. Takenouchi, and T. Kurokawa,  
“Long-wavelength (1.55- $\mu\text{m}$ ) vertical-cavity lasers with InGaAsP/InP-GaAs/AlAs DBR's by wafer fusion,” IEEE Journal of Quantum Electronics, Vol. 34 No. 10, October. 1998 pp. 1904 -1913
3. Y. Ohiso and C. Amano,  
“Thin-film wafer fusion for buried-heterostructure InP-based lasers fabricated on a GaAs substrate,” J. Appl. Phys. Vol. 34 No. 15, March 2000 pp. 2857-2866
4. Y. Ohiso, H. Okamoto, R. Iga, K. Kishi, K. Tateno, and C. Amano,  
“1.55- $\mu\text{m}$  Buried-Heterostructure VCSELs with InGaAsP/InP-GaAs/AlAs DBRs on a GaAs Substrate,” IEEE Journal of Quantum Electronics, Vol. 37 No. 9, September. 2001 pp. 1194 -1202

### [速報文]

1. Y. Ohiso, Y. Kohama, and T. Kurokawa,  
“Thermal interference in a 0.85  $\mu\text{m}$   $8 \times 8$  two dimensional vertical-cavity surface-emitting laser array,” IEE Electronics Letters, Vol. 30 No. 18, September 1994 pp. 1491 -1492
2. Y. Ohiso, K. Tateno, Y. Kohama, A. Wakatsuki, H. Tsunetsugu, T. Kurokawa,  
“Flip-chip bonded 0.85- $\mu\text{m}$  bottom-emitting vertical-cavity laser array on an AlGaAs substrate,” IEEE Photonics Technology Letters, Vol. 8 No. 9, September. 1996 pp. 1115 -1117
3. Y. Ohiso, C. Amano, Y. Itoh, K. Tateno, T. Tadokoro, H. Takenouchi, and T. Kurokawa,  
“1.55- $\mu\text{m}$  vertical-cavity surface-emitting lasers with wafer-fused InGaAsP/InP-GaAs/AlAs DBRs, ” IEE Electronics Letters, Vol. 32 No. 16, August 1996 pp. 1483 -1484
4. Y. Ohiso, R. Iga, K. Kishi, and C. Amano,  
“Thin-film wafer fusion fabrication technology for buried heterostructure InGaAsP/InP lasers on GaAs,” IEE Electronics Letters, Vol. 35 No. 22 October. 1999 pp. 1955 -1957
5. Y. Ohiso, R. Iga, K. Kishi, and C. Amano,  
“Buried-heterostructure long-wavelength vertical-cavity surface-emitting lasers with

InGaAsP/InP-GaAs/AlAs DBRs,” IEE Electronics Letters, Vol. 36 No. 1 January. 2000 pp. 39 -40

6. Y. Ohiso, H. Okamoto, R. Iga, K. Kishi, K. Tateno, C. Amano,  
“High Performance of 1.55- $\mu\text{m}$  Buried Heterostructure Vertical-Cavity Surface-Emitting Lasers,” IEEE Photonics Technology Letters, Vol. 13 No. 9, September. 2001 pp. 918 -920
7. Y. Ohiso, H. Okamoto, R. Iga, K. Kishi, K. Tateno, C. Amano,  
“Single Transverse Mode Operation of 1.55- $\mu\text{m}$  Buried Heterostructure Vertical-Cavity Surface-Emitting Lasers,” IEEE Photonics Technology Letters, Vol. 14 No. 6 June. 2002 pp. 738 -740

#### [邦文]

1. 大磯義孝 岡本 浩 伊賀龍三 岸 健志 天野主税  
「1.55  $\mu\text{m}$  帯埋込み面発光レーザ」オプトロニクス 2002 1 月号 No.241 pp. 105-110  
(オプトロニクス社)

#### [国際会議]

1. Y. Ohiso, Y. Kohama, and T. Kurokawa,  
“8  $\times$  8 Vertical-cavity surface emitting Laser diode Arrays grown on GaAs and AlGaAs substrate by MOCVD,” Fifth Optoelectronics Conference OEC'94 Chiba July 1994 14D3-2 pp.220-221
2. Y. Ohiso, K. Tateno, Y. Kohama, and T. Kurokawa, “Improvement of 0.85- $\mu\text{m}$  Vertical-cavity Surface-emitting Laser on an AlGaAs substrate”, 13th Semiconductor Laser Symposium (International), Kanagawa March 1996 pp.2
3. Y. Ohiso, K. Tateno, Y. Kohama, H. Tsunetsugu, and T. Kurokawa,  
“Flip-chip bonded 0.85- $\mu\text{m}$  Vertical-cavity Surface-emitting laser array using an AlGaAs substrate”, International Conference on Integrated Photonics Research, Boston April-May 1996 IWD3 pp. 482 -485
4. Y. Ohiso, H. Okamoto, R. Iga, K. Kishi, K. Tateno, and C. Amano,  
“Low Threshold (380  $\mu\text{A}$ ) and Single Transverse Mode Operation of 1.55- $\mu\text{m}$  BH Vertical-Cavity Surface -Emitting Lasers, ” Conference on Lasers and Electro-optics CLEO 2001, Baltimore May 2001 CPD14
5. Y. Ohiso, H. Okamoto, R. Iga, K. Kishi, and C. Amano,  
“Single Transverse Mode Operation of 1.55- $\mu\text{m}$  BH Vertical-Cavity Surface-Emitting Lasers, ” IPRM 2002 Stockholm May 2002 A3-2
6. (Invited) Y. Ohiso, H. Okamoto, R. Iga, K. Kishi, and C. Amano,  
“Single Transverse Mode Operation of 1.55- $\mu\text{m}$  BH VCSELs, ” Solid State Devices and Materials (ssdm) 2002 Nagoya September 2002 G-3-1 334

7. (Invited) Y. Ohiso, T. Kagawa, H. Uenohara, K. Tateno, O. Tadanaga, and C. Amano,  
“Application of 0.85  $\mu\text{m}$  and Fabrication Technology of 1.55  $\mu\text{m}$  VCSELs”, COST  
268 meeting, Cork (Ireland) March 2000

## [国内研究会]

1. 大磯義孝、天野主税、伊藤義夫、竹ノ内弘和、館野功太、田所貴志、黒川隆志  
「Wafer fusion を用いた 1.55 $\mu\text{m}$  帯面発光レーザ」  
信学技報 LQE96-146 1997 pp19-24
2. (招待講演) 大磯義孝、岡本 浩、伊賀龍三、岸 健志、天野主税  
「1.55  $\mu\text{m}$  帯埋込み面発光レーザ」  
信学技報 LQE2001-144 2002 pp46-54
3. (招待講演) 大磯義孝、  
「VCSEL の最新動向」  
第 15 回 OPT (Optical Packaging Technology) 公開研究会 光回路実装技術研究会 2002

## [国内会議]

1. 大磯義孝 岡本 稔 須郷 満 小濱剛孝 田所貴志 黒川隆志  
「Si 基板上の InGaAsP/InP DBR 特性」第 40 回春季応用物理学会学術講演会 29p-c-8 1993 pp.  
1029
2. 大磯義孝 小濱剛孝 福島誠治 黒川隆志  
「MOCVD 法による GaAs 系 8  $\times$  8 面発光レーザアレイ」第 41 回春季応用物理学会学術講演会 31p-K-8 1994 pp.1061
3. 大磯義孝 小濱剛孝 福島誠治 黒川隆志  
「MOCVD 法による AlGaAs 基板上の面発光レーザ」第 55 回秋季応用物理学会学術講演会 22p-S-8 1994 pp. 976
4. 大磯義孝 伊藤義夫 黒川隆志  
「GaAs 基板上 1.3  $\mu\text{m}$  LD の貼り合わせ条件依存性」第 56 回秋季応用物理学会学術講演会 28p-ZF-18 1995 pp. 300
5. 大磯義孝 館野功太 小濱剛孝 黒川隆志  
「AlGaAs 基板上 0.85  $\mu\text{m}$  帯面発光レーザの特性改善」第 43 回春季応用物理学会学術講演会 26p-C-8 1996 pp. 1027
6. 大磯義孝 天野主税 伊藤義夫 館野功太 田所貴志 竹ノ内弘和 黒川隆志  
「InGaAsP/InP-GaAs/AlAs DBR を有する長波長帯面発光レーザ」第 57 回秋季応用物理学会

学術講演会 7p-KH-8 1996 pp. 925

7. 大磯義孝 天野主税

「エピタキシャルリフトオフ法による貼り合わせ InP/GaAs 特性」第 59 回秋季応用物理学学会学術講演会 17p-YE-13 1998 pp.275

8. 大磯義孝 伊賀龍三 岸 健志 天野主税

「薄膜化 wafer-fusion 法を用いた GaAs 基板上埋込 InP レーザ」第 60 回秋季応用物理学学会学術講演会 3a-ZE-17 1999 pp.972

9. 大磯義孝 伊賀龍三 岸 健志 天野主税

「薄膜化 wafer-fusion 法を用いた埋込み長波長帯面発光レーザ」第 47 回春季応用物理学学会学術講演会 29p-N-17 2000 pp.1152

10. 大磯義孝 岡本 浩 伊賀龍三 岸 健志 館野功太 天野主税

「1.55  $\mu$ m 帯埋込み面発光レーザの低閾値電流・単一横モード動作」第 62 回秋季応用物理学学会学術講演会 14p-B-8 2001 pp.873

### [その他]

1. 大磯義孝 (東京会場)

レーザ学会主催「面発光レーザとその応用」レーザセミナー '97 (技術コース) 講師

### [共著論文]

1. Y. Kohama, Y. Ohiso, K. Tateno, C. Amano, and T. Kurokawa,  
“MOCVD growth on AlGaAs substrate,” J. Cryst. Growth, Vol. 145 No. 1, 1994  
pp.970 -971
2. Y. Kohama, Y. Ohiso, S. Fukushima, and T. Kurokawa,  
“8  $\times$  8 independently addressable vertical-cavity surface emitting laser diode arrays  
grown by MOCVD,” IEEE Photonics Technology Letters, Vol. 6 No. 8, August 1994  
pp. 918 -920
3. Y. Kohama, C. Amano, Y. Ohiso, and T. Kurokawa,  
“Using Carbon Tetrachloride for Carbon Doping Al<sub>x</sub>Ga<sub>1-x</sub>As Grown by  
Metalorganic Chemical Vapor Deposition,” Jpn. J. Appl. Phys. Vol. 34 Part 1 July  
1995 pp. 3504 -3505
4. Y. Kohama, Y. Ohiso, K. Tateno, and T. Kurokawa,  
“0.85- $\mu$ m vertical-cavity surface-emitting laser diode arrays grown on p-type GaAs  
substrate,” IEEE Photonics Technology Letters, Vol. 9 No. 3, March 1997 pp. 280 -  
281
5. S. Matsuo, T. Nakahara, Y. Kohama, Y. Ohiso, S. Fukushima, and T. Kurokawa,

- “Monolithically integrated photonic switching device using an MSM PD, MESFETs, and a VCSEL, ” IEEE Photonics Technology Letters, Vol. 7 No. 10, October 1995 pp. 1165 -1167
6. S. Matsuo, T. Nakahara, Y. Kohama, Y. Ohiso, S. Fukushima, and T. Kurokawa,  
“A monolithically integrated smart pixel using an MSM-PD, MESFET's, and a VCSEL,” IEEE Journal on Selected Topics in Quantum Electronics, Vol. 2 No. 1 April 1996 pp. 121 -1273.
  7. H. Takenouchi, T. Kagawa, Y. Ohiso, T. Tadokoro, and T. Kurokawa,  
“Laterally oxidised InAlAs-oxide/InP distributed Bragg reflectors ”, IEE Electronics Letters, Vol. 32 No. 18, August. 1996 pp. 1671
  8. K. Tateno, Y. Ohiso, C. Amano and T. Kurokawa,  
“Growth of vertical-cavity surface-emitting laser structures on GaAs (311)B substrate by metalorganic chemical vapor deposition”, Appl. Phys Letters , Vol. 70 No. 25, June. 1997 pp. 3395-3397
  9. T. E. Sale, C. Amano, Y. Ohiso, and T. Kurokawa,  
“Using strained  $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{As}$  ZP1-Z system materials to improve the performance of 850 nm surface-and edge-emitting lasers”, Appl. Phys Letters , Vol. 71 No. 8, August. 1997 pp. 1002-1004
  10. C. Amano, K. Tateno, H. Takenouchi, and Y. Ohiso,  
“MOVPE growth of C-doped GaAs/AlAs DBRs for wafer fusion”, J. Cryst. Growth, Vol. 193 No. 8, 1998 pp. 460-469
  11. T. Kurokawa, S. Matsuo, T. Nakahara, K. Tateno, Y. Ohiso, A. Wakatsuki, and T. Tsuda,  
“Design approaches for VCSEL's and VCSEL-based smart pixels toward parallel optoelectronic processing systems”, Applied Optics vol. 37 1998 194-204
  12. H. Uenohara, K. Tateno, T. Kagawa, Y. Ohiso, H. Tsuda, T. Kurokawa, and C. Amano,  
“Investigation of data transmission characteristics of polarisation-controlled 850 nm GaAs-based VCSELs grown on (311)B substrates ”, IEE Electronics Letters, Vol. 35 No. 1, January . 1999 pp. 45 -46
  13. H. Uenohara, K. Tateno, T. Kagawa, Y. Ohiso, H. Tsuda, T. Kurokawa, and C. Amano,  
“Polarization-controlled 850-nm-wavelength vertical-cavity surface-emitting lasers grown on [311]B substrates by metal-organic chemical vapor deposition”, IEEE Journal on Selected Topics in Quantum Electronics, Vol. 5 No. 3, June 1999 pp. 537 -545
  14. H. Uenohara, K. Tateno, T. Kagawa, Y. Ohiso, H. Tsuda, T. Kurokawa, and C.

Amano,

“Investigation of dynamic polarization stability of 850-nm GaAs-based vertical-cavity surface-emitting lasers grown on [311]B and [100] substrates,” IEEE Photonics Technology Letters, Vol. 11 No. 4, April 1999 pp. 400 -402

### [共著の国際会議]

1. Y. Kohama, Y. Ohiso, C. Amano, and T. Kurokawa,  
“0.85- $\mu\text{m}$  Bottom-Surface-Emitting Laser Diode Arrays Grown on AlGaAs Substrates by MOCVD,” International Symposium on Compound Semiconductor, September 1994 San Diego pp.559-562
2. T. E. Sale, Y. Ohiso, C. Amano and T. Kurokawa,  
“Comparison of Quantum Well Designs for Near Infra-red (850nm) Semiconductor Lasers, ” International Conference on Integrated Photonics Research, April-May 1996 Boston pp. 258 -261
3. (Invited) C. Amano, Y. Itoh, Y. Ohiso, H. Takenouchi, T. Tadokoro, and T. Kurokawa,  
“MOVPE growth of InGaAsP/InP-based vertical cavity structures for wafer-fused VCSELs ,” International Conference on Indium Phosphide and Related Materials 1997 (IPRM'97), TuD1 pp. 424 -427
4. K. Tateno, Y. Ohiso, C. Amano, A. Wakatsuki, and T. Kurokawa,  
“A 0.85- $\mu\text{m}$  VCSEL array on a GaAs(311)B substrate grown by MOCVD,” 2nd. OECC Seoul, 1997 pp. 192 -193
5. (Invited) T. Kagawa, Y. Ohiso, K. Tateno, O. Tadanaga, H. Uenohara, and C. Amano,  
“850-nm VCSEL arrays for optical interconnection and transmission applications, ” Lasers and Electro-Optics Society 2000 Annual Meeting. LEOS 2000. 13th Annual Meeting. IEEE , Vol. 2, 2000 pp. 800 -801
6. C. Amano, T. Kagawa, H. Uenohara, K. Tateno, O. Tadanaga, T. Nakahara, H. Tsuda, and, Y. Ohiso,  
“Recent activities for VCSELs and related studies in NTT Labs,” International Symposium on Ultra-Parallel Optoelectronics, February 2000, Kawasaki pp. 45-46
7. (Invited) C. Amano, T. Kagawa, H. Uenohara, K. Tateno, O. Tadanaga, T. Nakahara, H. Tsuda, and, Y. Ohiso,  
“Recent results of 850- & 1550 nm VCSELs studies in NTT Labs,” Summer School and European Optical Society Topical Meeting on Semiconductor Microcavity Photonics October 2000 Symposium on Ultra-Parallel Optoelectronics, February 2000, Centro Stefano Franscini
8. S. Matsuo, Y. Ohiso, K. Tateno, T. Segawa, M. Kohtoku, S. Oku,  
“A high-speed tunable optical filter using a semiconductor double-ring resonator, ”

**[共著邦文]**

1. 天野主税 大磯義孝 岡本 浩 伊賀龍三 岸 健志  
「光通信波長帯面発光半導体レーザー」NTT R & D 2002 1月号 Vol. 51 pp. 59-67