

サブ 100nm 世代 CMOS のプロセスモデリングの研究

平成 15 年度

羽根 正巳

目次

概要	iii
第 1 章 はじめに	1
1.1 背景と動機	1
1.2 従来のシミュレーションとの違い	1
1.3 各章の構成	4
第 2 章 イオン注入のモデリング	5
2.1 従来モデル	5
2.2 結晶構造を考慮したモンテカルロシミュレーション	8
2.3 計算の高速化：統計性向上向上と並列計算	20
2.4 SIMS シミュレーション	25
第 3 章 不純物の拡散・活性化のモデリング	35
3.1 背景 (1)：微細 MOSFET における不純物拡散起因問題	35
3.2 背景 (2)：これまでの不純物拡散モデルと本研究の狙い	37
3.3 イオン注入後の過渡的増速拡散と活性化	39
3.4 逆短チャネル効果のシミュレーション	52
3.5 ポリシリコン中の拡散のシミュレーション	67
3.6 分子動力学法による格子間シリコン原子の拡散パス	74
3.7 拡散モンテカルロ計算	81
第 4 章 微細 MOSFET の真性ばらつきのシミュレーション	95
4.1 原子レベル 3 次元プロセスデバイスシミュレーション	95

4.2	離散的な不純物分布起因ばらつきの計算結果	101
4.3	ゲート端形状ばらつき (Line Edge Roughness) の影響	104
第 5 章	結論	113
	参考文献	116
	原著論文	124
	主論文に関連する原著論文	124
	その他の論文	124
	国際会議	124
	国内研究会他	126

概要

微細 MOSFET の主な製造プロセスであるイオン注入および不純物拡散の高精度モデリングについて研究し、そのモデルを用いたプロセスデバイスシミュレーションにより、デバイス特性の定量的解析（特にイオン注入により導入される過剰点欠陥に起因する逆短チャネル効果）と、真性ランダムばらつき（離散不純物とゲート端ラフネスに起因）量の予測と要因分析を可能にした。

デバイス特性予測には、製造プロセスにおける物理化学現象と半導体デバイス動作を計算機上でモデル化してシミュレーションする TCAD (Technology Computer-Aided Design) 技術が有用である。しかし、不純物分布計算の従来のモデルは、物理現象の理解が十分でなく、実測結果のフィッティング的要素が強い。そのため、高精度な予測を行うには不十分とされ、極浅接合や急峻 Halo などの以前に増して詳細な不純物分布の設計が必要とされるサブ 100nm 世代の CMOS 開発時代を迎え、イオン注入と不純物拡散の新しいモデルと計算技法が望まれていた。本研究においては、流体近似に基づくペア拡散モデルの改良から、第一原理計算、分子動力学計算、およびモンテカルロ計算までに至る原子レベルのモデリング技法を発展させることにより、不純物分布シミュレーションの精度を向上させると共に、微細化に伴って生じるデバイス特性変動の解析を実現することを目的とした。

はじめに、第 1 章にて、微細 MOSFET 開発に関わる設計要求例と従来のプロセスモデリング状況を概説した後、本研究の流れと論文の構成について述べた。

第 2 章では、シリコン結晶構造を考慮したイオン注入のモンテカルロ (MC) シミュレーションについて述べた。多体効果を考慮した分子動力学 (MD) 計算を別途行ない、2 体散乱計算手法を改良し、チャネリングテールを含む注入イオンの分布を非晶質化も含め高精度に計算可能にした。更に独自の統計性向上手法と並列計算アルゴリズムにより、モンテカルロシミュレーションと言えどもその計算時間を従来比 100 倍程度に高速化した。また、MC イオン注入シミュレーション技法を応用し、浅い不純物分布の SIMS 測定自体をシミュレーションすることで測定誤差を補正する方法についても述べた。

第 3 章では、イオン注入後の熱処理時の増速拡散・活性化について、流体近似連続体モデルと原子レベルモデリングの両面について研究した成果を述べた。ここでは、点欠陥と不純物のペア拡散モデルに基づくボロンと砒素の改良拡散モデルにより、イオン注入時の過剰点欠陥に起因して生じる逆短チャネル効果のシミュレーションを可能にした。さらに、原子レベルで計算する方法として、点欠陥の分子動力学計算や、第一原理計算から明らかになったボロン点欠陥複合体素過程と各拡散・反応種の電荷を考慮した独自の Kinetic 拡散モンテカルロシミュレーションにより、急速熱アニール（スパイクアニール）の”予測型”シミュレーションを可能にした。

第 4 章には、本研究のイオン注入と拡散の原子レベル 3 次元プロセスシミュレーションによる不純物個々の位置計算と、それに対応した離散的な不純物分布を考慮した 3 次元デバイスシミュレーションの開発につい

て述べる。ここでは、イオン注入と熱処理プロセス工程に関して、個々の原子レベルで、導入される不純物原子の位置と数を求め、不純物を含むシリコン半導体内では、その個別の不純物位置に依存する電位分布を用いて電子の運動を計算し、個々の不純物の位置と数を反映してデバイス特性を高精度に算出できるようにした。すなわち、従来の連続的な分布による平均的なデバイス特性のシミュレーションとは異なり、この原子レベルプロセス・デバイスシミュレーションを多数回行うことで、詳細な製造プロセス依存性を含め、サブ 100nm デバイスの真性ばらつきに関するシミュレーション解析を可能にした。一例として、離散的な不純物分布とゲート端ラフネスに起因するデバイス特性ばらつきは、Halo 斜めイオン注入と極度に拡散を抑制したアニール方法では、かえって増大する結果になることを見出した。

第 5 章にて本研究の成果を総括した。

第 1 章

はじめに

1.1 背景と動機

プロセスデバイスシミュレーションは近年 TCAD(Technology Computer-Aided Design) 技術と総称され、ここ 20 年に渡りデバイス設計の効率化の要求と共に育ってきた[1]。ここで対象となるプロセスは、主にイオン注入、酸化、拡散、エッチング・デポジションなどであるが、特に、デバイス特性に重要な不純物分布に関するシミュレーションについては勢力的な研究が行われ、プロセスシミュレータというツールとして使われるに至っている。個々のプロセスシミュレーションモデルにおいては、イオン注入には熱アニールが必要で、不純物はその熱処理中に拡散し、また熱処理雰囲気中に酸素が存在すれば同時にシリコン表面の酸化が生じる、といったそれぞれの関連が考慮されていなければならない。

サブ 100nm 世代 CMOS 開発時代を迎え、我々は、デバイス構造の更なる微細化に伴い様々な物理的な困難さに直面している。しかしながら、プロセスデバイスシミュレータが真に有効なツールとして機能するにはまだまだ改善が必要である。

TCAD は機能・回路設計での CAD のイメージとは異なり、半導体デバイスのデバイス物理と製造プロセスにおける物理・化学現象を扱い、それらを計算機上で再現する科学技術計算プログラムが中心である。プロセスデバイスシミュレータの構成を図 1.1 に示す。これらを駆使することの最大の利点は、微細化されたデバイスの開発途上での複雑な物理現象を容易な形で理解を促し、その現象を制御・最適化できるということである。

本研究において、サブ 100nm CMOS 開発時代にも有効であるべく TCAD 技術を進展させるプロセスシミュレーションの精度を向上することを目的とした。

1.2 従来のシミュレーションとの違い

従来のシミュレーション(シミュレータ)は、イオン注入についてはガウス関数やピアソン関数による近似関数によるフィッティングが主であり、実測結果からのモーメント値が必要であるが、それら単純なモーメント値だけでは 2 次元以上の分布やシリコン表面を覆う複数の異物質の膜の影響を充分表現できない。従来の不純物拡散シミュレーションについては、高温長時間の熱拡散の実験から抽出された実効拡散係数を

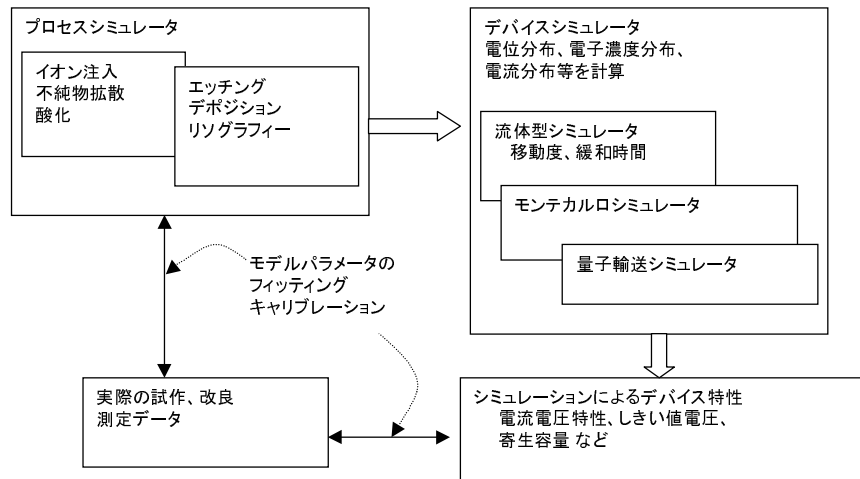


図 1.1: シミュレータの構成と利用形態

用いた拡散方程式を解くというモデルでシミュレーションが行われ、イオン注入後増速拡散や不完全な電気的活性化を表現できるものですらなかった。特に微細 MOSFET の逆短チャネル効果は、ソース・ドレイン形成のイオン注入で導入される過剰点欠陥が2次元的に不純物を再分布させるという現象がモデル化されておらず、従来はシミュレーションできなかった特性の代表的な一つである。本研究では、まず、斜めイオン注入やシリコン以外の表面層にも対応可能な高精度なイオン注入シミュレーションモデルを開発し、さらにイオン注入後の増速拡散・活性化を詳細にモデル化しシミュレーションを高精度化することに注力した。

本研究の中間段階の成果は、サブ 100nm 世代以前の $0.13\mu\text{m}$ 級 CMOS の開発においても貢献した。図 1.2 に示すのは、 $0.13\mu\text{m}$ 級 CMOS で用いられる浅い拡散層分布のシミュレーション結果と実測の比較の例である[2]。本プロセスシミュレーションの結果を用いたデバイスシミュレーションによる CMOS 特性のシミュレーション結果と実測の比較を図 1.3 に示す。世代に依らない統一的な物理モデリングに基づく独自の TCAD 技術は、デバイス初期開発段階で本来の有効性を発揮した。このプロセス/デバイスシミュレーションシステムを用いれば、所望のドライブ特性を得る最適なソース・ドレイン/チャネル不純物分布の設計やプロセス感度の検討が、現実の試作に先んじて行えたわけである[2]。

これに加えて、サブ 100nm 世代 CMOS 開発にはさらなる努力が必要である。ゲート長 45nm の CMOS の学会発表[3]などからは、多くのデザイン項目の中でプロセスシミュレーションに関するものが抜粋できるが、以下にいくつか挙げる。

1. 極薄酸化膜、ゲート空乏化対策（ポリシリコン中の不純物拡散と突き抜け抑制）
2. 極浅接合：サブ keV イオン注入
3. 極浅接合、急峻な接合：Low thermal budget 化：低温アニールもしくは高温 Spike アニール（急昇温度ランプアニール）
4. Low thermal budget 化に伴うプロセス工程変更（逆転ソースドレイン Extension 形成[3]他）
5. 短チャネル効果の抑制とソースドレイン寄生抵抗の抑制：駆動能力（オン電流）の向上とリーク電流（オフ電流）の低減：そのための HALO 不純物分布設計。インジウム、アンチモン等新ドーパントの採用試み。
6. チャネル中の不純物原子の個数、位置ばらつき、LER(Line-Edge-Roughness)

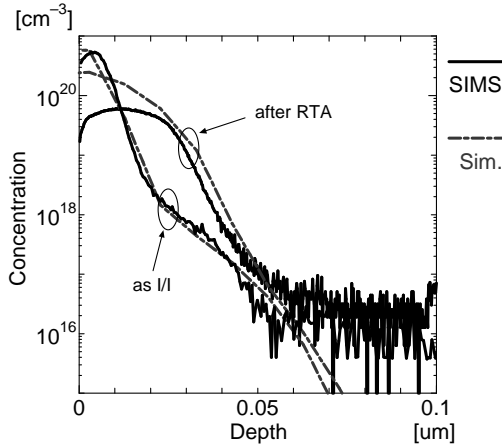


図 1.2: 砒素のイオン注入と拡散プロファイルのシミュレーション結果と実測の比較 2]

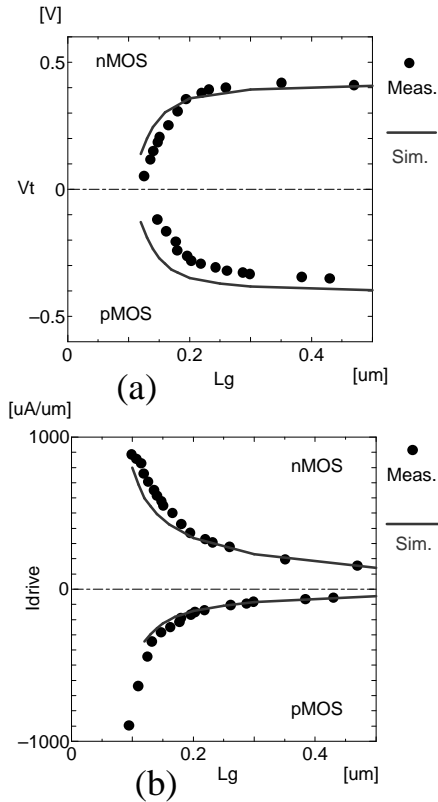


図 1.3: デバイス電気特性の実測とシミュレーションの比較 2] (a) しきい値電圧 (V_t) とチャネル長 (L_g) の関係 (b) オン電流 (I_{drive}) と L_g の関係

このように、サブ 100nm 世代 CMOS では、これまでの努力以上に不純物プロファイルのシミュレーションには精度が要求される。例えば、Tsuji らが 50nm CMOS を発表 [4] した際に試みた低温アニールでは、アニール温度は 550 で拡散時間は 4 ~ 8 時間、比較対象のランプアニールは、1000 、10 秒である。従来このように広い条件設定に耐えられる不純物拡散のモデルは無いに等しい。Wakabayashi らの 45nm CMOS では、スパイクアニール 1030 ~ 1050 で、昇温レートは 300 /s までもが試みられた。不純物の拡散のみならずイオン注入後の活性化については、真実の物理現象を反映したもので無い限り、全ての範囲に渡って高精度なシミュレーションは非常に難しいと言える。

このような状況下では、イオン注入のみならず、その後の不純物拡散と活性化についても、原子レベルのモデリングを行うことが一つの方向性と考え、拡散に寄与する点欠陥、そのクラスター状態の形成と分解、および不純物と点欠陥の複合体形成と分解反応、等を詳細にモデル化するために、本研究では原子レベルのモデリングを階層的なアプローチで行なった (図 1.4)。すなわち、計算時間が掛かるが精度の良い第一原理計算や分子動力学計算を駆使して現象の本質を見極め、モンテカルロ計算・流体近似計算で現実的なシミュレーションを行なうことを試みた。

流体モデルではモデルを複雑にするほど解くべき方程式が増えるが、モンテカルロ法の場合は、イベントの追加だけで計算コストは (場合によるが) あまり増えないという特徴が原子レベルの複雑な物理をモデリングに取り込み易くするものである。従来のシミュレータとの大きな違いは、逆短チャネル効果等の点欠陥と

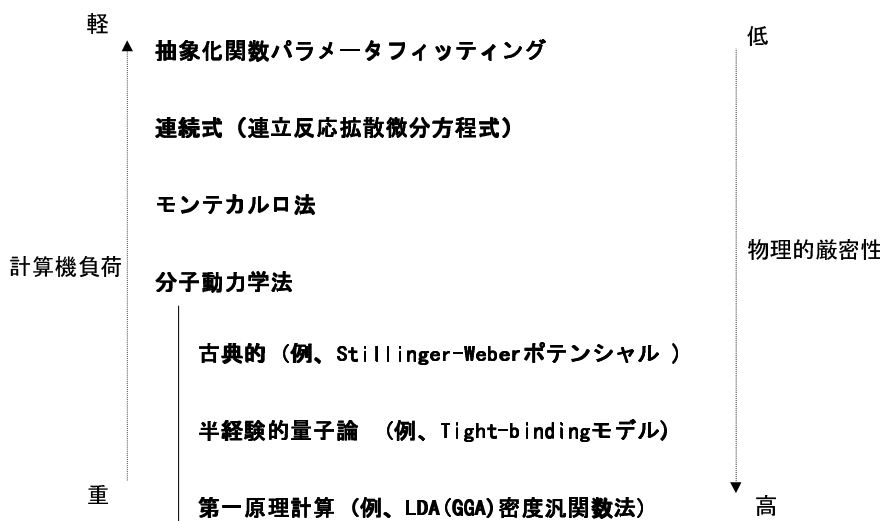


図 1.4: 階層的モデリングアプローチ

不純物の相互作用を含んだ詳細な物理モデルをベースにしたモデリングと、さらにサブ 100nm 世代 CMOS 開発に対応した、原子レベルの特性シミュレーションにも実現したという点にある。

1.3 各章の構成

第2章でイオン注入のモデリング、特にシリコンの結晶構造を考慮したモンテカルロシミュレーションとその高速化技法について述べる。また、イオン注入モデリング手法の応用として、浅く急峻な不純物分布の測定法である SIMS をシミュレーションすることで測定誤差を補正する方法についても述べる。

第3章では、イオン注入後の熱処理時の増速拡散・活性化について、流体近似連続体モデルと原子レベルモデリングの両面について研究した成果を述べる。ここでは、点欠陥と不純物のペア拡散モデルに基づくボロンと砒素の改良拡散モデルにより、イオン注入時の過剰点欠陥に起因して生じる逆短チャネル効果のシミュレーションを可能にした。さらに原子レベルで計算する方法として、点欠陥の分子動力学計算や、各拡散・反応種の電荷を考慮した独自の Kinetic 拡散モンテカルロシミュレーションによる、急速熱アニール(スパイクアニール他)の”予測型”シミュレーションについて述べる。

第4章には、本研究のイオン注入と拡散の原子レベル3次元プロセスシミュレーションを、離散的な不純物分布に対応した3次元デバイスシミュレーションに組み合わせる手法を提案する。ここでは、デバイスに導入される不純物の分布を、イオン注入や熱処理プロセス工程の条件に忠実に個々の原子レベルで計算し、その個別の不純物位置に対応した電位分布に基づいて電子の運動を計算することで、個々の不純物の位置と数を反映したデバイス特性を算出する方法について述べる。すなわち、従来の連続的な分布による平均的なデバイス特性のシミュレーションとは異なり、この原子レベルプロセス・デバイスシミュレーションを同一の製造工程を持つトランジスタに対して多数回行うことにより、本質的な特性ばらつきを計算可能にした。この手法に基づく将来のサブ 100nm デバイスの真性ばらつき量の予測と、製造プロセスに依存した詳細な要因分析について述べる。最後に第5章にて本研究の成果を総括する。

第 2 章

イオン注入のモデリング

近年、微細デバイスの性能向上のために、斜めイオン注入、チャネリングイオン注入などを用いた、チャネルノソース・ドレイン構造エンジニアリングの試みが以前にも増して活発である。また、素子の微細化に伴いイオン注入後の過渡的増速拡散現象が顕在化してきているが、イオン注入後のダメージについてのより詳細な知見が必要になってきている。これらの要望に対してシミュレーションの果たす役割りは大きい。ただし、短期間に最適化を図るにはシミュレーションの精度と計算時間の兼ね合いも重要である。そこで、本研究ではモンテカルロ法および分子動力学計算による原子レベルのイオン注入のモデリングとシミュレーションについて検討した。

モンテカルロ法は、注入イオンと基板構成原子との散乱を直接取り扱う計算手法で、チャネリング、結晶のダメージ、多層構造などを考慮可能なシミュレーション方法であるが、多数回の試行が必要で計算時間が膨大になるという問題があった。本研究では、結晶構造を考慮したモンテカルロ法に基づくシミュレータを開発する[5]と共に、分布の裾の計算ノイズを低減する統計性向上手法や並列計算機の利用により大幅な計算時間の短縮に成功し[6]、モンテカルロ法によるイオン注入のシミュレーションを、より実用的なものとした。

また、さらにイオン注入プロセスの低エネルギー化が進むと、結晶中での多体効果が顕著になり単純な二体衝突近似では問題が生じる。そのような状況も踏まえて、多体有効ポテンシャルを用いた分子動力学計算によるシミュレーションも行い、複数結晶構成原子との散乱によるイオンの軌道変化を調べ、モンテカルロ散乱計算手順を見直した。この章では、まず、イオン注入の従来モデルを簡単に振り返ることでモンテカルロ計算の必然性を述べ、その詳細と計算の高速化、さらなる分子動力学計算結果を示す。また、モンテカルロイオン注入シミュレーション手法を応用し、浅く急峻な不純物分布を測定する SIMS (二次イオン質量分析) のシミュレーションを行い、測定誤差補正の試みについても述べる。

2.1 従来モデル

注入されたイオンの分布についての理論としては、均一な非晶質ターゲットを仮定した LSS 理論[7]と呼ばれるものがある。その理論からガウス分布、Pearson-IV 分布などの解析的な式[8]が導かれ、標準的なプロセスシミュレータには必ず組み込まれている。しかし、素子構造の微細化、複雑化が進むにつれて十分ではなくなり、例えば、斜めイオン注入やターゲットの結晶性に起因したチャネリング現象、および結晶の非晶質化等には容易には対応できない。そこで、LSS 理論に基づき、改良解析モデル[9]、乱数を用いたモン

テカル口法 [10]~[13] や、ボルツマン輸送方程式を逐次積分する TE 法 [14]~[17] などの手法が提案されている。ここでは、それらイオン注入シミュレーション手法の概要を振り返り、その後、本研究のモンテカル口法によるモデル [5] について述べる。

2.1.1 解析モデル

解析モデルは一般に簡便で計算時間が短く済む。しかし、シリコン結晶への低エネルギーボロン注入のようにチャネリングが顕著な分布形状を表現するには、Pearson-IV 分布のパラメータフィッティングだけでは不十分である。そこで Tasch らは異なる 2 種類の Pearson-IV 分布を重ねあわせてパラメータさえ合わせ込めば 1 次元分布としては使用に耐えることを示した [9]。ドーズ量依存性を取り込むためには、その分のパラメータセットが別途必要になる。さらにターゲットが複数の材質からなる場合や任意の角度での斜めイオン注入への対応を考えると、結局多くのパラメータが必要となり、実測を合わせこむことは不可能ではないにしても拡張性には欠ける。

2.1.2 TE (Transport Equation) 法モデル

注入イオンのエネルギーと進行方向に関する分布関数を離散化して空間的に積分を行う手法であり、モンテカル口法のような粒子シミュレーションに固有の統計的ばらつきが無く計算時間も少ないが、解析次元によっては多くの記憶領域を必要とする。当初は非晶質基板における解析法として開発された [14] が、Giles [15] 竹田 [17] らが、結晶のある主要なチャンネルのチャネリング臨界角によりイオンをチャネリングするものとランダム方向に散乱されるものに分類し (図 2.1 参照)、チャネリングしたイオンについては特別な取り扱いをして結晶基板への注入に対応した例がある。しかしチャネリングを特別視したことで合わせるべきパラメータが増えてしまい、特に分離したチャンネル中を運動するイオンに対する阻止能に結果が大きく影響されるようである。他の種類のチャンネルの影響などもこれらのパラメータに埋もれてしまっている可能性が考えられる。

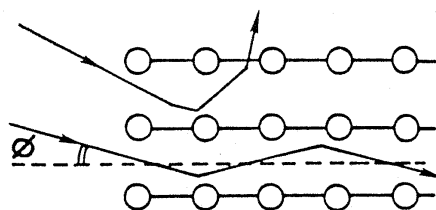


図 2.1: 結晶軸チャンネルに対するチャネリング臨界角 ϕ

2.1.3 モンテカル口法モデル

モンテカル口法では、計算機上で模擬的に粒子を 1 個ずつターゲット基板へ注入し、基板内での散乱およびエネルギー損失過程を 3 次的に直接取り扱ったもので、解析モデルに比べて計算時間は膨大なものになるが、形状や解析次元に関して原理的に制約は無い。典型的な計算フローを図 2.2 に示す。

イオン注入シミュレーションの理論的な精度は、計算に用いる原子間ポテンシャルとエネルギー損失過程

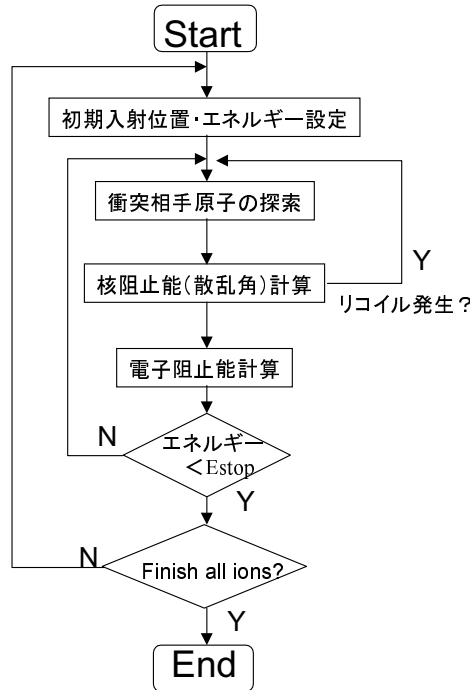


図 2.2: モンテカルロイオン注入シミュレーションフローチャート

のモデル如何による。原子間ポテンシャルには、Ziegler らによる Universal potential が最も良く用いられている[21]。散乱は二体散乱近似をベースに、その原子間ポテンシャルによる散乱積分 (図 2.3) で散乱角およびエネルギー損失 (核阻止能) が計算される。

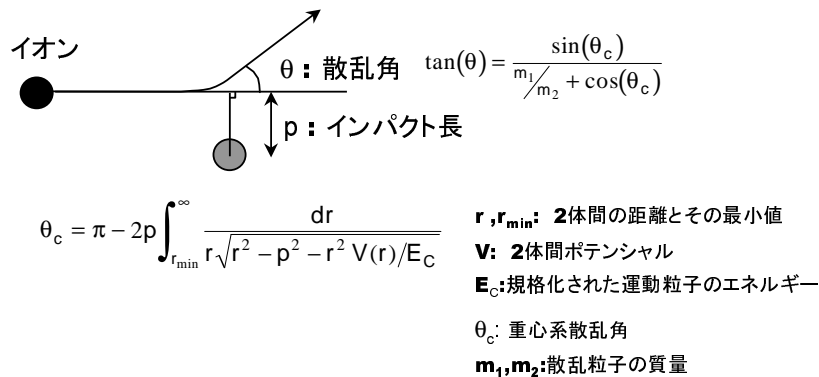


図 2.3: モンテカルロイオン注入計算のベースとなる二体散乱の取り扱い

シリコン結晶へのイオン注入時のチャネリング現象を正確に計算するためには、結晶中の価電子との相互作用モデルが特に重要である。従来、その電子阻止能には Lindhard の non-local エネルギー損失モデルや Firsov の local エネルギー損失モデルが使われていた[21]。また、価電子の詳細な分布とイオンの有効チャージ理論に基づく詳細なエネルギー損失モデルも提案されてはいるが[22] [23]。注入イオンの結晶中でのパスに沿った電子濃度の積分計算等に膨大な計算時間を必要とするため、実際の応用には適用が難しい面があった。近年、それに代わり、近似的な価電子濃度分布を採用してはいるが、従来独立なモデルであった衝突間の non-local な電子阻止能と衝突中の local な電子阻止能 (図 2.4) を同時にミックスして用いるモデル[28] [29] が提案された。本研究でもこの電子阻止能モデルを用いた。

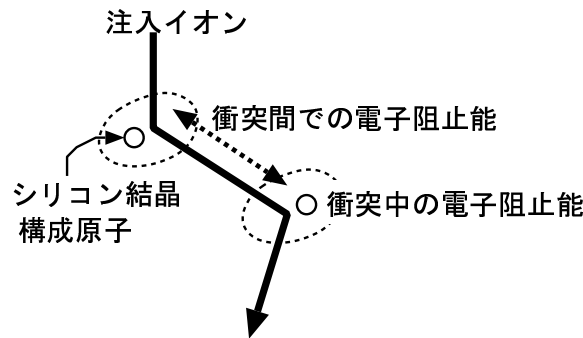


図 2.4: シリコン結晶中の注入イオンのエネルギー損失過程：Local 電子阻止能と Non-local 電子阻止能

結晶基板に浅い接合を得るために低加速エネルギーで不純物を打ち込む場合チャネリング現象がより顕著なものとなる。従来の多くの計算例 [10] [12] [13] は、非晶質ターゲット基板を対象としたもので、結晶中でのチャネリング・デチャネリングのダイナミックな振舞いが考慮されていなかった。

そこで本研究では、モンテカルロ法において結晶構造に即した注入イオンの運動を逐次追跡する方法を試み、チャネリング現象をダイナミックに含めたイオン注入のシミュレーションの有効性を示した [5]。次節にその詳細を述べる。

2.2 結晶構造を考慮したモンテカルロシミュレーション

モンテカルロ計算では、イオンのターゲット基板中の原子との衝突と自由飛行およびエネルギー損失の計算をエネルギーを完全に失うまで計算する。衝突計算は簡略化した 2 体衝突近似で計算される。アモルファス基板では、基板中の衝突間距離や衝突パラメータを密度を考慮してランダムに選ばれば良いが、シリコン結晶中では、図 2.5 に示すようにイオンは結晶構造に即した運動を追跡する必要がある。ここでは、衝突を 2 体衝突で計算する時、複数の結晶構成原子との散乱を重ね合わせることで多体効果を簡略化して表現する同時散乱の取り扱いにより結晶中のチャネリング現象を計算できるようにした。

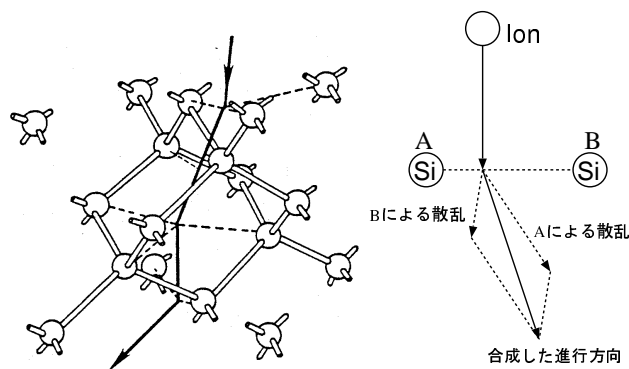


図 2.5: 結晶中のイオンの挙動：二体散乱の重ね合わせ

図 2.6 は、シリコン結晶 (100) 面に垂直にボロンを 5 keV で注入した時のボロンの軌跡をプロットしたものである。(100) 軸に閉じこめられた運動すなわちチャネリングする様子がわかる。しかし、このような規則的な運動が見られるのは、実は結晶格子の原子位置が不変、すなわち絶対零度 (零点振動を無視) の時だけで

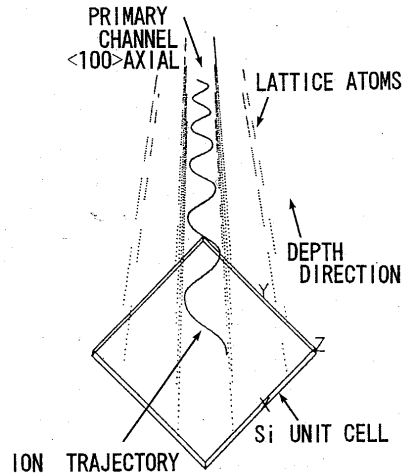


図 2.6: $\langle 100 \rangle$ 軸チャンネル中のボロンのチャネリング運動の計算

ある。結晶中の原子は熱振動をしているので、規則正しい結晶原子のポテンシャルによる閉じこめ効果が乱れて、図 2.6 のようなチャネリング運動は壊れてしまう。熱振動を計算に取り入れることによって実際の注入イオンの分布が計算できる。結晶格子原子は、その格子位置からある平均振幅で振動しているものとし、注入イオンと衝突する瞬間、格子位置からずれた位置をガウス分布（もしくは後述の分子動力学による振動分布の計算結果）から乱数で決定した。ガウス分布の場合のずれの平均値 x_{rms} は、以下のような Debye モデル式で計算される。

$$x_{rms} = 12.1 \left[\left(\frac{\Phi(\chi)}{\chi} + \frac{1}{4} \right) M_2^{-1} \Theta^{-1} \right]^{1/2} \quad [\text{\AA}] \quad (2.1)$$

M_2 は結晶格子原子の原子量、 Θ は Debye 温度、 $\Phi(\chi)$ は Debye 積分関数で $\chi = \Theta/T$ である (T は温度)。Debye 関数は以下のように与えられ数値積分により求めた。

$$\Phi(\chi) = 3\chi^{-3} \int_0^\chi \frac{y^4 \exp(y)}{(\exp(y) - 1)^2} dy \quad (2.2)$$

上式によれば、デバイ温度 645K の場合 $x_{rms} = 0.064\text{\AA}$ となる。

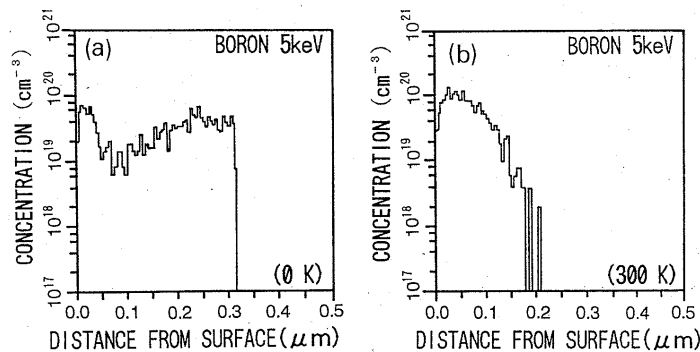


図 2.7: ボロンイオン注入分布計算における結晶原子の熱振動の効果

図 2.7 に、シリコン結晶へのボロン注入を結晶格子原子の熱振動を入れない場合と入れた場合の深さ方向分布の計算結果を示す。図 2.7(a) では、結晶格子の熱振動が無いいためほとんどのイオンは図 2.6 のようなチャネリングを起こし、分布は深くなる。図 2.7(a) の表面近辺のピークは、結晶の第 1 層の原子でランダムに散乱されたものによるピークである。これを室温での結晶原子の熱振動を入れて計算すると図 2.7(b) のよ

うになる。図 2.7(a) での深いピークは消えて実際良く見られるような分布になる。つまり、結晶へのイオン注入のシミュレーションには、チャネリング効果を表現できるように結晶構造に即したイオンの挙動を追跡することと、結晶の熱振動を取り入れることが重要である。

2.2.1 低エネルギーボロンのイオン注入シミュレーション結果

図 2.8 は、シリコン結晶 (100) 面へのボロンイオン注入の計算結果を実測と比較したものである。低エネルギーではチャネリングがより顕著になる。ここでは、よく行われるように結晶方位から 7 度ビームを傾けてチャネリングを避けようというものであるが、完全なアモルファスシリコンへの注入結果に比べてもチャネリングによると思われる分布の広がりが見られる。イオン注入角度を大きくした計算結果を図 2.9 に示す。

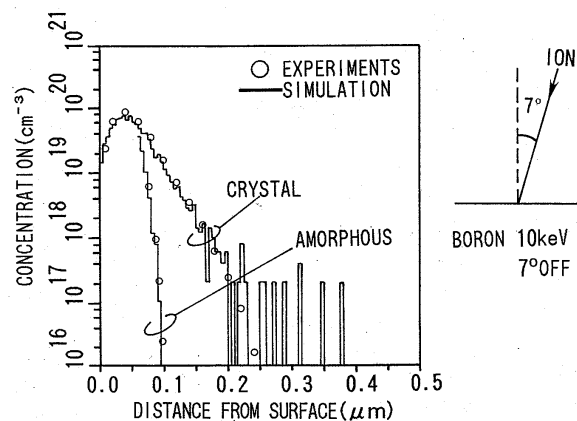


図 2.8: 7 度傾けたイオン注入の計算結果 (実測は [8] による)

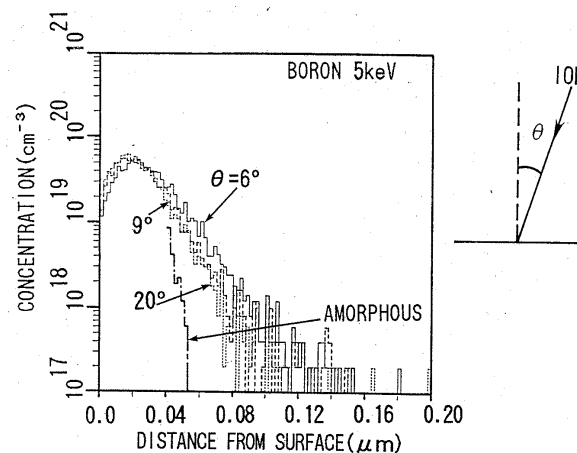


図 2.9: 注入角度を変えた場合の計算結果

注入角度を大きくしていくと、分布の広がりが抑制されるが、9 度以上傾けても効果が見られなくなった。これは、ボロンの (100) 軸チャネルの臨界角よりも大きく傾けたとき、その主軸へチャネリングするイオンは減少するが、結晶中を散乱して他のチャネルを経由して結果的にアモルファスよりも分布が広がる副次的なサブチャネリングの効果が顕著になることを示している。そこで計算中にイオンがどのような挙動をしているのか調べた一例を図 2.10 に示す。

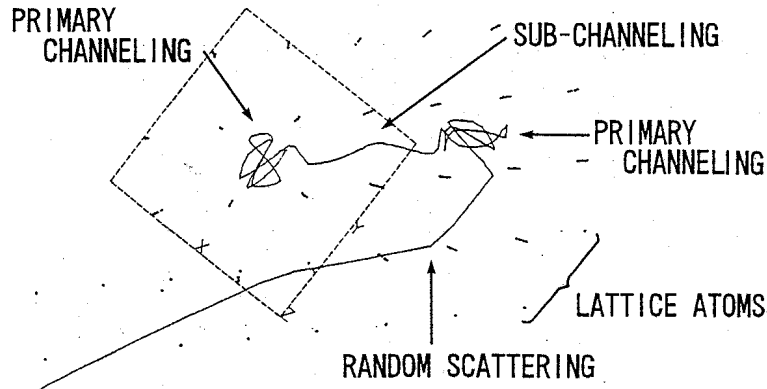


図 2.10: 結晶中のイオンの挙動計算例

図 2.10 は (100) 面に注入したイオンの軌跡を結晶面上方から見てプロットしたものである。始めイオンは (100) 軸中をチャネリングしているが、結晶原子の熱振動により散乱され、サブチャネルを經由してまた別の (100) 軸中をチャネリングし、その後ランダムに散乱された。このように、角度を付けた注入で主軸チャネリングを抑制しても、副次的なサブチャネリングの効果により、分布の広がりを完全には抑制することはできないことが判った。

また、結晶表面に酸化膜のような非晶質層がある場合の影響も調べた。図 2.11 は、ボロンを 5keV で (100) 面に垂直な注入を行った場合の計算結果と実測の比較を示す。表面が完全な結晶であるとして計算した場合、図 2.11 の点線のように広がった分布となってしまうが、表面に 1nm の自然酸化膜があるとして計算したところ実測と良く一致した。垂直注入する場合 (100) 軸チャンネルが顕著になるが、わずか 1nm の酸化膜でも、その中で散乱があるため主軸チャネリングが抑制される効果があるということを示した。

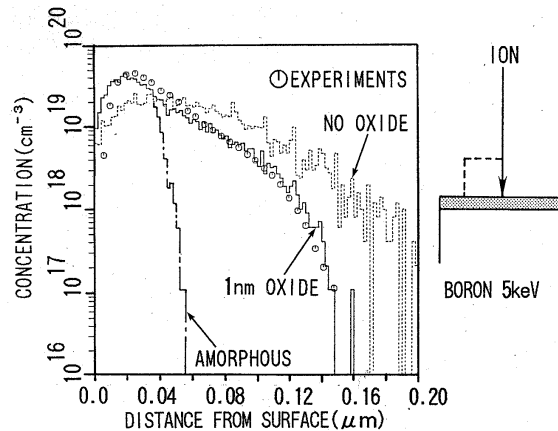


図 2.11: (100) 面への垂直注入の計算結果：表面自然酸化膜の効果

2.2.2 結晶のダメージの計算

イオン注入により発生するダメージの計算もモンテカルロ法で計算可能である。すなわち、注入イオンと結晶構成原子の衝突時に、結晶原子の結合を切るような大きなエネルギー転位が起こった場合、反跳結晶原子もイオン同様追跡した。カスケード的に起こるこの衝突過程を計算した結果を図 2.12 に示す。結晶原子が飛び出たサイトは空孔、反跳原子が停止した所では格子間原子という点欠陥の分布が計算できる。これらイオン注入中に発生する点欠陥によって、チャネリングイオンはそのチャネリング運動を妨害される。高ドーズ量注入の場合、結晶が注入されるにつれて徐々にアモルファス化していき、このデチャネリングにより最終的な分布形状は、低ドーズ注入の場合のように広がらなくなる。

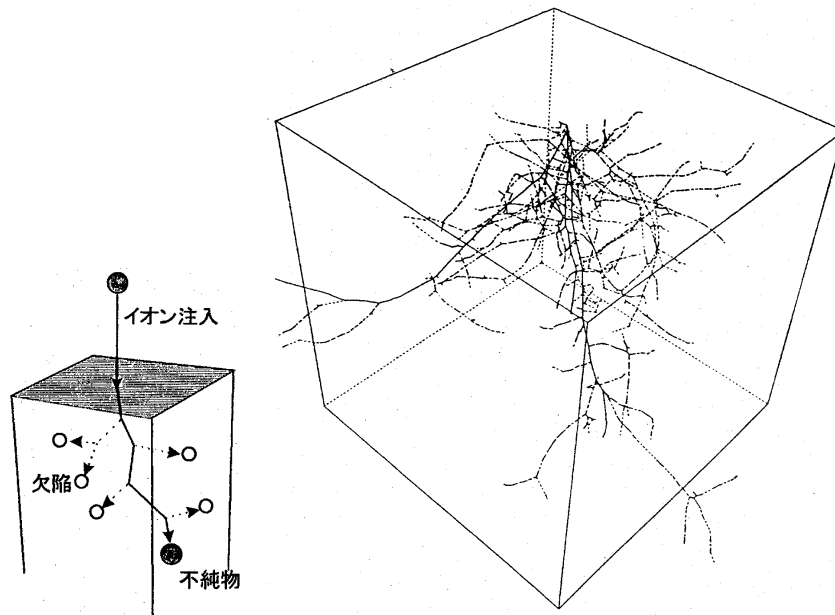


図 2.12: カスケード反跳原子を考慮した注入イオンの軌跡の計算結果

図 2.13 に、ボロンの低ドーズ ($2 \times 10^{14} \text{cm}^{-2}$) と、高ドーズ ($2 \times 10^{16} \text{cm}^{-2}$) の注入の計算結果と実測の比較を示す。高ドーズ注入の場合、チャネリングテールが減って細い分布となっている。

高ドーズ注入の計算においては、イオンを注入する度に発生する点欠陥量を計算し、その点欠陥量から、結晶の局所的なアモルファス化率を計算する。次に注入するイオンに対しては、結晶構造にアモルファス化率に応じて確率的に欠陥原子との衝突を導入する。この手順を所望のドーズ量まで繰り返した。ただし、高ドーズ量でのチャネリングテールを定量的に再現するためには、発生する点欠陥の室温での自己アニール効果を考慮 [18] する必要がある。ここでは、計算中に発生した空孔と格子間シリコン原子を、注入中に蓄積させると同時に、一定の割合で逐次減少させて、この効果を取り入れた。図 2.14 に本手法で計算したボロンと欠陥の分布を示す。

高ドーズ量 ($2 \times 10^{16} \text{cm}^{-2}$) 注入の場合は、点欠陥分布のピーク量がシリコンの原子数密度 ($5 \times 10^{22} \text{cm}^{-3}$) に達した。このことは、このドーズ量が、シリコン結晶がアモルファス化し始める臨界ドーズ量の文献値 [19] と良く一致していることを示しており、このシミュレーション結果の妥当性を示している。

不幸なことに欠陥の分布を直接測定するのは容易でなく、計算結果の定量性を確認する直接手段は無い。しかし高ドーズ注入でのデチャネリング効果とアモルファス化が起こる臨界ドーズ量を計算で再現できてい

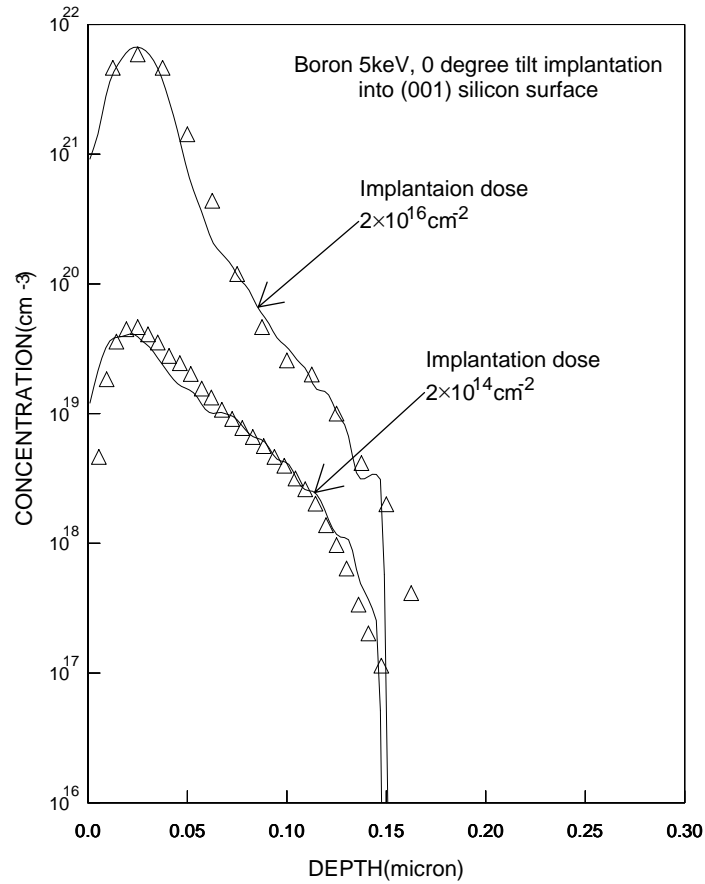


図 2.13: ボロンの低ドーズと高ドーズ量注入の比較 (実線:計算、△:SIMS 測定結果)

ることから、第一近似的には欠陥分布が定量的に得られているのではないかと推測される。また、この欠陥分布は、イオン注入後のアニール計算の初期値として利用される。ただしアモルファス化が起こるような場合、点欠陥分布の意味が無くなる。その場合は、十分速い固相エピタキシャル成長を考慮した点欠陥分布のリダクションが行われることがある[20]

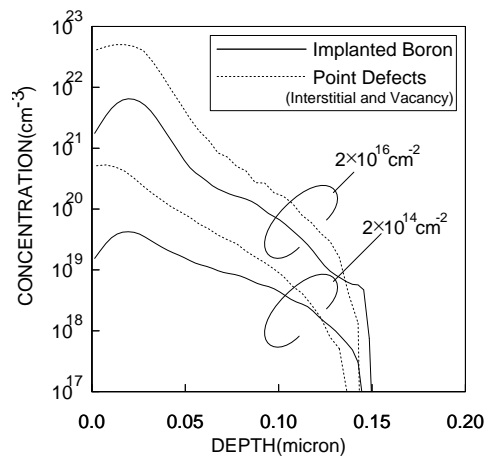


図 2.14: イオン注入により発生する点欠陥分布の計算

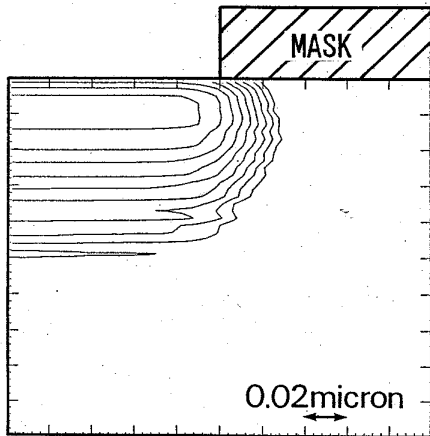


図 2.15: シリコン結晶へのボロン 5keV 注入計算結果の 2次元等濃度線図

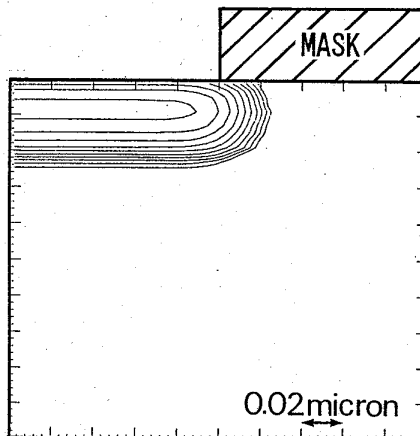


図 2.16: アモルファスシリコンの場合のボロン 5keV 注入の 2次元計算結果

2次元の計算結果を図 2.15、図 2.16 に示す。図 2.15 は垂直なマスクを付けたシリコン結晶へのボロン 5keV の注入の計算結果、図 2.16 はアモルファスシリコンへの注入結果である。ボロン等による浅い接合形成のためチャネリング抑制を狙ってプリアモルファス化が行われる場合がある。図 2.17 は、シリコン結晶にシリコンを注入してアモルファス化した時の、結晶のアモルファス化率を計算し、アモルファス化率の等値線図にプロットしたものである。図 2.18 は、そのアモルファス化された後に注入したボロンの分布である。

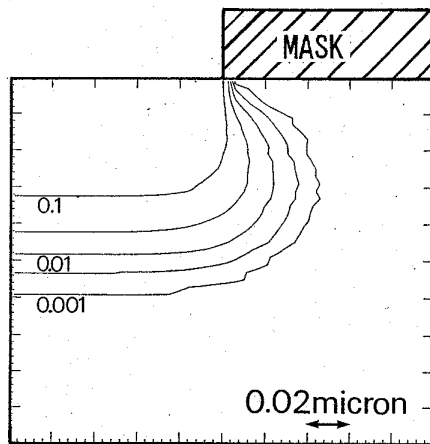


図 2.17: 結晶シリコンへ Si を注入した場合の結晶の損傷度合いの等値線図

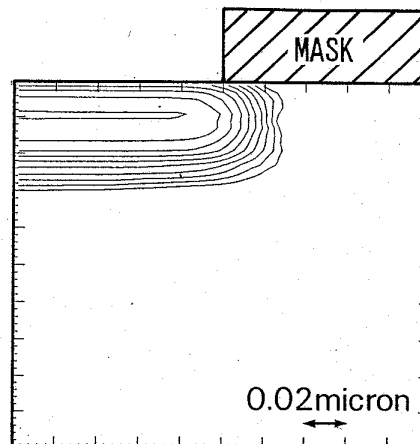


図 2.18: プリアモルファス化されたシリコン基板へのボロン注入の計算結果

シリコン注入によるアモルファス化で、アモルファス化率 0.1 程度で十分ボロンの深さ方向のチャネリングは抑制できている。しかし、ここでのシリコン注入ではマスク直下のアモルファス化が十分でなかったため、図 2.18 に見られるように、ボロンのマスク下への広がりが、図 2.15、図 2.16 に比べてさえも若干大きくなってしまっている。すなわち不十分なプリアモルファス化により散乱されて、結晶性が残っているマスク下への横方向のチャネリングを起こすようなボロンが逆に増加してしまうようなことがあることを示した。

2.2.3 分子イオンの注入

本研究のモンテカルロ法では BF_2 のような分子イオンの注入計算も可能である[6]。 BF_2 は単一ボロン注入に比べて実効的にボロンのエネルギーを下げられること、シリコンをアモルファス化させる効率が高いなどの理由で浅接合形成に積極的に用いられている。 BF_2 は注入直後は分子状態として原子量が B と F 2 つ分の仮想原子として計算し、大角度散乱を受けた直後、B と F 2 つに分解し、それぞれ運動エネルギーを引き継いで運動するものとして個々に追跡計算を続けた。

図 2.19 は、 BF_2 を大小異なるドーズ量で注入した場合のシミュレーション結果と実測の比較である。高ドーズ時には結晶損傷によりチャネリングテールが減少し分布が急峻になる。本シミュレータでは、注入イオンの分布と同時にリコイルによる反跳原子の追跡も可能であり、欠陥分布の見積もりが可能である。結晶のダメージの度合い（アモルファス化の度合い）はチャネリングによる分布のすそ広がりに影響するがイオン注入ドーズ量依存性をシミュレーションはよく再現できている。また、ダメージに起因するドーズ量依存性が正確に計算できているということは、イオン注入ダメージ量自体が第一近似的に正しく計算できているとも言える。

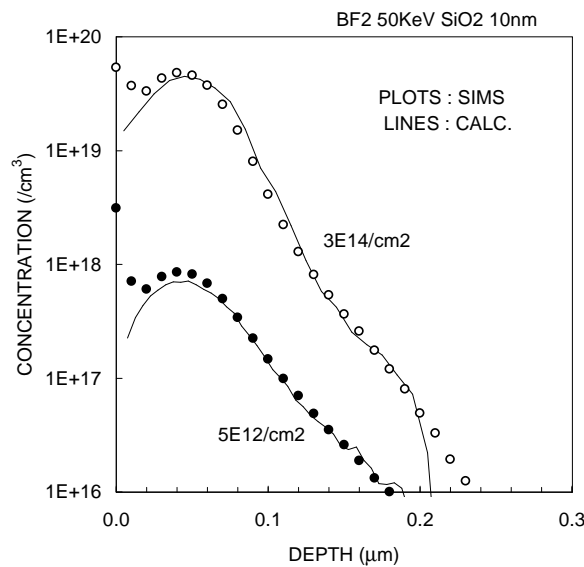


図 2.19: 異なるドーズ量での BF_2 イオン注入のシミュレーション結果と実測の比較（注入エネルギー = 50keV, ドーズ量 = 5×10^{12} および $3 \times 10^{14} \text{ cm}^{-2}$ ）

2.2.4 極低エネルギー（サブ keV）注入のシミュレーション

デバイスの微細化が更に進み、ゲート長 100nm 以下の MOSFET 開発が試みられるに従い、より浅い接合形成の必要性が生じている。様々な手法が検討されたが結局イオン注入に替わる技術は未だ完成を見ていない。その間イオン注入技術の低加速化が着実に進歩し、現在、1keV 以下のエネルギーの注入が装置上可能になり、特に MOSFET のソース・ドレイン extension 部に適用されている（図 2.20）[24]

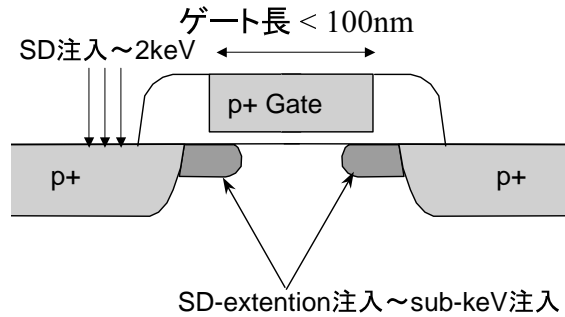


図 2.20: サブ 100nm ゲート長 MOSFET におけるソースドレインイオン注入エネルギーのサブ keV 化

これまでに述べたように、本研究のイオン注入のモンテカルロシミュレーションは、5keV 程度の低エネルギー注入までは、かなりの精度を有していた。ところが、実験で得られたボロンのサブ keV イオン注入プロファイルの実測結果をこれまでの手法で計算したところテール部に大きな相違が生じることが判明した（図 2.21）。

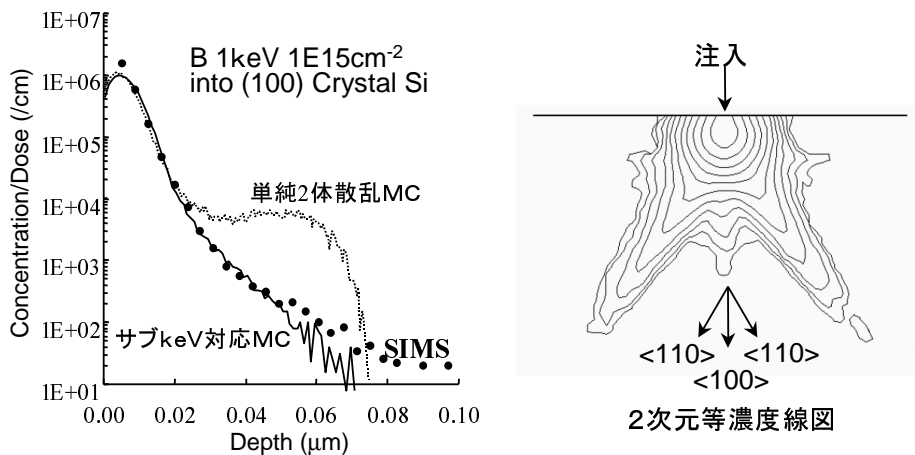


図 2.21: ボロン 1keV 注入プロファイル

前述のモンテカルロシミュレーションの方法においては、散乱の計算が 2 体散乱近似と結晶中の散乱の単純な合成からなっており、ある程度エネルギーが高いことがその前提にある。極低エネルギーでは多体効果がより強く影響し、計算結果が実測と異なってくると考えられるが、図 2.21 の計算結果をよく見ると、注入イオンは (1 0 0) 面に垂直に入射したにもかかわらず、低エネルギーのためシリコン結晶構成原子との散乱で軌道を曲げられ、(1 1 0) 軸チャネリングが顕著に起っており（図 2.21 中の挿入図）深さ方向濃度分布の裾は、そのチャネリング成分の違いによるものであった。

サブ keV イオン注入条件が、モンテカルロイオン注入シミュレーションの単純な 2 体散乱近似の限界を示唆している。多体効果を正しく取り入れる計算手法に分子動力学法があるが、全原子の運動を追跡することになり、計算時間がモンテカルロ法よりも多大で実用的なイオン注入プロファイルの計算は容易でない。そこで、この分子動力学 (MD) 計算手法を用いて、モンテカルロ法の散乱計算の方法を改良することにより、どのようにすれば、モンテカルロ計算でも MD 計算と同様の注入イオンの軌道計算ができるかを検討した。その結果、2 体散乱近似においても、time-integral と呼ばれる量を適切に導入し、散乱の順番を適切に考慮した散乱計算の方法により、MD 計算の散乱イオンの軌道をかなり良く近似できることが判り、モンテカルロシミュレーションの有効性をサブ keV 領域まで広げた (図 2.21)。以下に詳細を述べる。

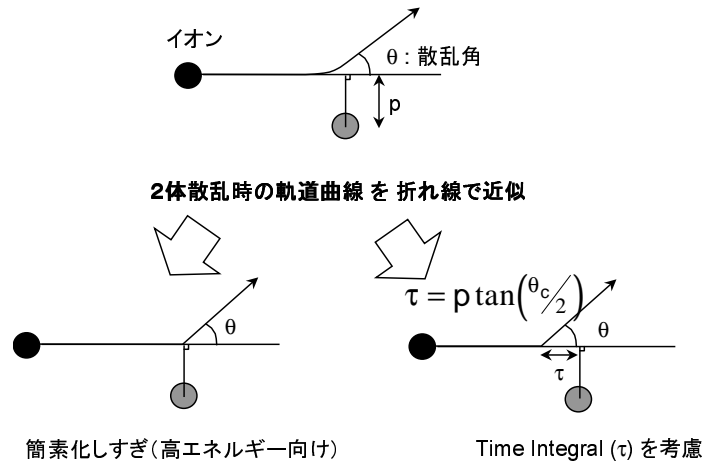


図 2.22: 単純 2 体散乱近似への time-integral の導入

従来のモンテカルロ法の散乱計算の特徴は、2 体散乱であるにもかかわらず、チャネリングを表現するために、同時散乱を導入していることにある。散乱は、衝突パラメータという量でのみ記述され、イベント毎に最近接位置 (進行方向の延長線上に衝突相手原子からの垂線が交わる点) における進行角度の変化という量が計算される (図 2.22 の time integral 無し)。最近接距離に原子が複数存在した場合には、それぞれが別の散乱過程として計算される代りに、それらを合成した新しい進行方向が計算される (図 2.5)。エネルギーが数 keV より高い場合、この扱いによりチャネリングイオンの軌道はよく再現できていた。この手法では、サブ keV のエネルギーでのボロンイオン注入の計算結果 (図 2.21) に実際には見られないテール部の盛り上がりが生じる。(110) チャンネルに捕らわれる成分が多すぎる計算結果となっている。

散乱計算を行う場合に、実際は滑らかなカーブを描く散乱粒子の軌道をモンテカルロ法では、散乱するポイントで折れ曲がる折れ線で表現する。図 2.22 に示すように、この散乱ポイントは衝突パラメータと進行方向の交わる点からやや後方にシフトする。このシフト量 τ は time-integral と呼ばれ [32]、剛体球近似から計算でき、衝突パラメータを p 、重心系での散乱角を θ_c をすると、 $\tau = p \tan(\theta_c/2)$ と書ける (図 2.22)。この time-integral はエネルギーが高い場合はほぼ無視しても構わなかったが、エネルギーが 1keV 以下では無視できない大きさになる。

そこで、この time-integral を導入し、かつ本来連続的な散乱を離散的イベントとして捉えた場合の重複散乱を許すように 2 体散乱計算方法を改良した。これを用いて、図 2.23 に示すように、シリコン結晶の原子間距離だけ離れた 1 対の Si 原子の間に垂直にボロンを 200eV で向かわせた場合にどのような軌道を描くかを、多体効果を取り入れた分子動力学軌道計算、従来の同時散乱 2 体近似 MC (重複排除)、および新 MC (重複

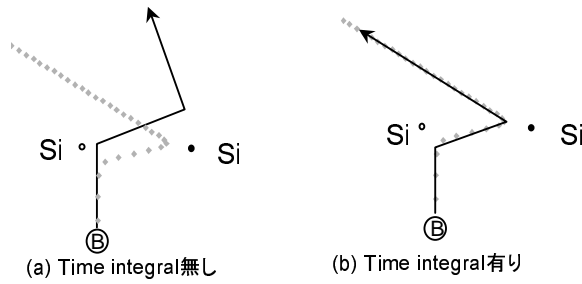


図 2.23: 2 つのシリコン原子の間に向かう低エネルギー (200eV) ボロンの軌道計算

許可,time-integral) の各計算方法で比較したところ、time-integral を導入した 2 体散乱近似で分子動力的軌道計算をほぼ再現できることがわかった。また、図 2.21 に示すように、(100) 面にボロンを 1keV で注入した場合の深さ方向分布の計算は、新 2 体散乱 (time-integral を導入した) MC 計算では従来法によるテールの盛り上がりは抑制され、実測のテール形状を良く再現するようになった。散乱過程の計算方法の改良により、(110) への 2 次チャネリングの過大評価を改善できたことによる。

改良モンテカルロイオン注入シミュレータによる、ボロン 1keV 注入の 2 次元計算結果を図 2.24 に示す。(100) 軸に垂直に入射したにもかかわらず、低エネルギーのためシリコン結晶中で軌道が曲げられ、2 次チャネリングにより (110) 方向に分布の裾が大きく広がっていることが判る。このように本研究ではサブ keV 領域のイオン注入のシミュレーションを改善し、(110) チャネリングが重要になるということを示した。

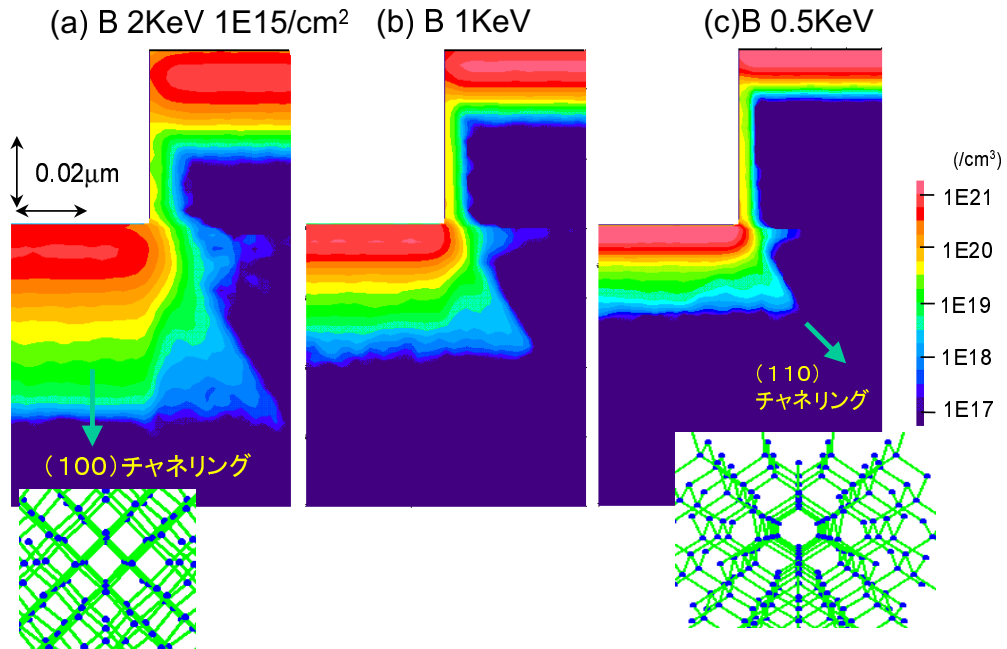


図 2.24: ボロン 0.5-2keV 注入の 2 次元計算結果 (サブ keV 注入では (100) 軸に垂直に入射したにもかかわらず 2 次チャネリングにより (110) 方向に分布の裾が広がる)

2.2.5 まとめ

シリコン基板の結晶構造を考慮したイオン注入のモンテカルロシミュレーション手法を開発した。結晶原子との同時散乱と熱振動を計算に取り入れることで、任意の角度での注入によるチャネリング、結晶構造のダメージ、表面酸化膜の影響を実用的な計算時間で解析できることを示した。更に、分子動力学計算によるイオン軌道解析を基にモンテカルロ2体散乱計算手法の改良を行ないサブ keV 領域の低エネルギーイオン注入シミュレーションの精度も向上させた。イオン注入のダメージは、その後のアニール時の不純物増速拡散を引き起こすが、拡散シミュレーション時の初期点欠陥量の見積りに本イオン注入シミュレーションの結果を用いることができる。増速拡散のモデリングについては第3章で述べる。

(本節の内容は主に原著論文(1)、および1998年春季応用物理学会 28a-L-2[25]に記載。)

2.3 計算の高速化：統計性向上向上と並列計算

2.3.1 イオン注入シミュレータ高速化の必要性

イオン注入シミュレーションは、正確な不純物分布の初期値を与えるのに加え、素子の微細化、高速化のための様々なプロセスデバイス技術の試みに対して、その試作回数を低減し、最適な条件を得るのに重要な役割を果たす。例えば、チャネリングイオン注入を用いて MOSFET のソース・ドレイン直下にカウンタードープを行い、不純物濃度をセルフアラインで低下させて接合容量を低減することで素子の高速化を計る試み [26] が報告されている。図 2.25 に示すように、ゲート電極をマスクとして、ソース・ドレインの真上からチャネリングを起こすように垂直にベアシリコン表面もしくは非常に薄い酸化膜越しにカウンタードープイオン注入を行った。これによりソースドレイン直下の深い位置の基板濃度を低減させ、また同時にゲート下部への横方向広がりを抑えてチャネル部への影響を最小にできる。

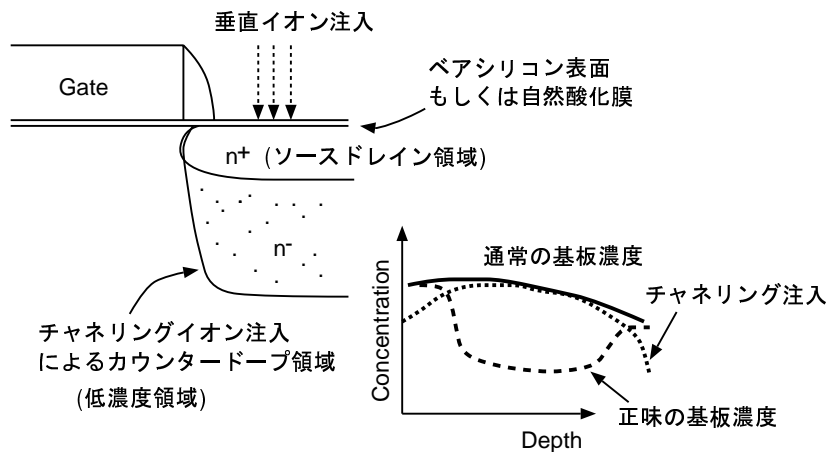


図 2.25: チャネリングイオン注入を用いた MOS 拡散層容量の低減の試み (中村らによる[26])

ここではゲート下への広がりをも考慮した正確なチャネリングイオン注入のシミュレーションを行い、この効果を確認すると共に、最適な注入条件を導出するのに大いに役に立った。モンテカルロ法は自然にチャネリングを表現でき、結晶の損傷と多層構造や斜めイオン注入にも容易に適用できる。しかし、最大の欠点は、多数粒子の試行による意味ある統計的結果を得るのに膨大な計算時間が必要になるということである。注入イオンの分布は近似的にはガウス分布のような分布形状になるが、少ない試行粒子数では、分布のばらつき、特に分布のすそでのばらつきが顕著になり、解のダイナミックレンジを稼ぐのに1次元計算でも数万個の粒子が必要である。計算時間は試行粒子数にほぼ比例して増大するが、チャネリングを起こすイオンの飛距離は通常の大角度散乱を起こすイオンに比べて長大で、その分更に計算時間を要する。上記の実用的な応用のためには、イオン注入のモンテカルロシミュレーションの高速化技術が不可欠であった。

本報告では、この課題に対し共用できる2つのアプローチを提案する。一つは、少ない粒子数すなわち短時間で分布のすそのばらつきを改善し解のダイナミックレンジを向上する統計性向上手法の考案と適用、もう一つは計算速度の大幅な向上を実現できる並列計算機の利用である。これらにより、従来トータルプロセスシミュレーションシステムには非現実的と言われていたモンテカルロ法を十分実用的なものとした。以下順に述べる。

2.3.2 統計性向上手法

従来のモンテカルロ法によるイオン注入シミュレーションでは、有限のサンプル粒子で計算するため、解の精度を上げるには粒子数を単純に増やすしかなく膨大な計算時間が必要という欠点があった。図 2.26 は、シリコン結晶へのリンイオン注入を粒子数 2000 個で計算した結果であるが、分布の裾はサンプル数が少ないためノイズになってしまっている。このノイズを改善するためには通常 10 倍以上の粒子数と計算時間が必要になる。

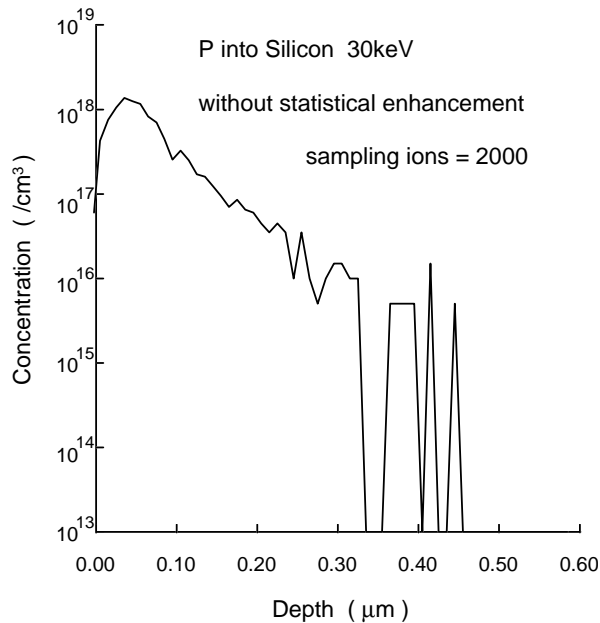


図 2.26: 結晶シリコンへのリンイオン注入の粒子数 2000 個を用いたモンテカルロシミュレーション結果

分布の裾は表面から長い距離を経たイオンで構成されていることから、あるイオンを途中から別の乱数列で計算し、長距離のフライト長(図 2.27)を持つそれらイオンの軌道のみを多段階に分裂させて(図 2.28)、分布の裾での実効的なサンプル数を増大させるという手法を提案する[6]

全部の粒子数を増大させるのではなく、分布の裾近辺に達するイオンについてのサンプル数のみを増大させるため、計算時間に対する負担が低減する。どのイオンがどの程度結晶中を進んだかという情報は逐次自動的に計算される。また、どの程度の距離を進んだ後分裂するかという情報も、計算をしながら適時自動更新が可能である。この特徴は 2、3 次元の解析では特に有利に働く。図 2.29 は、先述の図 2.26 のイオン注入条件に対して本統計性向上手法を適用した結果を示す。

段数パラメータ n_s を 4 とした場合においては計算時間はほぼ同じであった。にも関わらず分布の形状は、統計性向上を適用しない場合 ($n_s = 0$) に比べて約 1 桁分解能が向上している。これは分布精度の 1 桁向上には 10 倍の計算時間が必要であったことを考えると、実効的に 10 倍の計算効率向上を実現したということに相当する。

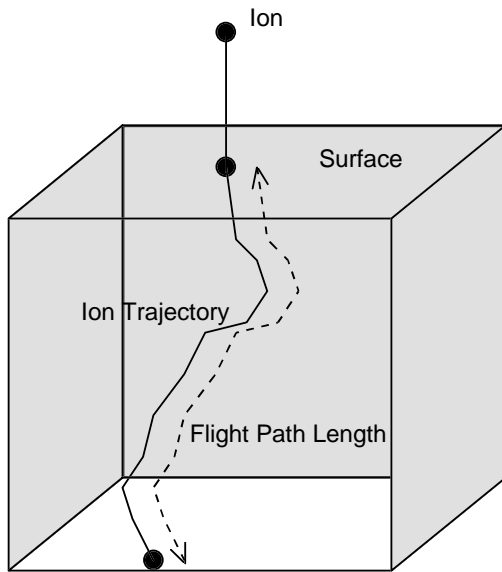


図 2.27: 注入イオンの基板中での 3 次元フライト長を表す図: 基板中をどの程度の長さ進んだかが軌道分割の指標

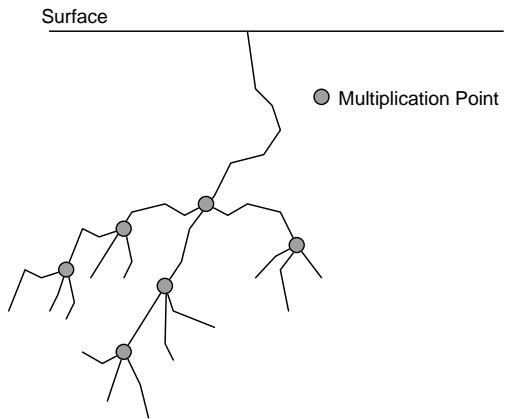


図 2.28: 基板中をある距離進んだイオンに対して別の乱数列で計算するコピー操作 (この操作は多段適用されるため trajectory multiplication(軌跡増倍)と呼ばれる)

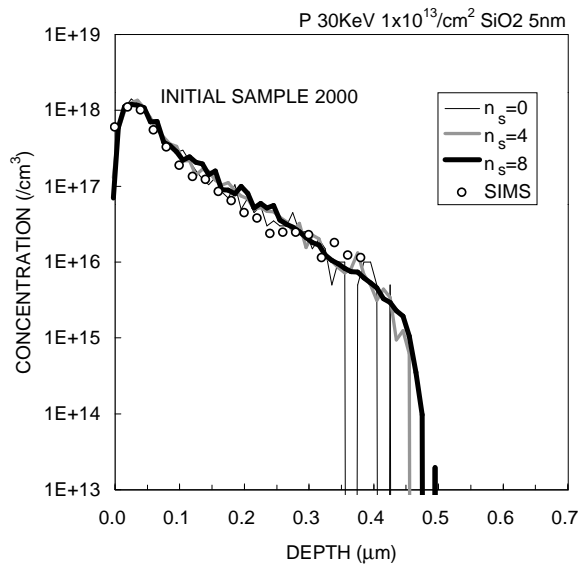


図 2.29: 統計性向上手法を適用したリンのイオン注入のシミュレーション結果 (n_s は軌道分割段数パラメータ、 $n_s=0$ は統計性向上なし、 $n_s = 4$ では統計性向上なしの場合と計算時間はほとんど変わらないが、分布のすその分解能は約 1 桁向上している)

2.3.3 並列計算手法

モンテカルロイオン注入シミュレーションにおいて、近年商業ベースで手に入るようになった並列計算機を用いれば、さらに大幅なスピードアップが可能である。ただし、並列計算用にアルゴリズムを変更工夫する必要がある。ここでは、図 2.30 に示すように、イオン注入の粒子サンプリングのループを並列化した。

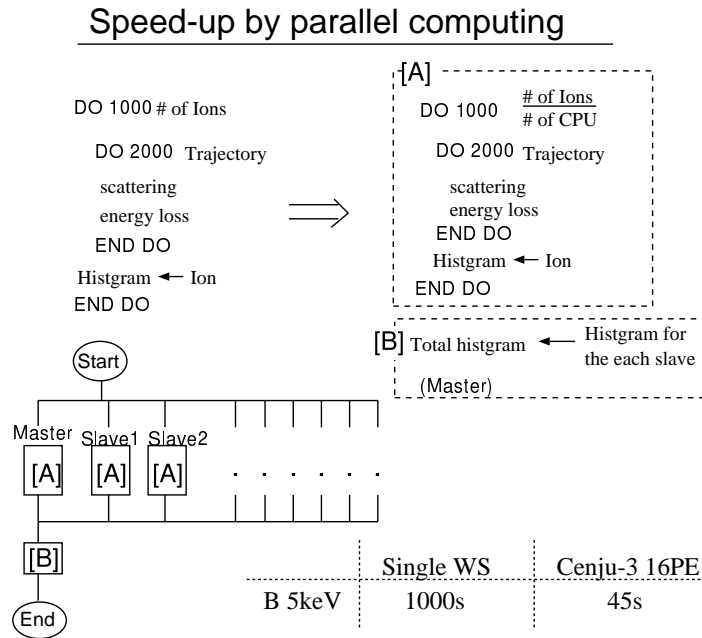


図 2.30: モンテカルロイオン注入シミュレーションの並列計算向けアルゴリズムの変更（外側のイオン個数のループを個別プロセッサ A に並列化、最後にマスタープロセッサ B で各結果を集計）

完全結晶を仮定すれば、ほぼ並列プロセッサ台数分の速度向上が期待できる。例えば浅接合形成低エネルギーボロンイオン注入の計算は、通常のワークステーションでは数 + 分掛かる計算が、NEC 製の並列計算機 Cenju-3 16PE (Processor Element) では、1 分足らずで計算できてしまう。十数台の並列プロセッサと先述の統計性向上手法 (10 倍高効率) を組み合わせて、従来に比べて数百倍の効率向上が達成できる[6]

2.3.4 計算例

2次元チャネリング注入計算

図 2.31 は、シリコン (100) 結晶に、チャネリングを起こす条件でのリンのイオン注入の計算結果である。

ほとんどのイオンは、(100) 軸チャネリングにより、シリコン基板の深くまで侵入し、ゲート直下への横方向広がりはあまり無い。一方、チャネリング注入でなければ、多くのイオンは深くまで侵入する前に散乱により横方向に広がってしまい、デバイスの短チャネル特性を変化させる。横方向広がりがどの程度かは、2次元不純物分布の正確な測定が現時点では難しいため、本シミュレーションが有用な知見を与える。ただし、この計算を通常のワークステーションで行うと十数時間の計算時間を要し、条件をいくつも変えて最適条件を求めることは現実的には難しい。実際のこれらの計算には、先述の統計性向上手法および並列計算機がフルに用いられ、一条件数十分程度で計算可能であった。モンテカルロ計算と言えども現実的なシステム

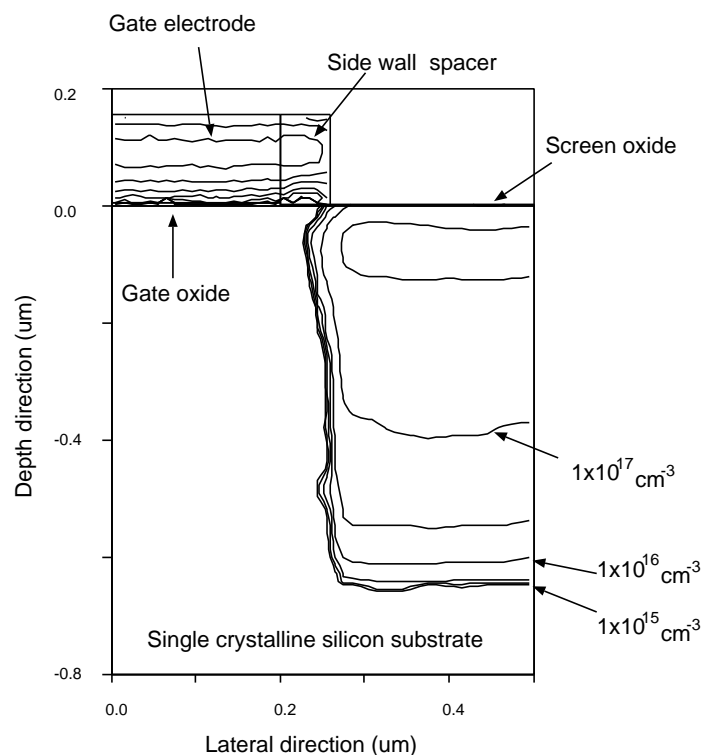


図 2.31: シリコン (100) 結晶へのリン 50keV チャネリングイオン注入のシミュレーション結果 (初期サンプリング数=50000、計算時間は、single workstation (NEC 製 EWS4800/350) で 50065 秒、並列計算機 (Cenju-3, 16PE) で 2878 秒)

の中で十分適合するレベルのツールを実現したと言える。

2.3.5 まとめ

イオン注入のモンテカルロシミュレーションの計算方法について、イオンの飛行距離の分布に基づくイオン軌道分割による統計性向上手法と並列計算の適用により、従来に比べて約 100 倍の効率化を実現した。また、チャネリングイオン注入による接合容量低減等の実際の製造プロセスに対するシミュレーション応用例について述べ、その有用性を実証した。(本節の内容は主に原著その他論文 (3) に記載。)

2.4 SIMS シミュレーション

2.4.1 背景と目的

前節までに述べたようにイオン注入モデル、不純物拡散モデル共にモデル改良を行なう際、実測との照らし合わせや、実測からのモデルパラメータの抽出も依然重要である。また、近年、デバイス性能向上のため浅い不純物分布は必須となり、かつ、不純物分布形状エンジニアリング等も勢力的に行なわれるようになると、不純物分布に対する予測精度の要求レベルは以前にも増して高くなっている。

シリコン中の不純物分布は深さ方向 1 次元分布であれば、Secondary Ion Mass Spectrometry(以下 SIMS) によってかなり正確に測定されてきた。プロセスシミュレータの精度確認とモデルパラメータの抽出も、ほとんどの場合、SIMS 測定結果との比較でなされてきた。ところが、浅く急峻な不純物分布の場合、SIMS 測定方法によっては得られた分布は真の分布とかなり異なるだけた分布になってしまうことがある。また、真の分布から外れた測定結果から抽出されたモデルパラメータを用いることにもなり、正確さに欠けた結果となる。現在の SIMS 測定では、通常、スパッタ領域の中心近辺の平坦性の良い領域からの 2 次イオンのみを意図的に分析している[31]。従って、不純物分布のだけは、(1) SIMS の一次イオンビームの衝撃により測定対象不純物がロックオンされること、(2) 現在の測定点よりも深い位置からのリコイルがあること等、SIMS 測定の本質に起因するものと考えられる。

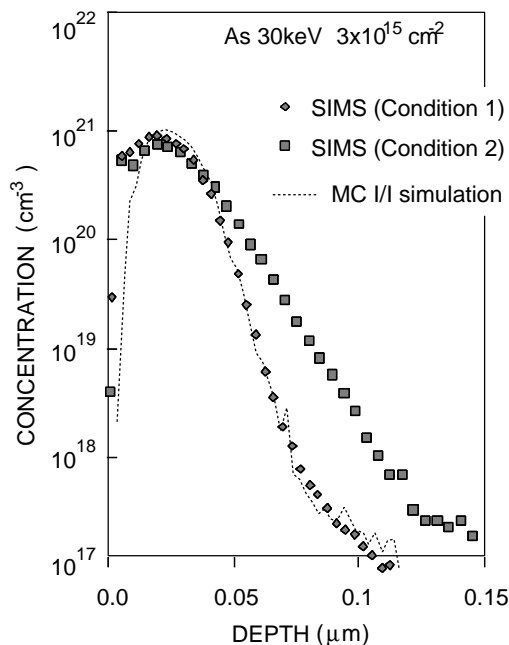


図 2.32: 砒素イオン注入プロファイルについての SIMS の異なる条件での測定結果 (点線はモンテカルロイオン注入シミュレータの計算結果, SIMS 測定の条件は表 2.1)

モンテカルロイオン注入シミュレータは注入されたイオンの基板構成原子との相互作用を詳細に計算するという点で原子間ポテンシャル、電子阻止能さえ適切なものであれば、かなり信頼できる計算方法である。本研究では、シリコン結晶構造に起因したチャネリングやドーズ量に依存したダメージを考慮した計算もかなり良く実測を再現することができている。SIMS 測定はまさに、高ドーズイオンフラックスの連続的なイ

オン注入と言える。そこで、モンテカルロイオン注入シミュレーションの手法を拡張して、基板原子と注入イオンのダイナミックなミキシング、基板組成変化、2次粒子放出と表面後退(スパッタリング)の計算を行なえば、SIMS 測定のシミュレーションが可能であると考えた。

今までに、スパッタリングのシミュレーションは過去何件か報告されている[32]。これらの文献はスパッタされて出てくる原子の角度分布等を詳細に計算しようとしているもので、表面構造、表面原子の結合エネルギーや表面荒れ具合などの多くのパラメータを必要としている。また、TRIM.SP プログラム[32]はスパッタされて出て行かない表面から遠いイオンは追跡しないようになっており、リコイルやノックオンにより引き起こされる測定対象の不純物分布の変化を見たい計算には適さない。

本研究において、モンテカルロイオン注入シミュレーションの手法を拡張して、SIMS で測定される2次粒子のカウントが実際の分布からどのように変化するかを定量的に見積もる試みを行なった。また、微量元素の分布の測定に対しては、その存在量が微量であるため、計算上多大なコストを要した。ここでは、二次リコイル確率を計算上人工的に増大させて、少ないサンプル粒子数で十分な統計的結果を得る統計性向上手法を開発した。これにより、たとえ微量元素の分布がデルタ関数の分布であったとしても、それに対する仮想的な SIMS 測定のシミュレーションが実用的な計算時間で可能になった。さらに、仮想デルタ関数分布の SIMS 測定シミュレーションからは、いわゆる測定の分解能関数が十分な桁数で計算できる。よって、本研究では、デコンボリューションにより、ノックオン効果による誤差を含んだ測定結果から、真の急峻な分布を計算により求めることができることも示す。これらについて、シリコン中の急峻な砒素の分布に対して適用した結果について述べる。

2.4.2 モデリング

低エネルギー砒素イオン注入の結果(深さ方向分布)を、異なる方法で SIMS 測定した結果を図 2.32 に示す。

表 2.1: 異なる SIMS 測定条件 (Quadrupole: PHI-6650, Magnetic-sector: CAMECA-ims-3f)

	Condition 1	Condition 2
SIMS	Quadrupole	Magnetic-sector
Primary ion	Cs ⁺	Cs ⁺
Energy	5.0keV	14.5keV
Incident angle	60°	24.5°
Ion flux	$5.4 \times 10^{15} \text{cm}^{-2}/\text{sec}$	$1 \times 10^{15} \text{cm}^{-2}/\text{sec}$
Sputtering rate	0.6nm/sec	0.58nm/sec

測定方法の違いを表 2.1 に示す。Condition 1 は、Quadrupole (4重極、以下 Q-pole) 質量分析計を備えた比較的新しい装置 (PHI6650)、condition 2 は、従来の標準的な SIMS 装置 (CAMECA-ims-3F) による測定条件を示す。図 2.32 では、condition 1 で測定した結果が、よりシャープであり、かつイオン注入シミュレータの結果はこれと良く一致している。Condition 2 による測定結果から判断するとシミュレータが狂っていると言われても仕方がなかった。これらの結果からは Q-pole SIMS 装置がより精度が良く見える。しかし、従来装置を用いた場合でも、測定条件がどのような影響を及ぼすか計算で見積もることができれば測定結果から真のプロファイル(に近い値)を推定できる可能性がある。また、あらかじめどのような測定条件ならば適切なプロファイリングができるかを実際に測定を行なう前に知ることも可能となる。

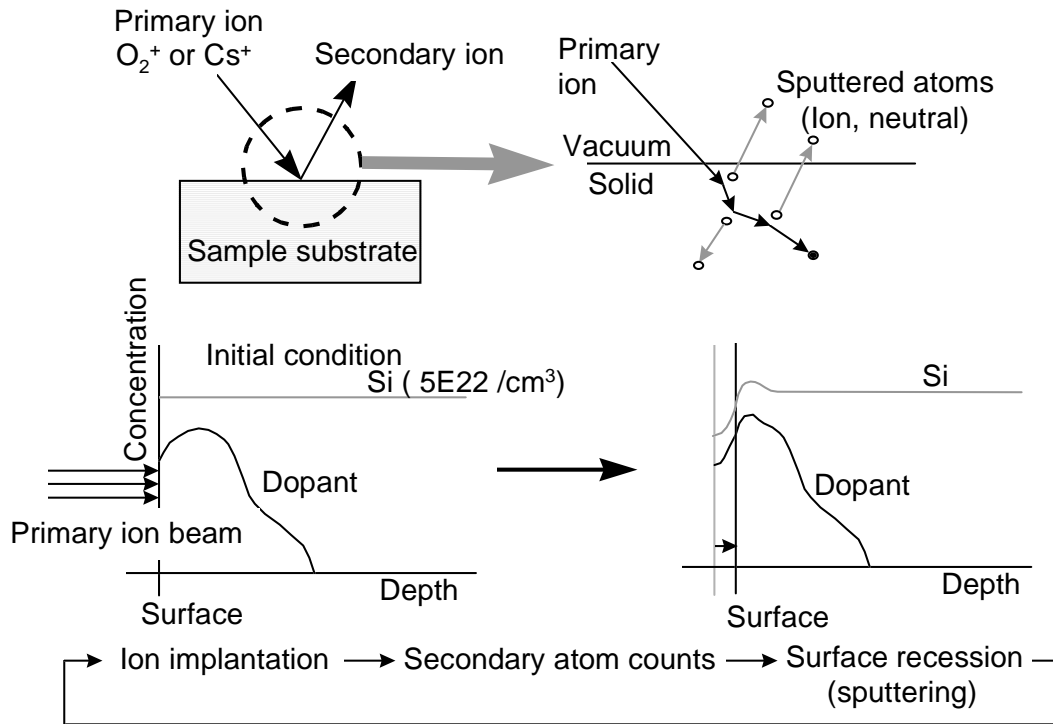


図 2.33: SIMS シミュレーションの手順

実際の SIMS 測定では質量分析計への導入のため 2 次イオンをカウントしているが、2 次粒子のイオン化確率を予測するのは容易でない。2 次イオンと 2 次粒子の相対強度のみが重要なこと (総量が既知な標準試料を同時に測定して濃度に変換) から、2 次粒子を計算上カウントすればよく、イオン化過程を計算する必要は当面ないと考える。

イオンと基板構成原子との相互作用は本研究のモンテカルロイオン注入シミュレーションと共通である。イオンと衝突してたたき出される原子 (knock-on 原子) をイオン同様に計算に採り入れる点も同様である。ただし、(1) 注入した 1 次イオンそのものによる基板濃度の動的変化、(2) 注入した 1 次イオンの蓄積とその後に来る 1 次イオンとの散乱、(3) 表面から逸脱する粒子のカウント (SIMS の 2 次イオンカウントに相当)、(4) 表面の後退 (スパッタリング)、などを追加考慮する必要があった。

イオン注入計算の基本的仮定として、主に計算の高速化のため基板はアモルファス構造を仮定した。実際に、1 次イオンの照射により基板界面近傍は急速にアモルファス化するため、この仮定は妥当なものと考えられる。リコイルが発生するためのしきい値エネルギーは、12.5eV としイオン種依存性、空間依存性は考慮していない。また、本節の計算においてはイオンの阻止能はほぼ核阻止能で決定されているため、電子阻止能モデルの選択は結果にあまり影響を与えない。この事を考慮しプログラム上簡素に処理できる Firsov モデルを用いた。

計算は一次元で行ない、イオン注入シミュレータ同様基板をメッシュに分割し各メッシュ内での組成の時間的变化を微小時間刻み Δt で離散化して逐次更新する計算を行なう。ただしスパッタリングによる表面の後退速度を計算で求めるのは表面近辺の結合エネルギー、特に高ドーズ 1 次イオン衝撃下の結合エネルギーの詳細な情報が必要で、今回は実測から得られる平均値をそのまま使用した。この影響については後に述べる。計算方法の概略を図 2.33 に示す。

すなわち、測定対象不純物を含んだシリコン基板に対して、ある時間ステップ Δt 中で、1 次イオン (Cs^+ または O_2^+) の注入計算を、全衝突カスケードとリコイル原子の発生を考慮して行う。1 タイムステップの計算が終了した時点で、表面から放出された 2 次粒子をカウントし、スパッタレートに合わせて界面位置を更新する。このとき 2 次イオンは、界面から放出されたものと強制的にスパッタされた領域に残存したものの合計としてカウントする。界面位置の移動と基板組成の変化を記録し、次の時間ステップへ引き継ぐ。以下これを所望の深さに達するまで反復する。この 2 次イオンのカウントが SIMS 測定データに相当する。

測定対象基板を深さ方向スラブ分割し、散乱確率を以下のように簡潔に表現するようにした。

$$P_{max} = \left[\frac{4}{3} \pi N_{total} \right]^{-\frac{1}{3}} \quad (2.3)$$

$$\Lambda_{total} = [P_{max}^2 \pi N_{total}]^{-1} \quad (2.4)$$

ここで、 N_{total} は各スラブ中での全原子濃度、 Λ_{total} は各スラブ中での平均自由行程を全原子濃度から計算したものである。散乱確率は、自由行程 ($\eta = -\Lambda_{total} \ln(1 - R_n)$, R_n は $[0, 1]$ の一様乱数) 進んだ後に各元素の濃度比で決定した。各スラブ中での全原子濃度は、イオン注入計算中のリコイル現象 (しきい値エネルギー 12.5eV) によりダイナミックに変化する。スパッタリングによる表面移動のタイムステップより細かい時間間隔でこの変化を計算、記録する。

ただし、このままでは、ノックオンによる表面シリコン原子の蓄積効果で表面シリコンの濃度が計算上バルクの数倍にも達してしまう。実際には何らかの流動により濃度の緩和が起こっているものと思われる。これを計算上簡便に導入するため、リコイル原子の再結合半径をパラメータとして導入し (図 2.34)、母体シリコンの濃度がバルク濃度から余り増大しないようにした。

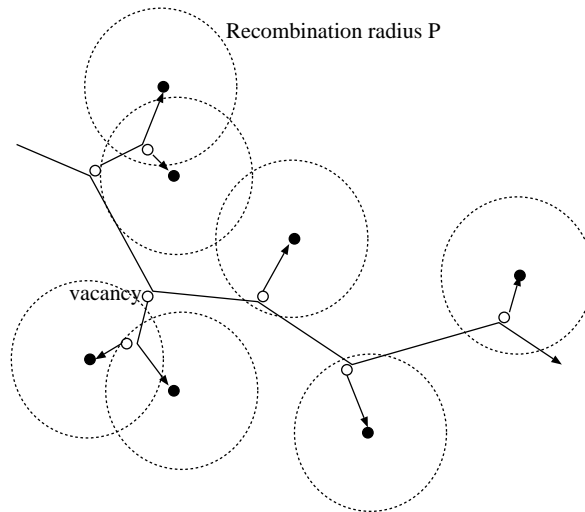


図 2.34: 再結合半径パラメータ導入概念図

図 2.34 に示すように、リコイル原子を中心に半径 P の範囲の空孔とリコイル原子を再結合させる。パラメータ P は各元素によって異なる値を設定し、ここでは各元素の原子半径を用いた。ただし、母体 Si についてのみフィッティングパラメータとし、実測との比較で値を決定した。

2.4.3 SIMS シミュレーション結果

解析対象不純物のオリジナルプロファイルとして、図 2.32 の砒素イオン注入 30keV , $3 \times 10^{15}\text{cm}^{-2}$ 後の分布の Q-pole SIMS での測定結果を用いた。モンテカルロイオン注入シミュレーションもこの分布を良く再現している。この分布に対して表 2.1 の条件で SIMS 測定を計算した結果を図 2.35 に示す。

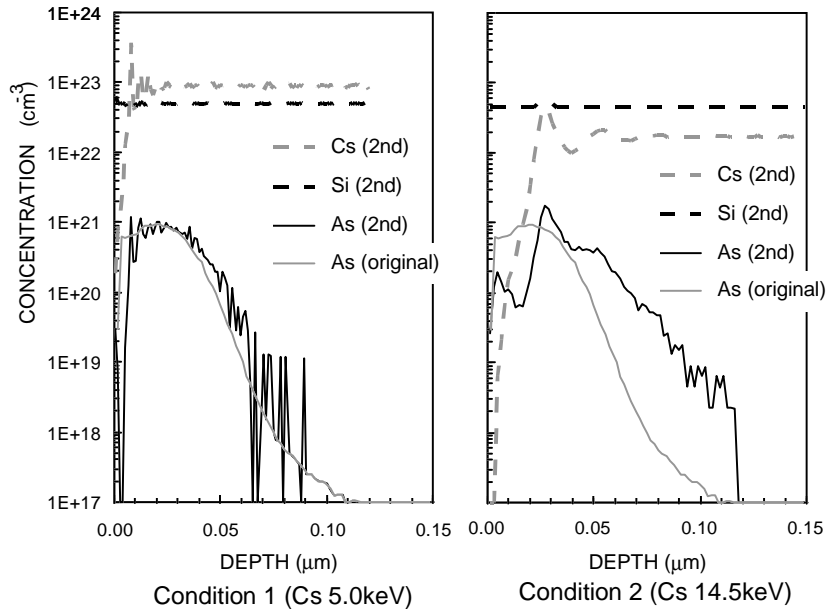


図 2.35: SIMS 測定シミュレーションテスト計算の結果 (その 1) : SIMS 測定条件は表 2.1, 計算による 2 次粒子のカウントをそれぞれプロット, 横軸はシミュレーションでの測定経過時間をスパッタレートを用いて深さに変換, 縦軸は 2 次粒子のカウントを計算に用いた 1 次イオン入射ドーズ量のサンプリング重みで実際の濃度に変換

ここで、シリコン原子の現実的な基板濃度 ($5 \times 10^{22}\text{cm}^{-3}$) を再現するようにパラメータ P を 200\AA に調整した。Condition 1 についての計算では、モンテカルロ法の統計ノイズを除いて、Si, Cs の 2 次イオン強度は妥当な値が得られている。これに対し、condition 2 についての計算では 2 次イオン強度に異常なピークと振動が見られている。これは、モデリングの節で述べたように、現実の SIMS 分析では、極初期の 2 次イオン強度は安定しておらず、スパッタレートも一定ではないと考えられるが、計算ではスパッタレート一定の仮定を置いたためであり、あらかじめシリコンと 1 次イオン (ここでは Cs^+) のみについての計算から定常状態を求めておき、それを測定対象元素を含む基板の初期値として用いることで安定に解きなおすことができる。すなわち、次タイムステップの各原子濃度分布は、前のタイムステップの Si 濃度分布でほぼ決定されるが、condition 2 では、Si, Cs の両者の濃度分布により決定されている。従って、condition 2 では Si, Cs の両者が同時に定常になることが必要とされ、また、システムが収束系から相当外れている状態にあると考えられる。そこで定常状態を求めため、Si, Cs の片方を強制的に定常化させ、その条件で他方の定常状態を求め、という操作を交互に反復し安定な定常状態を得た。condition 2 の計算においても、この定常状態を初期条件として用いた計算により安定な 2 次イオン強度分布を得ることができた。これを図 2.36 に示す。

これら計算結果は、SIMS 測定条件に依存して 2 次イオンプロファイルが実測値よりシフトする。このシフト量は、計算上スパッタレートを一定として外部から入力していること、および、表面状態 (特にラフネス) の詳細なモデリングを行っていないことから生じる仮の量である。あらかじめ求めた定常状態から始め

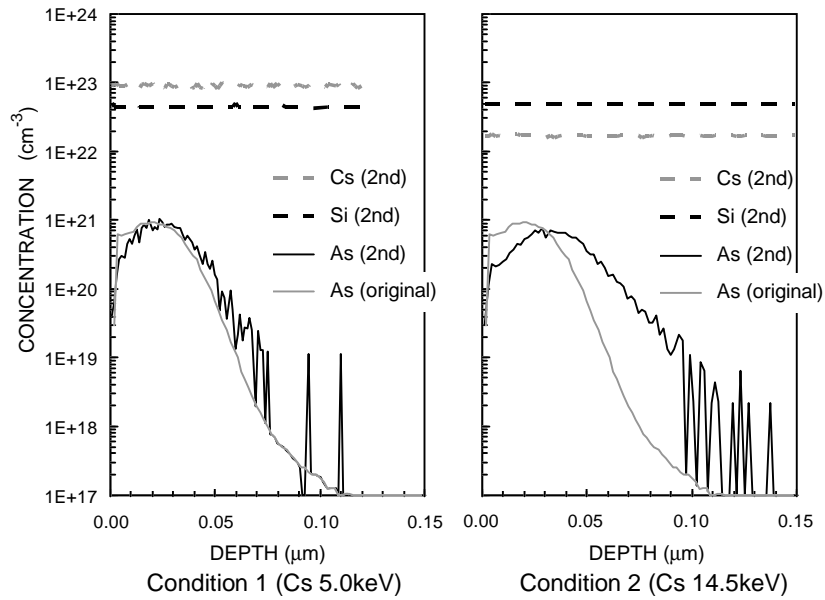


図 2.36: SIMS 測定シミュレーションのテスト計算の結果 (その 2) : 定常状態に達した時点での Si, Cs もしくは O を計算の初期条件に用いた SIMS 測定のシミュレーション結果

た計算の場合、その初期条件として導入した 1 次イオン (Cs^+) の実効的なドーズ量に必要な 1 次イオンの流量から定常状態に至るまでの過渡的な潜伏時間が逆算できる。この時間とスパッタレートの積が計算結果のシフト量に相当する。つまり、1 次イオンビームである Cs 注入によりスパッタが起きるわけであるが、Cs がスパッタで出ていく分と連続的に 1 次イオンビームで供給される分が釣り合って定常化するまでの間のスパッタレートの違いを計算上実効的な初期条件に繰り込んでしまうため、2 次イオンカウントに計算上のシフトが現れると考えられる。

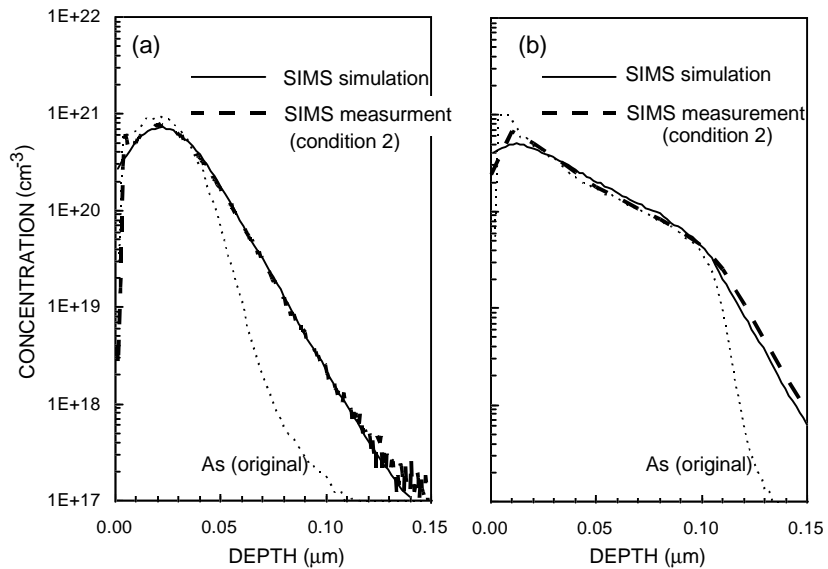


図 2.37: SIMS 測定シミュレーション結果 (SIMS 測定 condition 2(表 2.1)) : (a) イオン注入後の砒素分布 SIMS 分析の実測と計算結果の比較 (定常状態を初期条件とした計算) (b) 熱拡散後 (850 °C、4 時間) の砒素分布 SIMS 分析の実測と計算結果の比較

計算結果をシフトさせて実測と比較した結果を図 2.37 に示す。イオン注入プロファイル、その熱拡散後のプロファイル、共に計算は SIMS 測定 (condition 2, 表 2.1) を良く再現している。ただしここでは、次節に述べる統計性向上手法を適用して滑らかな解を得ている。このシミュレーションに要した計算時間は、NEC 製並列計算機 Cenju-3, 8PE を用いて condition 1 が 1312 秒、condition 2 は 4548 秒であった。また、有限のサンプリング粒子数のため、計算された分布のテール領域には統計的ノイズが見られる (図 2.36)。よって、効率的なモンテカルロシミュレーションの統計性向上を図る手法について、次節に述べる。

また、Cs⁺ 5.0keV (Q-pole) を用いた SIMS 測定の場合は、計算は自動的に定常状態に収束し、計算上のシフトおよび、オリジナルプロファイルからのずれも小さい。では、この Q-pole の測定条件で充分なのだろうか？ CAMECA-ims-3f を用いた場合は、測定結果がどの程度 Q-pole と異なるのだろうか？これらの疑問に答える SIMS 測定の分解能関数の算出と、deconvolution を用いたずれを含む測定結果の修正方法についても次節に記述する。

2.4.4 統計性向上と分解能関数

SIMS シミュレーションのひとつの重要な応用は、ノックオン効果による誤差を含んだある測定結果から真の分布を求めることである。一般に SIMS 測定は、式 2.5 に示すように真の分布に対する分解能関数の convolution であると言える [33]

$$I(x) = \int_{-\infty}^{\infty} C_{true}(\xi)R(x - \xi)d\xi \quad (2.5)$$

ここで $I(x)$ は SIMS 測定結果、 $C_{true}(x)$ は真のプロファイル、 $R(x)$ は分解能関数である。式 2.5 で、真のプロファイルがデルタ関数であればその測定結果は分解能関数そのものになる。計算機上で十分狭い領域に測定対象元素を分布させ仮想的なデルタ関数を作り、それに対する SIMS シミュレーションを行えば分解能関数を計算することができる。ただし、ここでの仮想デルタ関数は積分濃度がバルクシリコン濃度、1 次ブローイオンドーズ量に比較して非常に小さく、前回のような通常のモンテカルロ計算では、多大なサンプル粒子を必要とし計算時間が非常に長くなってしまふ。幸い低濃度のデルタドープ程度であれば、母体結晶原子である Si や 1 次イオンの Cs に比べその量は極微量で、Si, Cs の計算結果への不純物濃度の影響はほとんど無い。これを逆に利用して不純物のリコイル現象確率を操作して、その分不純物のサンプリング重みを減少させれば統計性を向上することができる (図 2.38)。

図 2.39 にイオン注入砒素分布に対する SIMS シミュレーション (図 2.36 の計算) において、本統計性向上手法を適用した場合としない場合の比較を示す。約 2.8 倍の計算時間の増大のみで、ある固定したサンプリング粒子数を用いたモンテカルロ法の場合のノイズがほとんど無い滑らかな分布が得られた。例えば、condition 2 の条件での計算において、砒素の全リコイルのイベント数は、統計性向上手法なしの場合 8.72E5 回、統計性向上手法ありの場合 1.93E8 回でその比は 200 倍にも達するが、計算時間は 2.8 倍で済んでいる。

この統計性向上手法を適用し測定対象不純物の仮想的なデルタ関数分布に対する SIMS シミュレーションを行った結果を図 2.40 に示す。図 2.40 では 2 時間程度の計算時間で 5 桁程度のダイナミックレンジで分解能関数が計算できた。デルタ関数分布の積分量が微量なことから、本統計性向上手法無しでは、一桁の範囲でも実用的な計算時間では計算不可能である。

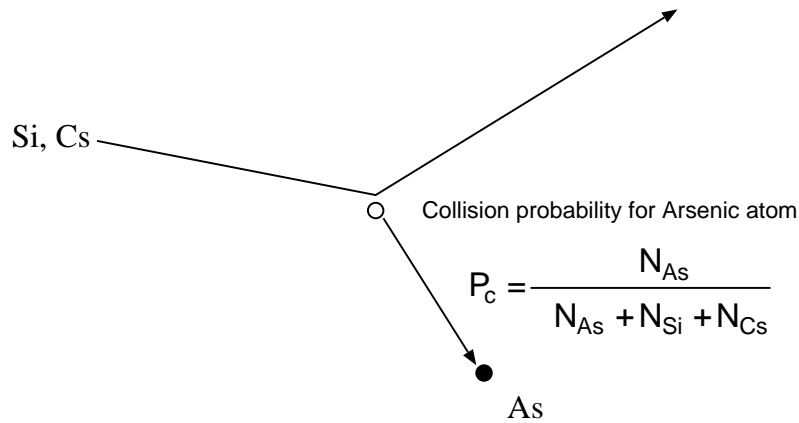


図 2.38: SIMS シミュレーションにおける微量不純物元素に対する統計性向上操作 (不純物量が微量で Si や 1 次イオン (Cs など) の散乱に不純物の存在がほとんど影響されないことを逆に利用し、不純物原子との散乱が起こる確率を P_c 倍、散乱された (リコイル原子) 不純物粒子の重みは P_c^{-1} 倍する)

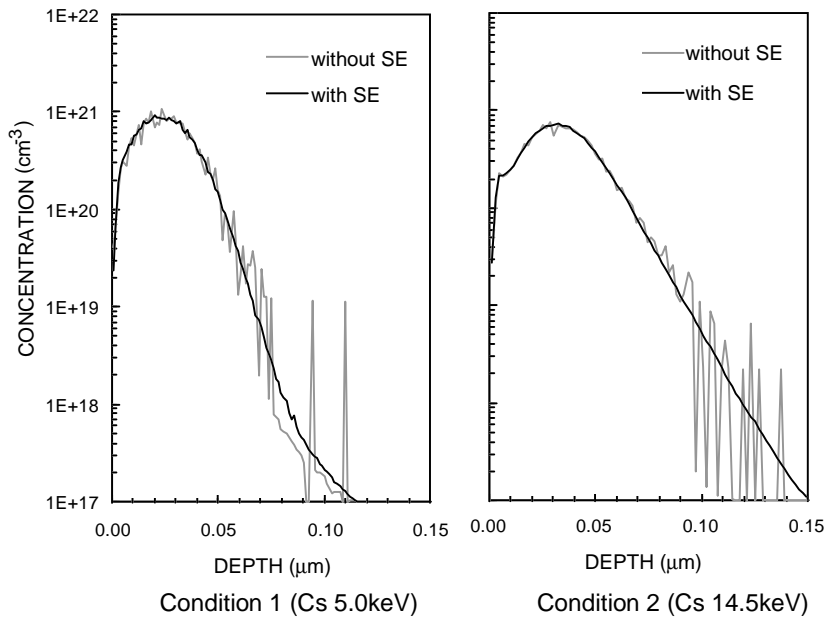


図 2.39: SIMS シミュレーションにおける微量不純物元素に対する統計性向上操作の効果 (NEC 製 Cenju-3 (8PEs) による計算時間は、condition 1 で 1292 秒 (統計性向上なし) および 3707 秒 (統計性向上あり)、condition 2 で 4548 秒 (統計性向上なし) および 13100 秒 (統計性向上あり))

2.4.5 プロファイルの deconvolution

ある SIMS 測定系の分解能関数が計算により求まった。よって、式 2.5 を deconvolution することで測定結果から真のプロファイルを推定することができる。一般に SIMS 測定結果はノイズで直接フーリエ変換などによる deconvolution ではノイズも一緒に増幅されてしまうので得策でない。ここでは最も簡便に、イオン注入砒素のエネルギーの比較的高い SIMS 測定結果 (condition 2, 図 2.32) をスムージングした後、以下の簡単な繰り返し法 [34] で deconvolution を試みた。この結果を図 2.41 に示す。

$$C^n(x) = C^{n-1}(x) + I(x) - \int_{-\infty}^{\infty} C^{n-1}(\xi)R(x - \xi)d\xi \tag{2.6}$$

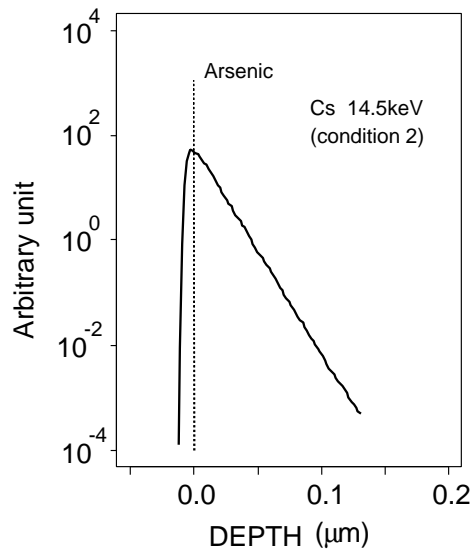


図 2.40: 仮想的な砒素のデルタドーブについての SIMS 測定 (condition 2) のシミュレーションによる分解能関数の計算 (計算時間は Cenju-3 (8PEs) で 7846 秒)

ここで n は反復の回数を表す。

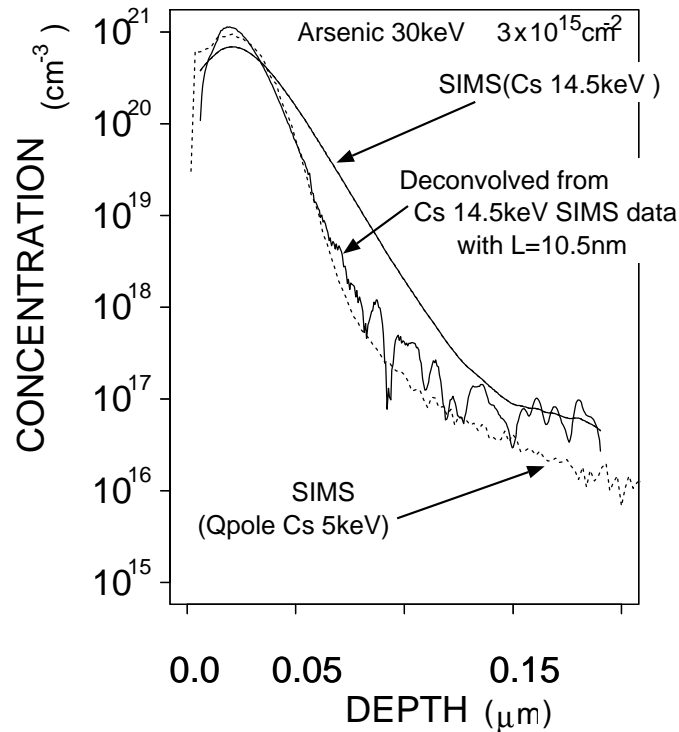


図 2.41: イオン注入砒素の Cs 14.5keV による SIMS 測定結果と、計算で得られた分解能関数から、式 2.6 により deconvolution した結果 (反復回数は 20 回程度)

図 2.41 では、deconvolution 結果に分解能関数の桁数以内にも振動が見られるが、これはスムージングした SIMS 結果に依然として内在するノイズが増幅されたものと思われる。一般にスムージング操作は人工的な拡散 (もしくは convolution) 操作が入りこむ。測定結果のノイズに強く、またスムージング操作の影響を

なるべく受けない try-and-error 型の間接的な deconvolution 手法の方が安定な解が得られるであろう。最適化の過程で現れるある試行値の情報論的エントロピーを最大にする (情報量として最低、なるべくフラットな分布にする) ような解を選ぶ最大エントロピー法³⁵⁾の適用も考えられる。

2.4.6 まとめ

モンテカルロイオン注入シミュレーション手法をベースに、シリコン中の浅い不純物分布に対しての SIMS 分析のシミュレーションを行った。1 次イオンに Cs もしくは酸素を用いた測定に関して、従来、標準的であった装置 (CAMECA-ims-3f) および、Q-pole 質量分析計を備えた SIMS 装置での 2 次イオンカウントのシミュレーションでの再現を可能にした。また、微量元素に対する計算上の散乱確率を増大させて、その分重みを減少させる統計性向上手法を開発し、仮想デルタ関数に対する SIMS 測定の応答、いわゆる分解能関数の計算を可能にした。計算により求めた分解能関数と実際のノックオン効果による誤差を含んだ測定結果から、より急峻な真の分布を deconvolution により推定できることを示した。今回、計算上スパッタレートは依然既知とする外部入力パラメータであり、スパッタ開始直後の過渡的状況の計算方法には改善の余地がまだある。(本節の内容は主に国際学会(10)で発表。)

第3章

不純物の拡散・活性化のモデリング

3.1 背景 (1) : 微細 MOSFET における不純物拡散起因問題

図 3.1 に典型的な MOS トランジスタの断面図を示す。

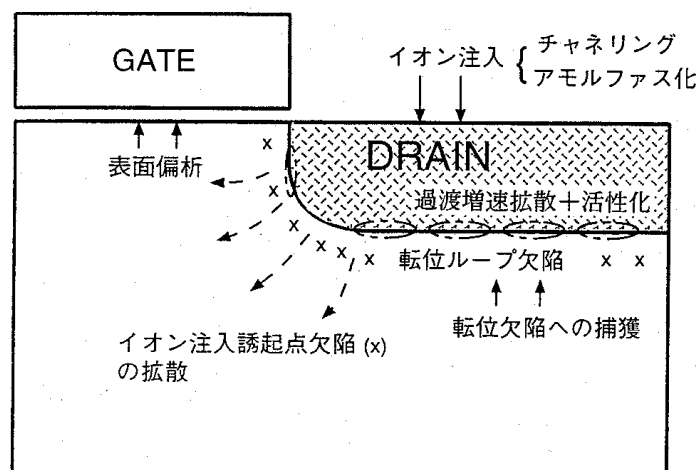


図 3.1: 微細 MOSFET における不純物拡散起因問題

不純物ドーピングの目的は、ソース・ドレイン拡散層形成や、基板のチャネル部分へのしきい値制御およびパンチスルー抑制など多岐に渡る。MOSFET の短チャネル効果はソース・ドレイン拡散層の接合深さ、ゲート下へのしみだし量に大きく依存する。ゲート側壁のサイドウォールの厚さでそれを制御することも可能であるが、イオン注入後の熱処理時の拡散が最も支配的である。浅い接合形成のため、イオン注入後の熱処理を低温、短時間に変えたとき、今まで隠れていた不純物の増速拡散が起こっていることが明らかになった。イオン注入ではシリコン結晶にイオン化したドーパント原子をたたき込むが、そのとき過剰な点欠陥も発生させる。この過剰点欠陥により拡散が増速するが、この増速拡散は過渡的なもので長時間のアニール後拡散増速現象は消えてしまう。この増速拡散現象を表現できない旧式モデルを使ったプロセスシミュレータでは、短チャネルデバイスでのしきい値低下現象を再現できない。シミュレーションではきちんと動作するはずの短チャネル MOS が実際作ってみると動かないという状況に陥る。

また、実際の短チャネル MOSFET では、さらに複雑な振る舞いをする。図 3.2 に、同一プロセス条件で

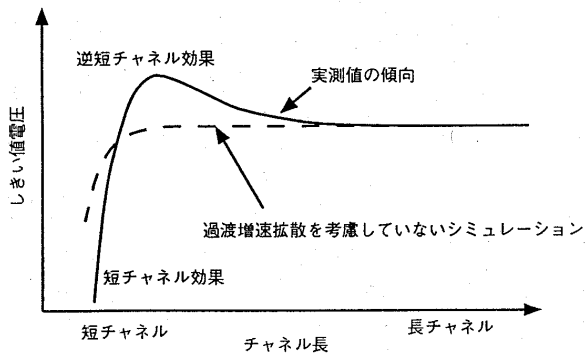


図 3.2: MOSFET のしきい値電圧のチャンネル長依存性

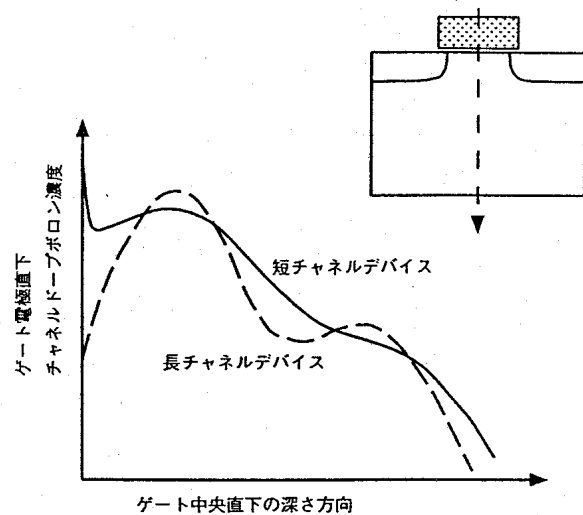


図 3.3: チャンネル直下の不純物分布の長チャンネルと短チャンネルデバイスでの比較

作成した MOSFET のしきい値電圧チャンネル長依存性の模式図を示す。旧式モデルを使ったプロセスシミュレーションでは、チャンネル長が短くなるにしたがって、単純にしきい値が緩やかに減少するが、実際のデバイスは製造方法にもよるが、いったんしきい値が上昇し、更に短いチャンネル長では急激にしきい値が低下するように見える。これは逆短チャンネル効果と呼ばれている。

逆短チャンネル効果が起こる理由と言われているもの [36] を概念的に以下に述べる。図 3.3 は微細 MOSFET のゲート下チャンネル部の不純物濃度分布であり、点線が長チャンネルの場合、実線が短チャンネルの場合を示すものである。

文献 [36] によれば、ソース・ドレインのイオン注入時に発生した点欠陥が、ソース・ドレイン両方から基板シリコン、ゲート直下に拡散する。短チャンネルデバイスの方が、長チャンネルよりも、ソース・ドレインの距離が近いため、双方から拡散した点欠陥は、短チャンネルのほうが過剰になり、その結果、チャンネル部の不純物の拡散を加速させる。また、ソース・ドレイン領域から拡散し過剰になった点欠陥はゲート直下の酸化膜 / シリコン界面で消滅するため、シリコン / 酸化膜界面に向かって点欠陥濃度の勾配が生じ、チャンネル中の不純物がパイルアップする。結果的に、図 3.3 に示すように、短チャンネル MOS では長チャンネル MOS よりもシリコン / 酸化膜界面でのチャンネル不純物濃度が増大し、しきい値が上昇する。

短チャンネルデバイスのしきい値上昇は一見短チャンネル効果によるしきい値低下を補うかのようであるが、やはりゲート長などのプロセスばらつきに敏感すぎる、短チャンネル効果も結果的に顕著になるなどの理由で好ましいものではないとされている。この逆短チャンネル効果は、単なるイオン注入後の増速拡散現象としてよりも、点欠陥と不純物の 2 次元的な相互作用の重要性を顕著に示すものとして、従来のプロセスシミュレータにとっては大きな課題であった。本研究では、拡散の基本機構に立ち返り、物理的なモデリングを精緻化することで、逆短チャンネル効果が定量的にシミュレーション可能であることを示す。

3.2 背景 (2) : これまでの不純物拡散モデルと本研究の狙い

シリコン中の不純物拡散は、従来から不純物に固有の拡散係数を持った拡散方程式で記述されてきた。ただし、不純物濃度が高い場合、単純な定数の拡散係数による拡散よりも大きな拡散が起こる。それについては、不純物濃度すなわちキャリア濃度が高い場合、帯電している点欠陥（空孔）の濃度が相対的に増加し、空孔を介した拡散が増大するというようなモデルが用いられてきた[37]。またシリコン表面を酸化すると低濃度でも拡散が増大するが、酸化時に酸化膜 / シリコン界面で発生した点欠陥（格子間シリコン原子）により拡散が増大するとし、その相対値を酸化表面からの距離の関数で記述して拡散増速に対応していた[37]。しかし素子分離幅縮小などで酸化を 2 次元的に詳細にモデル化する必要が生じるにしたがって、格子間シリコンの拡散方程式を不純物とは別に解き、局所的な拡散係数の増大に対応させるという方法で計算の精密化が計られた[38]。つまり、不純物拡散を精密にモデル化するには、拡散の媒介となる点欠陥の挙動を直接モデル化して解くことが本筋であると認識されたわけである。

3.2.1 不純物拡散のメカニズム (第一原理計算からの知見)

不純物拡散のメカニズムについては、シリコン中の点欠陥を媒介として空孔機構、格子間機構などが提唱されている[39]。あるメカニズムを想定して、そのモデルパラメータとして、拡散係数や熱平衡濃度、反応速度定数などがわかれば、定量的なシミュレーションが可能であるが、必ずしも実験でそれらのパラメータを直接測定できるわけではない。特にシリコン中の点欠陥の分布などは直接測定するのが難しい。酸化増速拡散現象などを通じて、どの不純物がどの機構で拡散しているか推測されているが、現在でもどのような機構がメインなのかは完全にはわかっておらず、それもパラメータの一つとなっている。このような状況により拡散のモデリングがなかなか完成の域に達しないのである。しかし最近では、量子力学に基づく第一原理からの電子状態の計算によって重要な物性を明らかにすることが可能になってきている[40] [41] [43]。例えば、不純物の拡散係数 D は一般に以下のようなアレニウスの関係式で書ける。

$$D = D_0 \exp(-Q/kT) \quad (3.1)$$

活性化エネルギー Q は、以下のように書ける。

$$Q = E_f + E_m \quad (3.2)$$

ここで、 E_f は拡散種の形成エンタルピー、 E_m はマイグレーションエンタルピーである[40]。第一原理計算から、これらのエンタルピーを直接計算することができる。ここで言う第一原理計算としては、シュレディンガー方程式を、局所密度近似とノルム保存擬ポテンシャルに基づく密度汎関数法により解き電子状態を求める計算が、現在の所最も精密な方法である。また、結晶中の点欠陥や不純物に対しては、グリーン関数法[40]やバンド計算[41] [42]の手法が用いられる。特に孤立した不純物や点欠陥に対するバンド計算の場合は、切り出すユニットセルの大きさが十分大きければ隣のセルとの「嘘の」相互作用が無視できるようになるため、精度良い計算ができる。近年、計算方法も共役勾配法などの最適化手法を導入し、シリコン結晶で 216 原子のセルの計算も実用的な計算時間でいえるようになってきている[42]。

Nichols らは、第一原理計算によりシリコン中の主要なドーパント原子に対して、 E_f 、 E_m を計算し、どのメカニズムが効いているのかを評価した[41]。例えば、ボロンは空孔とのペアは不安定で主にボロン / 格子間シリコン原子ペアで拡散することを示した。また、杉野ら圧力下のシリコン結晶中の砒素拡散に対する第一原理計算を行い、圧力下では優勢な拡散機構が異なることを示した[43]。すなわち圧力がない場合、砒

素拡散の活性化エネルギーは、空孔機構と格子間機構で、計算精度の範囲で有為な差が見られないが、圧力下 (60kbar 程度) では、空孔機構の活性化エネルギーは減少し、格子間機構のそれは増大することを示した (表 3.1 参照)。このことは、砒素の優勢な拡散機構は空孔機構であると言えるということである。

表 3.1: 砒素の拡散に関する活性化エネルギー (単位は eV)

	$P = 0kbar$	$P = 60kbar$ での増加分
空孔機構	$Q = 3.9$	$\Delta Q = -0.6$
格子間原子機構	$Q = 4.3$	$\Delta E_f = 0.7 (\Delta Q \geq 0.4)$

このように、第一原理からの知見がプロセスモデリングを行う上で有効であるが、式 (3.1) の拡散係数が第一原理計算から得られればよいのであるが、実は、式 (3.1) のエントロピーに関する項 D_0 を求めるのに、有限温度の効果を計算する必要があり、第一原理からの分子動力学計算を行って原理的には可能であるが [44]、シリコン中の重要なドーパントでは計算すべき形態が多様で、また精度良く拡散係数を求められるようにはなっていない。そこでプロセスモデリングにおいては、現在の第一原理計算での知見を有効に活用しつつ、反応拡散方程式によるシミュレーションと実験と合わせこみを行ってパラメータフィッティングを行うのが現状である。その際、微細 MOSFET での不純物拡散に起因すると思われる種々の異常特性 (短チャネル効果や逆短チャネル効果) をうまく説明できるようなモデルが重要である。これは不純物の拡散のみを実験していても表にでてこないで、微細デバイスの形にしたときに顕著になる現象があるということで、微細デバイスというのは拡散現象の本質を理解、モデル化するのに非常に良いプローバーであるということもできる。

不純物によりデバイスの異常特性の引き起こし方が異なる。例えば、砒素はソース・ドレイン領域に用いられ、その活性化や二次元的な広がりが短チャネル効果に影響を及ぼす。また、ボロンの場合、ボロンは、NMOSFET のしきい値を決めるチャネルドーパに用いられるが、イオン注入後に過渡的な増速拡散が起こることが報告されている [45]、このイオン注入後の増速拡散現象をモデル化することが最近のプロセスシミュレーションの課題であった。

本研究では、まず不純物と点欠陥のペア拡散機構を見直し、熱平衡拡散のみならずイオン注入後の増速拡散と活性化を定量的にシミュレーションできるモデルの構築を目指した。まず、非平衡ペア拡散モデルによるイオン注入の過渡的な増速拡散と活性化のモデリングでシミュレーションの基礎を築いた (一次元計算)。その後、シミュレーションモデルを改良、2次元計算にモデルを拡張し、これまでの課題であった逆短チャネル効果の定量的シミュレーションを可能にした。また、その後さらに進んだアプローチとして、それまでの「濃度」と「拡散方程式」という連続体近似によるシミュレーションアプローチから、原子レベルの酔歩計算、すなわち、拡散モンテカルロ計算による方法へ発展させ、より進んだ熱処理プロセスであるスパイクアニールやフラッシュランプアニールの「予測型」シミュレーションを可能にした。

本研究の原子レベルプロセスシミュレーションのアプローチは、さらにアグレッシブに進む MOSFET の微細化に対応して、将来のサブ 50nm MOSFET の平均的特性のみならず、極微細化するデバイスサイズにおける離散的な不純物ランダム分布と、ゲート端形状のラフネス等による「微細デバイスの本質的 (真性) 性能ばらつき」の予測をも可能にした。

以上の本研究の拡散モデリングの狙いに対応して、以下の順に、それらがどのように達成されたかについて述べる。

1. イオン注入後の過渡的増速拡散と活性化：モデル基礎確立、1次元計算
2. 逆短チャネル効果のシミュレーション：2次元 MOSFET プロセスデバイスシミュレーション
3. 急速昇温アニール(スパイクアニール)の予測型シミュレーション：原子レベルモンテカルロシミュレーション
4. サブ 100nm 微細 MOSFET 真性ばらつき(離散不純物ばらつきとゲート端ラフネス起因)予測：原子レベル3次元プロセスデバイスシミュレーション

3.3 イオン注入後の過渡的増速拡散と活性化

3.3.1 非平衡ペア拡散モデル定式化

Crandle らは点欠陥(格子間 Si 原子、空孔)の対消滅、不純物とのカップリング等を、ダイナミックに取り入れた非平衡ペア拡散モデルにより、イオン注入後の過渡的な増速拡散を定性的にモデル化できることを示した[46]。しかし、実際の浅接合形成工程を定量的に解析するためには、拡散種の荷電状態を考慮し、さらに拡散再分布形状のみならず短時間アニール後の不純物の活性化の状態も表現する必要がある。

ボロンは、たとえイオン注入直後の濃度が固溶限度以下でも、その後のアニールが十分でないと、完全に活性化しない。これはボロンのクラスター形成過程を動的に取り入れるることによりモデル化可能である[30]。イオン注入後の点欠陥はモンテカルロ法に基づく詳細なイオン注入シミュレータから求めることができる[5]。イオン注入衝撃で発生した過剰な点欠陥は空孔と格子間シリコン原子の間の再結合反応や拡散を通じて減少し、ボロンは置換位置へ入って活性化する。その間に増速拡散が起こると考えられる。

ボロンについて拡散モデルは従来の枠組みでは空孔機構を前提にしたモデルで記述されていたが[37]、近年の酸化増速拡散、リンとの相互拡散、イオン注入後の増速拡散などの状況からの推察では、格子間シリコン原子とのペア拡散機構で拡散するというモデルが主流である。本研究におけるボロン拡散のモデル[30]を構成する反応式を以下に示す。



ここで、 I^x 、 V^x は格子間 Si 原子と空孔で、 x は荷電状態を表す。 B^- は置換位置のボロン、 BI^+ はボロン-格子間 Si 原子ペア(格子間ボロン)、 BB_{cls} はクラスタ化したボロンを表す。 e^- 、 h^+ はそれぞれ電子、正孔を表す。 k_n^f は、 n 番目の反応の順方向反応速度定数、 k_n^r は逆方向のそれを表す。

式(3.3)は、Siバルク中での点欠陥の発生・再結合を、式(3.4)は、格子間 Si 原子の荷電反応を表す。式(3.5)は、ボロンと格子間 Si 原子のペア形成・分解、式(3.6)は不純物を介した点欠陥の発生・再結合(Frank-Turnbull 機構)を表す。式(3.7)は、ボロンのクラスタ形成・分解反応を表す。これらの反応は、反応

速度定数により反応拡散方程式に組み込まれて時間発展的に解かれる。ボロン-格子間 Si 原子ペア (BI) に基づく拡散モデルについては以下のような式になる。

$$\frac{\partial C_{V^0}}{\partial t} = \frac{\partial}{\partial x} \left[D_{V^0} \frac{\partial C_{V^0}}{\partial x} \right] - k_4^f C_{BI^+} C_{V^0} + k_4^r C_B - p^2 - k_1 (C_{I^0} C_{V^0} - C_{I^0}^* C_{V^0}^*) \quad (3.8)$$

$$\frac{\partial C_{I^0}}{\partial t} = \frac{\partial}{\partial x} \left[D_{I^0} \frac{\partial C_{I^0}}{\partial x} \right] - k_2^f C_{I^0} p + k_2^r C_{I^+} - k_1 (C_{I^0} C_{V^0} - C_{I^0}^* C_{V^0}^*) \quad (3.9)$$

$$\frac{\partial C_{I^+}}{\partial t} = \frac{\partial}{\partial x} \left[D_{I^+} \frac{\partial C_{I^+}}{\partial x} + \frac{q}{kT} D_{I^+} C_{I^+} \frac{\partial \phi}{\partial x} \right] - k_3^f C_B - C_{I^+} + k_3^r C_{BI^+} n + k_2^f C_{I^0} p - k_2^r C_{I^+} \quad (3.10)$$

$$\begin{aligned} \frac{\partial C_{BI^+}}{\partial t} = \frac{\partial}{\partial x} \left[D_{BI^+} \frac{\partial C_{BI^+}}{\partial x} + \frac{q}{kT} D_{BI^+} C_{BI^+} \frac{\partial \phi}{\partial x} \right] \\ + k_3^f C_B - C_{I^+} - k_3^r C_{BI^+} n \\ - k_4^f C_{BI^+} C_{V^0} + k_4^r C_B - p^2 \\ - k_5^f C_B - C_{BI^+} + k_5^r C_{BB_{cls}} \end{aligned} \quad (3.11)$$

$$\frac{\partial C_{B^-}}{\partial t} = -k_3^f C_B - C_{I^+} + k_3^r C_{BI^+} n + k_4^f C_{BI^+} C_{V^0} - k_4^r C_B - p^2 - k_5^f C_B - C_{BI^+} + k_5^r C_{BB_{cls}} \quad (3.12)$$

$$\frac{\partial C_{BB_{cls}}}{\partial t} = k_5^f C_B - C_{BI^+} - k_5^r C_{BB_{cls}} \quad (3.13)$$

ここで、 C_j は j 種の濃度を、 D_j は j 種の拡散係数を表す。 $C_{I^0}^*$ 、 $C_{V^0}^*$ は、格子間 Si 原子及び空孔の熱平衡濃度を表す。 n 、 p は、電子および正孔の濃度を表す。 ϕ は静電ポテンシャルを表す。静電ポテンシャルは、荷電種に関するポアソンの式を連立して解くことにより求める。拡散種としてボロンを計算するのに、空孔、中性の格子間 Si 原子、+1 価に帯電した格子間 Si 原子、格子間 Si 原子とボロンのペア、置換位置のボロン、およびクラスター化したボロンの計 6 本の方程式を連立して計算する。

ペア拡散の考え [47] に基づき、ボロンは点欠陥とのペアの状態での拡散し、置換位置のボロン原子は単独では拡散しないとする。したがって、置換位置のボロン (とクラスター化したボロン) については、反応拡散方程式中に拡散項を含まない。ボロンはアクセプタ不純物であるため、正に帯電した点欠陥と主にペアを形成して拡散するとする。

従来、拡散は空孔モデルで説明されてきた。しかし、最近の第一原理からの理論計算 [48] によると、ボロン-空孔ペアは安定でないことが示唆されているため、格子間 Si 原子 (interstitial Si) とのペアのみ考慮した (反応 (3.5))。この場合、格子間 Si 原子とボロンのペアという形態は、split-interstitial 形態の格子間ボロンに相当するものを想定している。また、この格子間ボロンの安定な荷電状態は、正一価、または負一価であり、中性な状態は、metastable である (negative-U property) ことが Watkins らの実験によって示唆されている [56]。シリコン中での格子間ボロンの形態と荷電状態は密接に結びついており、格子間ボロンが荷電状態を変えながら移動していくことが考えられる。しかしここでそのようなミクロなメカニズムは平均的な流体モデルではモデル化しきれないため、単に p 形半導体ということで正一価のものを考慮した。(後述の原子レベル拡散モンテカルロ計算で詳細に取り扱う。)

さらに、ボロンは、高濃度になると置換位置のものと格子間ボロンが近接して、不活性なクラスタを形成するとした。(図 3.4 参照)。これは Mathiot らが最初想定したもので [49] シリコン中の Al や Ga で EPR によって測定されていることからの類推である。このクラスタとなったボロン (BB_{cls}) は、電気的に不活性で拡散しないとする。Mathiot らはこのクラスタの結合エネルギーおよび平衡係数を実験から導いている。本研究では、これに加えて、クラスタ形成と分解についても、ペア形成や対消滅と同じく、反応速度定数を考慮してダイナミックに取り扱っている。

次に、本研究におけるモデルパラメータについて述べる。

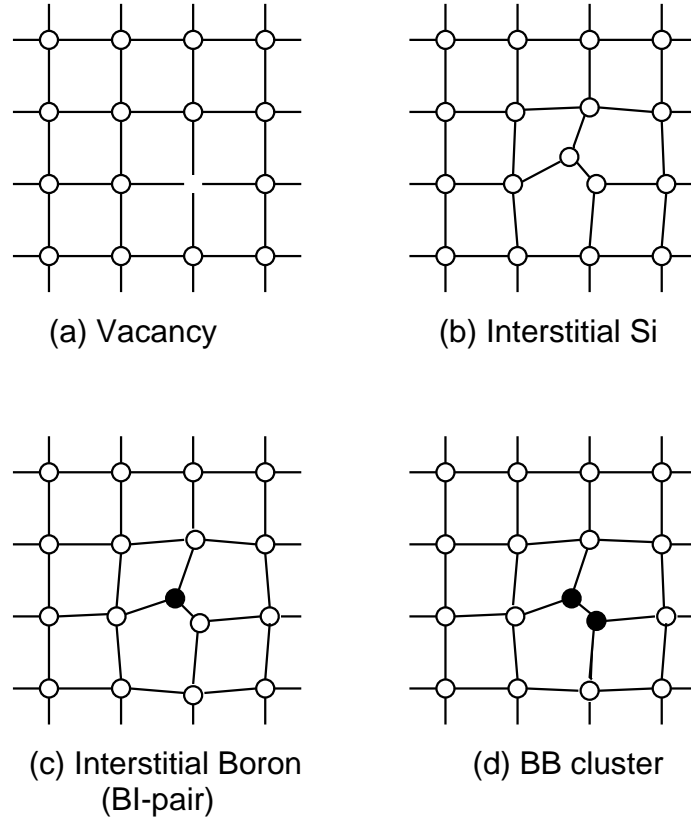


図 3.4: シリコン中のボロン拡散に寄与する反応種

- 反応速度定数

反応速度定数を直接測定するのは困難であるため、理論的もしくは拡散律速等の近似で記述したものをを用いた。

- I (interstitial)-V (vacancy) Recombination constant

式 (3.8)(3.9) 中のパルク中での点欠陥 (空孔: V (vacancy)、格子間 Si 原子: I (interstitial)) の再結合定数 k_1 は、次のように書ける[39]

$$k_1 = \frac{4\pi r}{\Omega C_S} (D_I + D_V) \exp\left(-\frac{\Delta E_{I,V}}{kT}\right) \quad (3.14)$$

ここで、 r は、I-V recombination の capture radius、 Ω は silicon unit cell の体積 ($a^3/8$, $a = 0.543nm$)、 C_S は lattice sites の密度 ($= 5 \times 10^{22}cm^{-3}$)、 $\Delta E_{I,V}$ は recombination energy barrier である。

本研究では、 $r = 0.235nm$ 、 $\Delta E_{I,V}$ は理論計算による[48]1.0eV を用いている。

また点欠陥は、反応 (3.6) のように再結合して消滅するパスも考えられる。いわゆる不純物濃度依存の再結合速度も第一近似的に以下のように決めた。

$$k_4^f = 4\pi r (D_{BI^+} + D_{V^0}) \exp\left(-\frac{\Delta E_{I,V}}{kT}\right) \quad (3.15)$$

ここでも直接再結合するときの barrier energy と同じものを用いている。反応 (3.6) の逆反応は起こりにくいと思われる。ここでは [54]を参考に、平衡状態での質量作用の法則を組み合わせると k_4^r を以下のように表した。

$$\frac{k_4^r}{k_4^f} = \frac{C_{BI^+} \cdot C_{V^0}}{C_{B^-} \cdot p^2} = \frac{k_3^f k_2^f}{k_3^r k_2^r} C_{I^0}^* C_{V^0}^* / n_i \quad (3.16)$$

上式から得られる k_4^r の値は実際上小さい値である。

– 荷電種の量

反応 (3.4) のような荷電反応は最も速い反応であり、実質的には平衡状態にあると仮定してもよい。すなわち、

$$C_{I^+} = \left(\frac{n_i}{n}\right) \exp\left(\frac{e_{I^+} - e_i}{kT}\right) C_{I^0} = \gamma^+ \frac{n_i}{n} C_{I^0} \quad (3.17)$$

n_i は真性キャリア濃度。 e_{I^+} は、interstitial のエネルギーレベルであるが、vacancy ほどには確立した値が無い。ここでは文献 49] より $e_{I^+} - E_v = 0.4\text{eV}$ を用いた。しかしここでは、文献 53] 同様 Shockley-Read-Hall の発生再結合理論から、この反応も非平衡として扱っている。すなわち、 $k_2^f = v_{th}\sigma$ 、 $k_2^r = k_2^f n_i / \exp[(e_{I^+} - e_i)/kT]$ とし、 $v_{th} = 10^7 \text{cm/s}$ 、 $\sigma \approx 10^{-15} \text{cm}^2$ を用いた。

– ペア形成・分解反応

不純物 A と点欠陥 X のペアの濃度は、一般に質量作用の法則から次のように書ける。

$$C_{AX} = \theta_{AX} \frac{C_A C_X}{C_S} \exp\left(\frac{E_{AX}^b}{kT}\right) \quad (3.18)$$

E_{AX}^b は、ペア AX の binding energy である。 θ_{AX} は、AX の配位数であり空孔とのペアの場合 $\theta_{AX} = 4$ である。

これを用いて、反応 (3.5) の速度定数は以下のようなものを用いた。

$$k_3^f = 4\pi r D_{I^+} \quad (3.19)$$

$$k_3^r = k_3^f \frac{C_S}{4} \exp(-E_{BI}^b/kT)/n_i \quad (3.20)$$

また E_{BI}^b は明確に定義されておらず格子間機構に関しては概念的なものであるが、近似的な見積りから $E_{AX}^b > 1.4\text{eV}$ 程度であると言われている。[39]

– クラスタ形成・分解反応

Mathiot らはボロン熱拡散の実験データから反応 (3.7) の平衡定数を見積った[49] これを参考に、 k_5^f, k_5^r を以下のように表す。

$$k_5^f = 4\pi r_{BB} D_{BI^+} \exp(-\Delta E_{BB}/kT) \quad (3.21)$$

$$\frac{k_5^f}{k_5^r} = 1.7 \times 10^{-25} \exp(1.61/kT) \quad [\text{cm}^3] \quad (3.22)$$

r_{BB} は、クラスタ形成反応の capture radius であるが、ボロンの covalent radius (= 0.088nm) を用いた。また ΔE_{BB} は、クラスタ形成の barrier energy で、実験値との fitting から 0.5eV を用いている。

● 点欠陥の拡散係数、熱平衡濃度。

空孔に関しては、統計熱力学の理論から熱平衡状態の濃度が次のように導かれる。

$$\frac{C_{V^0}^*}{C_S} = \exp\left(\frac{S_V^f}{k}\right) \exp\left(\frac{-H_V^f}{kT}\right) \quad (3.23)$$

S_V^f は、空孔形成に伴う格子振動の乱れに関するエントロピー、 H_V^f は空孔形成エンタルピーで、Van Vechten らにより[55] $S_V^f = 1.1k$ 、 $H_V^f = 2.66\text{eV}$ を用いた。

拡散係数に関しては平衡濃度との積が、不純物に依存しない値として見積られている。ここでは Mathiot らによる値を用いた。

$$D_{V^0} C_{V^0}^* = 1.04 \times 10^{21} \exp(-3.89/kT) \quad [\text{cm}^{-1} \text{s}^{-1}] \quad (3.24)$$

Interstitial については多くの報告があるが、その値はかなりばらついていて信頼性に欠ける。また拡散係数と平衡濃度の積の見積り値も、空孔と同様に報告されている。しかしここでは、Bronner らによる文献値を用いた[50]

$$D_{I^0} = 600 \exp(-2.44/kT) \quad [cm^2/s] \quad (3.25)$$

$$C_{I^0}^* = 5 \times 10^{22} \exp(-2.36/kT) \quad [cm^{-3}] \quad (3.26)$$

荷電種 (I^+ など) については中性種と同じ値を用いた。

一連のモデルパラメータをまとめて表 3.2 に記す。

表 3.2: モデルで用いたパラメータ

Constant	Expression
k_1	$4\pi r(D_{V^0} + D_{I^0}) \exp(-\Delta E_{IV}/kT)$
k_2^f, k_2^r	$k_2^f = 10^{-8} [cm^3/s], \quad k_2^r = k_2^f n_i \gamma^+ \text{ (Ref[53])}$
k_3^f	$4\pi r D_{I^+}$
k_3^r	$k_3^f \frac{N_{Si}}{4} \exp(-E_{BI}^b/kT)/n_i$
k_4^f	$4\pi r(D_{BI^+} + D_{V^0}) \exp(-\Delta E_{IV}/kT)$
k_4^r	Mass action law (Ref[53])
k_5^f	$4\pi r_{BB} D_{BI^+}, \quad (r_{BB}=0.88\text{\AA})$
k_5^f/k_5^r	$1.7 \times 10^{-25} \exp(1.61/kT) \text{ (Ref[49])}$
C_V^*	$N_{Si} \exp(1.1) \exp(-2.66/kT) \text{ (Ref[55])}$
$D_V C_V^*$	$1.04 \times 10^{21} \exp(-3.89/kT) \text{ (Ref[49])}$
D_I	$600 \exp(-2.44/kT) \text{ (Ref[50])}$
C_I^*	$5 \times 10^{22} \exp(-2.36/kT) \text{ (Ref[50])}$
D_{BI^+}	$D_B^i / [\frac{k_3^f}{k_3^r} \frac{\gamma^+}{n_i} C_{I^0}^*]$
D_B^i	Boron intrinsic diffusivity, $(2.64 \exp(-3.60/kT) \text{ (Ref[49])})$

ほとんどの反応速度定数は、反応が拡散律速であるという仮定から決定した[49] [39]。また、点欠陥の拡散係数、熱平衡濃度などは文献からの値 [49] [50]を用いた。点欠陥のバルク中での再結合速度 k_1 のエネルギーバリア ΔE_{IV} [39]には、理論計算から示唆されている $1.0eV$ [48]を用いた。ボロン - 格子間 Si ペア (BI) の拡散について interstitialcy 機構を想定し、ペア形成・分解反応 k_3 に関して、結合エネルギー E_{BI}^b [39]をパラメータとして用いている。

BI の拡散係数は、一般的に知られていないため以下のようにして決定した。すなわち、ボロンの拡散は、低濃度かつ高温の intrinsic な条件 (不純物濃度 \ll 真性電子密度 (n_i)) では単純な線形拡散に帰着する。そこで、本モデルの連立拡散方程式から、低濃度でのボロンの拡散と BI ペアの拡散の関係式 [30]を導く。ボロンの真性拡散係数 D_B^i から BI の拡散係数 D_{BI^+} は、次式のように表せる。

$$D_{BI^+} = D_B^i / [\frac{k_3^f}{k_3^r} \frac{\gamma^+}{n_i} C_{I^0}^*] \quad (3.27)$$

ボロンの真性拡散係数 D_B^i は、表 3.2 に示すような値が報告されている [49]。関係式 3.27 は、点欠陥濃度を含んでいるため低濃度の線形拡散および高濃度の条件化でもモデル上成り立つ。よって、この関係式を保つ

たまた、BI のペア形成・分解反応(表1中の k_3^r) の E_{BI}^b をパラメータにして、高濃度の extrinsic な条件で、かつ長時間の熱平衡拡散(例えば表面濃度一定の気相からの拡散)の実験を再現するようにフィッティングを行った。

図3.5は、850°C のガスソースからのボロン拡散を、本モデルで計算した結果である。 $E_{BI}^b = 1.4\text{eV}$ を用いることで、実験値 [51] をよく再現することができた。^{注1}

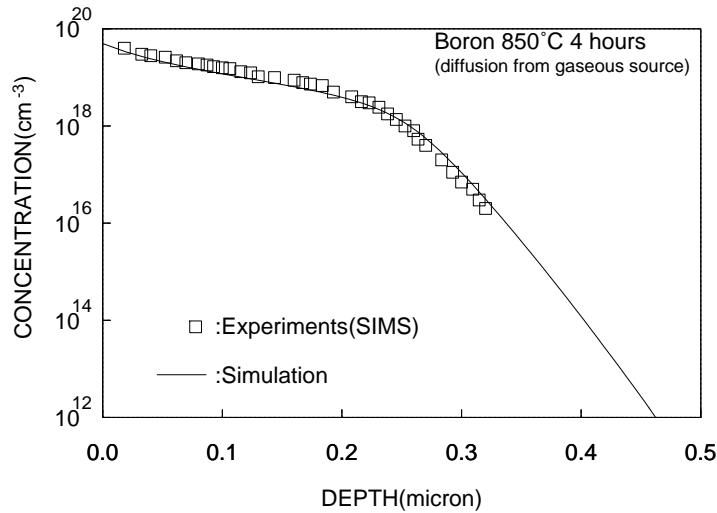


図 3.5: 表面濃度一定のボロン拡散の計算結果と実験 [51] との比較

また、図3.6は、温度 1000 でボロンの表面濃度のみを仮想的に低く固定した ($1 \times 10^{18}\text{cm}^{-3}$) 場合の計算結果である。高温で低濃度の一定表面濃度からの拡散のように、十分 intrinsic な場合は、置換位置のボロンのプロファイルは線形拡散の解析解(補誤差関数 ERFC)に一致する。

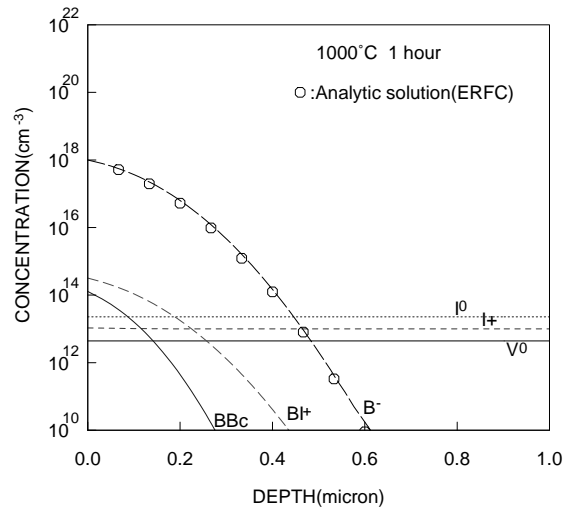


図 3.6: 低濃度高温の線形領域でのボロン拡散の計算結果 (1000 °Cにおいて低濃度の表面一定濃度からの拡散を仮定)

^{注1} この値 (1.4eV) は、interstitialcy 機構の活性化エネルギーゲインの観点から示唆される値 [39] に近いが、後にイオン注入後の {311} 欠陥が増速拡散を仲介することが発見された後、筆者 (Hane ら) により見なおされた (第3.4節参照)。

初期値と境界条件、および数値解析プログラム

拡散を計算する初期値であるイオン注入直後の不純物と点欠陥の分布は、第2章で述べた結晶構造を考慮したイオン注入シミュレータ[5]を用いて求めた。このシミュレータはモンテカルロ法を用いて結晶中の注入イオンと反跳原子の動きを追跡することにより、特にボロンで顕著なチャネリング現象を解析でき、注入中に発生する点欠陥分布も求められる。また、この点欠陥による結晶損傷とチャネリングテールの抑制効果も、注入中の欠陥蓄積を考慮して計算される。

すなわち、各イオンによるリコイルカスケードで発生した点欠陥を、注入中に蓄積すると同時に、一定の割合で逐次リダクションさせてセルフアニール効果を取り入れた計算を行い、高ドーズ注入時のSIMS測定プロファイルを再現できている。このようにして求めた空孔、格子間Si原子の濃度を第一近似的に定量的な点欠陥の初期値とした(第2.2節図2.14参照)。注入されたボロンは、拡散初期には格子間位置にあるものとした。

初期値が準備できた後、式(3.11)他の連立拡散方程式に、静電ポテンシャルに関するポアソンの式を連立して数値計算により時間発展的に解く。本研究では、Vienna工科大学で開発された連立偏微分方程式解法プログラム“ZOMBIE”[52]を数値解析に用いた。このプログラムは、拡散係数、生成消滅項、時間微分項などと各変数での微係数をFORTRANサブルーチンの形で与え、さらに解析条件(時間、温度)などを記したコントロールファイルを準備すればプログラム内で自動的に有限差分離散化を行い、Newton法により多変数の解を計算する。

境界条件は、イオン注入後であれば基本的には、反射型境界条件 $\partial C_j / \partial x = 0$ を設定するが、点欠陥に関しては、表面が再結合 sink となるため、

$$-D_I \frac{\partial C_I}{\partial x} = -K_I^{surf} (C_I - C_I^*) \quad (3.28)$$

$$(K_I^{surf} = \pi \rho r D_I, \rho: \text{surface kink density})$$

とする。 K_I^{surf} は点欠陥(ここではI)の表面再結合速度であり、 D_I / K_I^{surf} が一定になるようなスケールリングが適用される[58]注2

表面濃度一定の熱拡散の時は、全ボロン濃度 ($C_{B^-} + C_{BI^+} + 2C_{BB}$) が表面濃度に等しいとして解く。

3.3.2 結果と考察

図3.7に、ボロンを加速エネルギー25keVで $3 \times 10^{14} \text{cm}^{-2}$ のドーズ量を注入した後、900で10秒のアニールを加えた場合のシミュレーション結果を示す。点線はイオン注入直後のボロン(BI)分布、実線はアニール後の全ボロンの分布で、破線はそのうち置換位置の(活性化した)ボロンの分布を示す。SIMSによる全ボロン量の測定値[45]とは良く一致し、拡がり抵抗測定(SRP)による電氣的な測定値[45]もほぼ再現できた。

図3.8は、イオン注入後のボロン拡散の計算結果で、時間経過でプロファイルがどう変化するかをプロットしたものである。アニール初期($< 50 \text{ms}$)には、空孔と格子間シリコン原子の再結合と拡散が起こり、そ

注2 イオン注入後の格子間シリコン原子濃度が過飽和状態にある場合、 K_I^{surf} は、酸化時に比べ、比較的大きな値を用いる必要があるが、その点については、逆短チャネル効果のモデリングの節とDi-interstitialの拡散パスの節にて別途述べる。

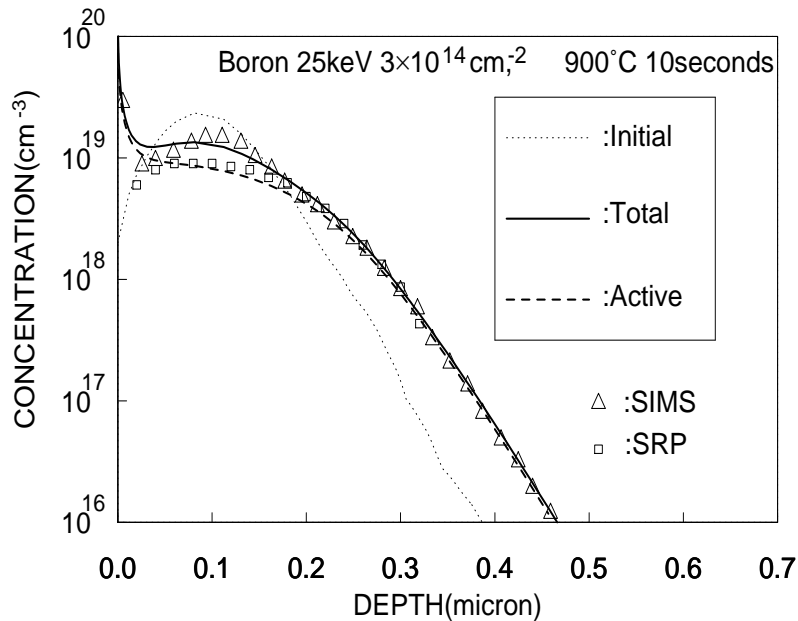


図 3.7: ボロンイオン注入後のアニールの計算結果と実測 [45] との比較 (ドーズ量は $3 \times 10^{14} \text{ cm}^{-2}$)

れに対して BI ペアの拡散はわずかである。1 秒後には BI ペアと置換位置ボロンの量がほぼ同等になり、またボロンクラスターが形成されはじめる。その後の 10 秒で置換位置のボロンが優勢となり、過渡増速拡散がほぼ終了するようになる。

図 3.9 には、高ドーズ量 ($5 \times 10^{15} \text{ cm}^{-2}$) の注入に続く短時間アニールのシミュレーション結果を示す。図 3.7 と比較して、分布ピーク付近の高濃度領域は、より顕著なクラスタ化のために不活性化している。図 3.9 では、過渡的な拡散の増速度合いの計算値は実測よりやや過剰になってしまった。これは、高ドーズ量注入後の拡散計算に、モンテカルロ法で計算された点欠陥分布をそのまま初期値に使うことが、あまり良い近似では無いことに起因すると思われる。また、ボロンと言っても高ドーズの注入では、転位のような 2 次的な欠陥が発生する。この 2 次欠陥が点欠陥の sink として働いていることも考えられる。

増速拡散現象について詳細に調べるため、図 3.7 でのイオン注入条件で、いろいろなアニール条件のシミュレーションを行った。図 3.10 に、850、900 および 950 °C のアニールにおける拡散フロントの過渡的な動き (接合深さの変化) すなわち過渡増速拡散の持続時間を、実験から得られている関係と一緒にプロットしたものを示す。例えば、950 °C の場合、数秒間で拡散フロントは急激に変化し、その後は緩やかになる過渡的な増速拡散現象を呈するが、本モデルは実験 [57] の傾向を良く再現している。

過渡的な増速拡散は、温度が低い方がその持続時間、度合共に顕著になる傾向がある。これは、拡散係数が低温で小さいことよりも、点欠陥の再結合や、BI (格子間ボロン) の分解反応が小さいことの方が優勢であるため、格子間位置でのボロンが長い時間存続して結果的に拡散が進んでしまうためと考えられる。

図 3.11 には、図 3.7 の場合と同じ条件でのシミュレーションにおいて、置換位置で活性化したボロンのピーク濃度の時間変化を、各温度についてプロットしたものを示す。ただし、ここでは温度が異なるものを比較するために、時間スケールを反応式 (3.7) のクラスタ分解反応速度定数 k_5^r で規格化した。低温のアニールでは、クラスタ分解反応が遅いため、活性化にはより長い時間が必要である。図 3.10-3.11 に示したようなことから、増速拡散を抑制しつつ、活性化レベルを確保するというような相反する要求に対する最適なア

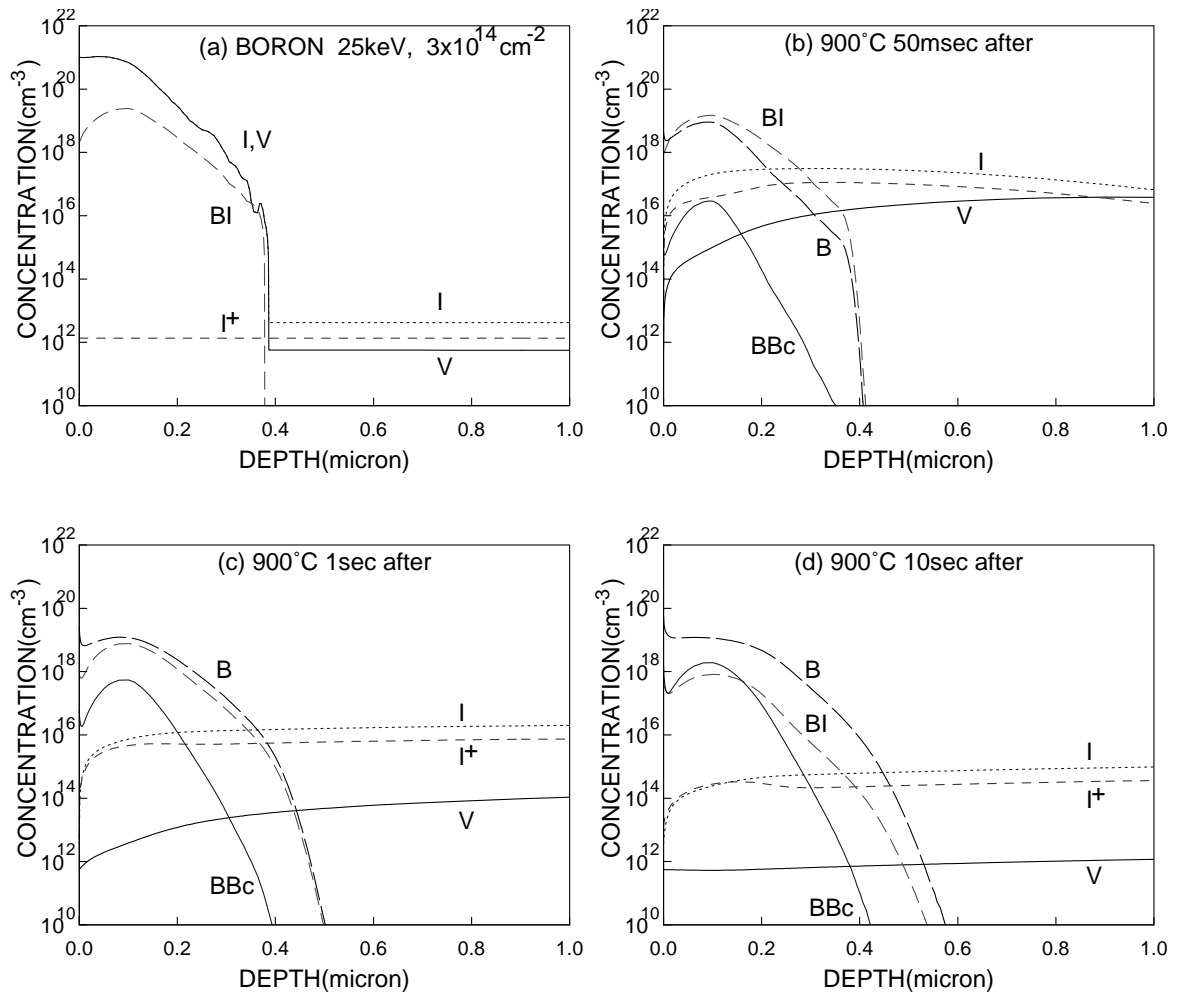


図 3.8: イオン注入後のアニール計算の結果を時間を区切って表示

ニール条件としては、高温かつ短時間の熱処理が有効であるということをシミュレーションは示唆している。

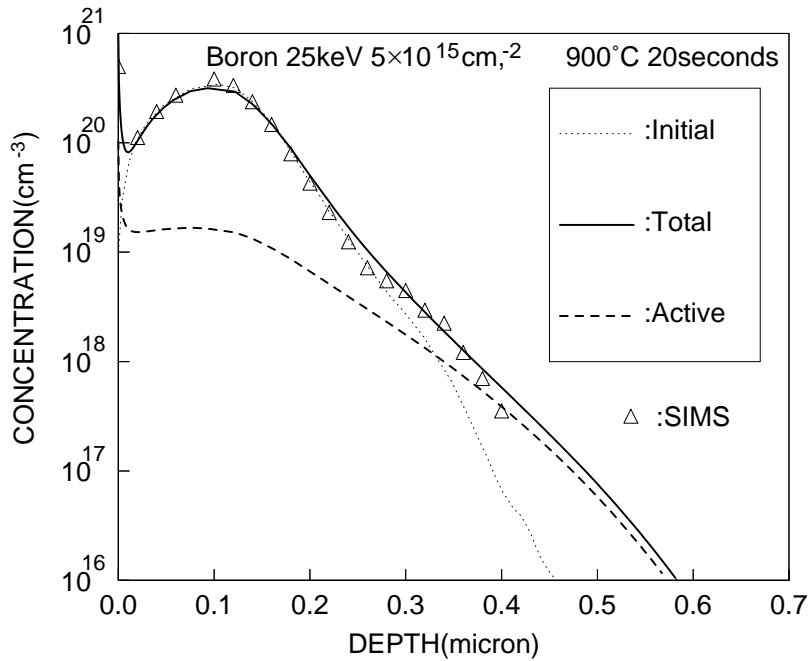


図 3.9: 高ドーズ量のイオン注入後のアニールの計算結果 (実測 [45] による)

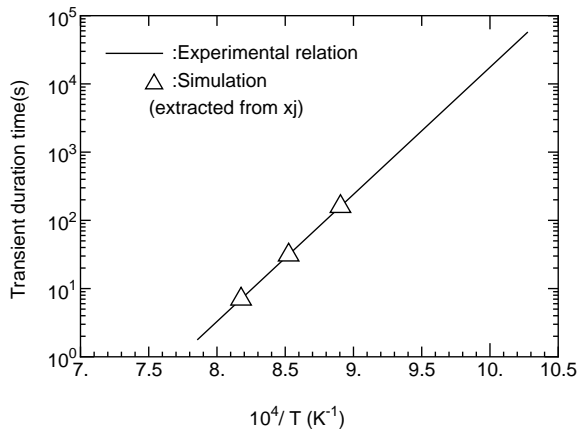


図 3.10: 過渡増速拡散が持続する時間の計算結果と実験から得られた結果 [57] との比較

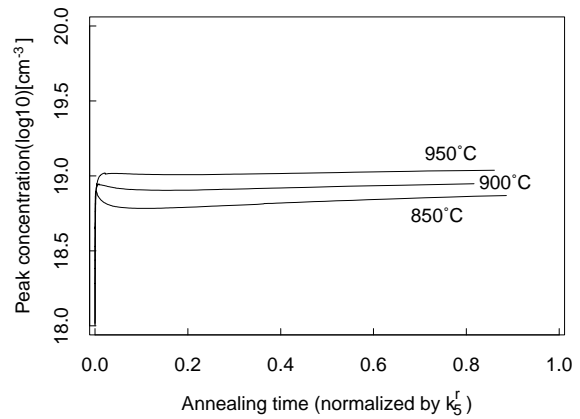


図 3.11: イオン注入後のアニールでの活性化されたボロンのピーク濃度の時間変化

3.3.3 転位ループとの相互作用

MOS トランジスタのシミュレーションの場合には、単一不純物の拡散精度を上げるだけでは不十分で相互作用が重要である。例えば、ソース・ドレイン形成の際イオン注入により生じる転位ループ欠陥がバックグラウンドの基板ボロンの拡散に影響する場合がある。図 3.12 に、一様にボロンをドーピングしたシリコン基板にソース・ドレイン形成に用いられる砒素をイオン注入し、それに続くアニールの後の分布の変化を実測した結果を示す [59]

砒素は拡散係数が小さいためあまり分布形状は変化しないが、初期に一様な濃度のボロンが砒素のプロファイルのすそ部分で再分布 (パイルアップ) して砒素拡散領域の外の部分で濃度が低下する。ボロンがパ

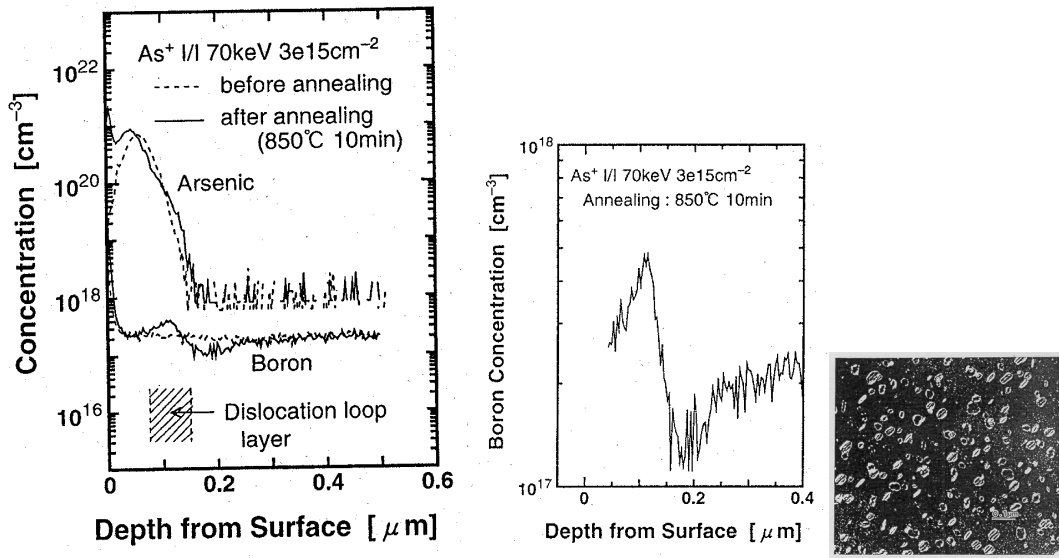


図 3.12: 一様にボロンをドーピングした基板に砒素を高ドーズに注入しアニールした後の不純物の再分布を示す図 (真中の図はボロン再分布領域の拡大図: 著しいボロンの再分布と転位ループの発生 (右下図 Plain-view TEM 像) を観測)

イルアップした領域を断面透過電子顕微鏡 (TEM) で観察すると転位ループの発生が観察された。短チャネルデバイスで、このボロン濃度低下領域がチャンネルに占める割合が顕著になることを図 3.13 に示す。Sadana らは簡単なデバイスシミュレーションを行い、ゲート長 $0.2\mu\text{m}$ 程度以下から、この基板ボロン濃度の部分的低下による短チャネル効果が顕著になると報告している[60]

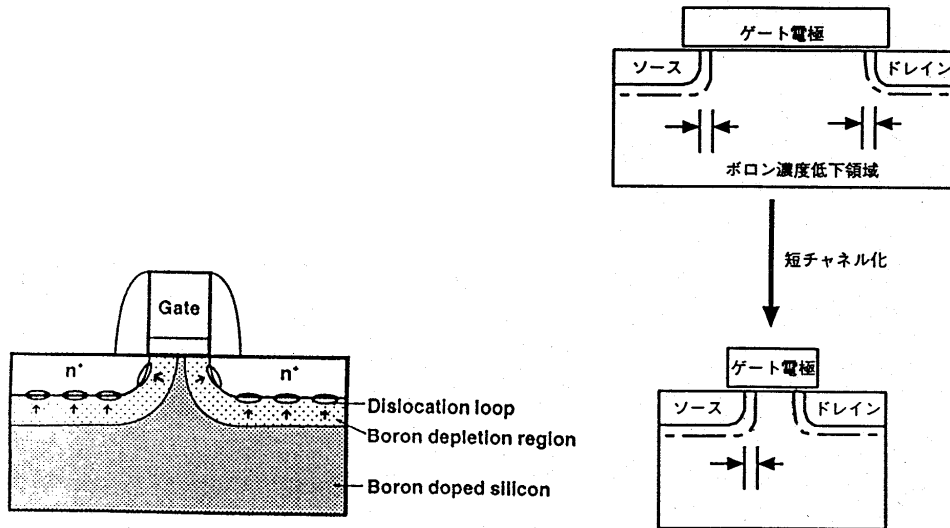


図 3.13: ソースドレイン近傍のボロン濃度低下による短チャネル効果の増大を示す図

この現象のモデル化として、図 3.14 に示すように、転位ループは点欠陥もしくは不純物を吸い込んで成長 (空孔を捕獲した場合は縮小) すると考えられる。

本研究では、この転位ループの成長と転位ループへのボロンの捕獲を新たにモデル化し、前述のボロンの非平衡ペア拡散モデルに組み込んだ[59]、具体的には、転位ループの密度を N_D 、拡散種 j の捕獲速度を

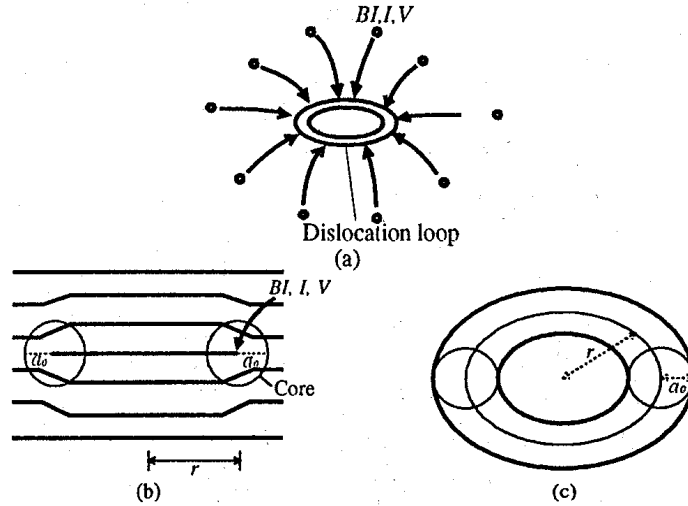


図 3.14: 転位ループへの点欠陥の吸収: (a) 概念図, (b) 結晶列中の転位ループのコア (半径 a_0), (c) 捕獲面積はループ半径とコア半径から決定

$R_j = A_j \exp(-E_j^{cap}/kT)(C_j - C_j^*)$ として、これらを拡散種 j の反応拡散方程式に追加した (例、式 3.29, 3.30 等)。

$$\begin{aligned} \frac{\partial C_{I^0}}{\partial t} &= \frac{\partial}{\partial x} \left[D_{I^0} \frac{\partial C_{I^0}}{\partial x} \right] - k_2^f C_{I^0} p + k_2^r C_{I^+} - k_1 (C_{I^0} C_{V^0} - C_{I^0}^* C_{V^0}^*) - \underline{R_{I^0} N_D} \quad (3.29) \\ \frac{\partial C_{BI^+}}{\partial t} &= \frac{\partial}{\partial x} \left[D_{BI^+} \frac{\partial C_{BI^+}}{\partial x} + \frac{q}{kT} D_{BI^+} C_{BI^+} \frac{\partial \phi}{\partial x} \right] \\ &\quad + k_3^f C_{B^-} C_{I^+} - k_3^r C_{BI^+} n \\ &\quad - k_4^f C_{BI^+} C_{V^0} + k_4^r C_{B^-} p^2 \\ &\quad - k_5^f C_{B^-} C_{BI^+} + k_5^r C_{BB_{cls}} - \underline{R_{BI^+} N_D} \quad (3.30) \end{aligned}$$

転位ループが発生するごく始めの過程は転位の核形成を含めてまだ完全には解明されていない[61]。ここでは、TEM 観察からの推測で、アモルファス界面に初期微小核生成を仮定して計算した (数値解析安定性のためメッシュ幅程度のガウス関数分布を設定)。棒状 {311} 結晶方位欠陥がさらに転位ループに成長することを示唆するデータもあるが、ここでは、{311} 欠陥と転位ループは別として扱う。図 3.15 に転位ループ半径の時間依存性、図 3.16 にボロンの再分布形状のシミュレーション結果を示す。モデル計算の結果は転位ループの成長の仕方、ボロンの再分布共に実測と良く一致した。

3.3.4 まとめ

イオン注入後の不純物の増速拡散、再分布を高精度にシミュレーションするための非平衡ペア拡散モデルを構築した。モデルには不純物と点欠陥のペア形成・分解反応および不純物の電気的不活性化の要因となるクラスター形成・分解反応を含み、シミュレーション結果は深さ方向 1 次元分布の実測を良く再現できた。ペア拡散の概念はあくまでもモデルのフレームワークであり[62][63]。現実の製造工程のシミュレーションには種々の他要因の別途モデル化が必要である。本研究ではボロンのクラスター反応をボロン・格子間シリコンのペア形成分解反応と同様に非平衡反応として組み込むことで、イオン注入後の増速拡散と不完全な活性化量も両立してモデル化・シミュレーションすることを可能にした。

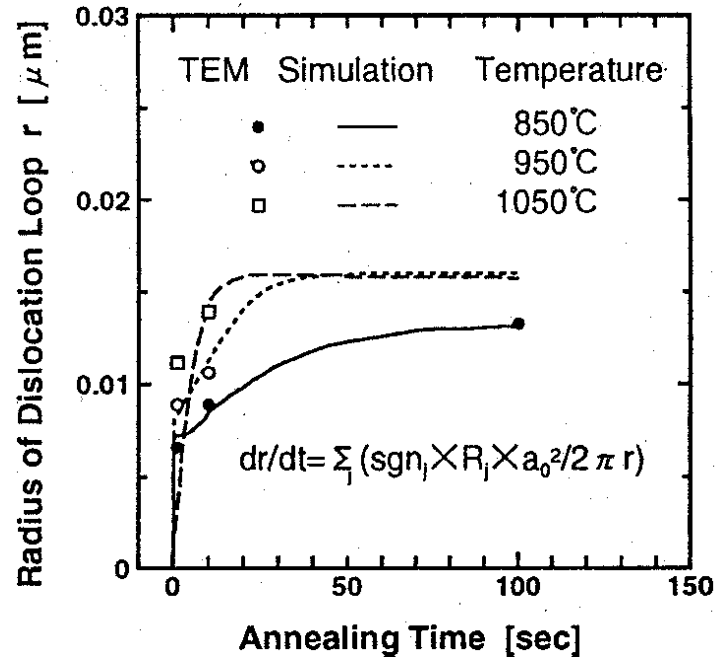


図 3.15: 砒素イオン注入後の転位ループ成長の時間依存性計算結果 (sgn_j は拡散種 j が I か BI の場合 +1(成長), V の場合 -1(収縮), ループ密度を計算するためのループ間距離は r に比例)

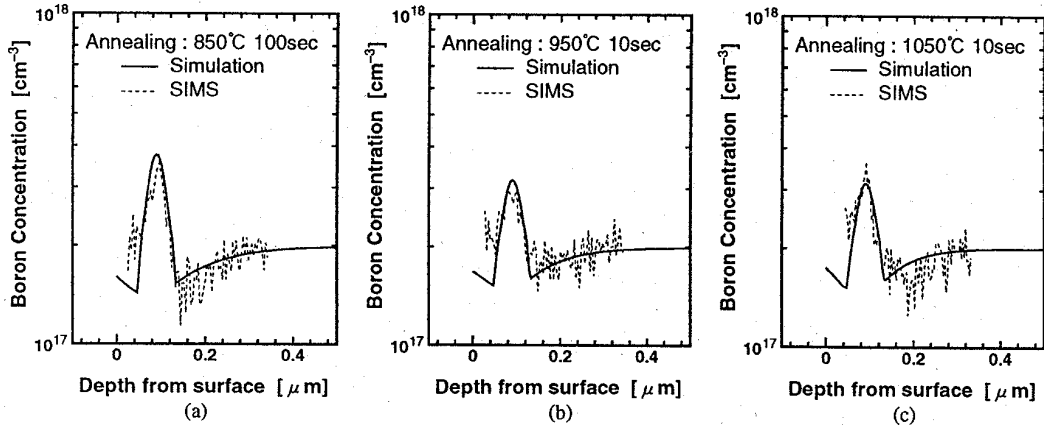


図 3.16: 砒素イオン注入による初期に一樣なボロンの再分布の計算結果と実測の比較 [59]

(本節の内容は主に原著論文 (3) と国際学会 (21) で発表。)

本研究では、引き続き、次節に述べる MOSFET の逆短チャネル効果の定量的シミュレーションを実現させるために、ボロンに関してのペア拡散モデルパラメータを見直し、砒素に関してもモデルを新たに構築した (本節までの一次元計算に加え、MOSFET 断面不純物分布とそれに依存するデバイス特性をシミュレーションするために計算を 2 次元に拡張した)。すなわち、本研究では、単一不純物の拡散プロファイルを記述するだけに留まらず、複数の拡散種の影響を含めたシミュレーション (例えば逆短チャネル効果) を可能にした。次節にこれらについて詳細を述べる。

3.4 逆短チャネル効果のシミュレーション

ディープサブミクロン CMOS の電気特性において nMOSFET で顕著な逆短チャネル効果は、まさに点欠陥と不純物拡散が大きく寄与していることを示している[36][66]。既存のプロセスシミュレータの不純物拡散のモデルが正しく、高精度なものであれば逆短チャネル効果を事前に予測することが可能だったはずである。ところが、不純物拡散のモデル自体、点欠陥の物性解明とパラメータの実測の困難さから、モデル化が不十分であったため、特に1次元プロファイルを基に構築されたモデルでは、実際の MOSFET で起こっている逆短チャネル効果のように2次元構造での振る舞いを正確に予測することができていなかった。つまり、既存の不純物拡散のモデルもしくはパラメータが唯一の解ではなく、いくつかの近似的なモデルもしくはパラメータセットの一つに過ぎなかった。

本研究においては、非平衡ペア拡散モデルに基づくイオン注入後のボロンの増速拡散、電気的活性化等の1次元シミュレーション結果は実験結果と良い一致が得られた(第3.3節)。しかし、研究当初、この新たなモデルを組み込んだ2次元汎用プロセスシミュレータにて、長チャネル MOSFET のしきい値電圧の計算精度は向上したが、逆短チャネル効果は計算上実際ほどには現れない場合が見られた。すなわち、新しいモデルは、1次元で精度を確認するだけでは不十分で、2次元効果としての逆短チャネル効果を再現できるものでなければならない。また、逆短チャネル効果は、ソースドレイン形成のための砒素ドーズ量に依存すること、砒素の不活性化が付加的に逆短チャネル効果を引き起こすことも報告されている[69]。これらの効果は、ボロンのみならず砒素に関してもモデルを精緻化する必要があることを示している。ソース・ドレイン形成のための砒素注入とアニール時の不活性化に起因する過剰点欠陥についてもその界面での挙動(再結合速度)を適切にモデル化することも重要である。

以下の節では、計算対象に用いた実際の MOSFET の特性について述べた後、ボロンのシリコン・酸化膜界面でのパイルアップ現象について述べる。ボロン・格子間シリコン原子ペアの結合エネルギー、熱処理温度、表面再結合速度等の依存性から、これがデバイスの逆短チャネル効果の再現に繋がることを述べる[67]。さらに、低濃度のイオン注入試料の低温アニール時の活性化の実験から、ボロン・格子間シリコン原子ペアの結合エネルギーは従来の値よりも小さいことを指摘し、それが逆短チャネル効果の計算を実測に近づけることを述べる。また、砒素のペア拡散モデルと不活性化により格子間 Si 原子が発生するモデルと格子間 Si 原子のシリコン表面での境界条件の検討について述べ、その後、逆短チャネル効果の計算結果と実測の比較について述べる[68]。

3.4.1 nMOSFET の逆短チャネル効果の実測データ

図 3.17 に Takeuchi らによるシングルドレイン構造および砒素 LDD (Lightly-Doped-Drain) 構造の nMOSFET のチャネル長としきい値電圧の実測データを示す[70] (図 3.17 ではチャネル長としきい値電圧の変化分をプロットしてある。) LDD 注入の後の、サイドウォール形成の HTO プロセスは、温度 800 °C、2 時間程度の熱処理に相当する。LDD 注入条件は、10keV、 $2 \times 10^{14} \text{cm}^{-2}$ 、であり SD 注入の $5 \times 10^{15} \text{cm}^{-2}$ に比べて少ないにもかかわらず逆短チャネル効果は大きい。

特徴的なのは、この nMOSFET のチャネル部の濃度は、 $7 \times 10^{17} \text{cm}^{-3}$ でほぼフラットであるということである。従来、逆短チャネル効果はチャネル中の不純物の拡散が部分的に増速する結果表面濃度が上昇し、しきい値が増大するため生じるという見方があった。しかし、このデバイスではチャネル部の分布がフラット

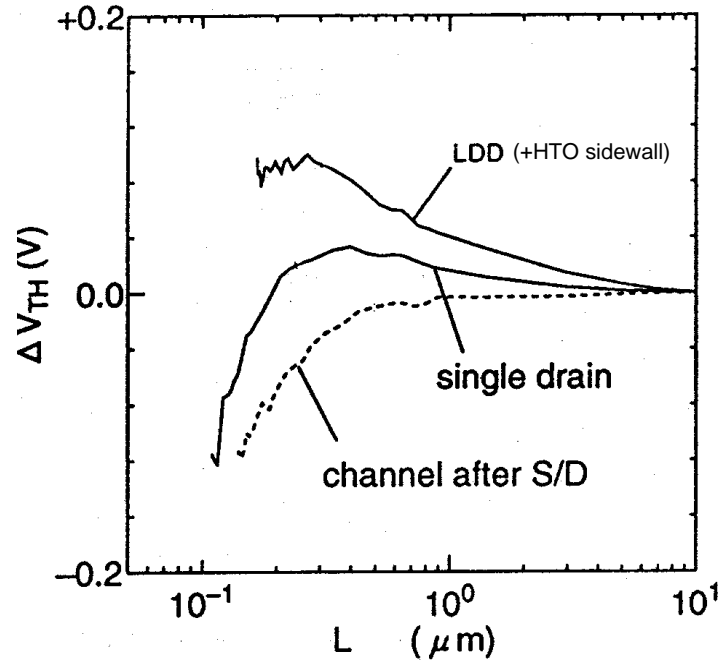


図 3.17: 試作した nMOSFET のゲート長としきい値電圧の実測結果 [70] (点線は SD 形成後にチャネルを形成したプロセスの場合で SD 注入が逆短チャネル効果の要因であることを裏付けている)

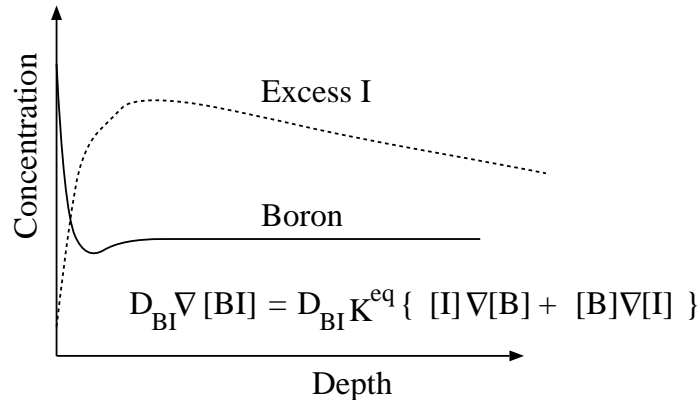


図 3.18: 点欠陥の濃度勾配によるボロンのパイルアップメカニズムを示す図

であるので増速拡散自体が起こらず、図 3.17 に見られるようなしきい値電圧の上昇は、単純な拡散以外の現象でもたらされるものである。すなわち、過剰な点欠陥が存在する場合、酸化膜・シリコン界面はある種の sink と考えられ、界面に向かって点欠陥の急峻な濃度勾配が生じる。図 3.18 に示すように、ペア拡散モデルでは置換位置占有不純物のフラックスは不純物濃度の勾配と点欠陥濃度の勾配にも依存し、点欠陥の急峻な濃度勾配は不純物を移動させパイルアップを生じさせる driving force となりうる。この場合、逆短チャネル効果はこのパイルアップが短チャネルトランジスタで顕著になりしきい値電圧が上昇することに起因すると考えられる。点欠陥の濃度勾配は点欠陥 (格子間 Si 原子) の表面の境界条件に依存し、それに対する検討も後に述べる。

この節の計算は、これまでに述べてきた非平衡ペア拡散モデルを 2 次元に拡張し、MOSFET の断面 2 次元領域を対象にした不純物拡散モデルの連立偏微分方程式の求解には、Vienna 工科大の偏微分方程式ソルバー

PROMIS[71]を用いた。また、MOSFET の電気特性の計算は、NEC 製のドリフト拡散型二次元デバイスシミュレータ BIUNAP[72]を用い、主にしきい値電圧（一定電流条件）を計算した。

3.4.2 点欠陥濃度勾配に起因するボロンパイルアップの1次元計算

ここでは、フラットにボロンがドーピングされている基板に過剰に格子間シリコン原子を導入した場合を簡単な1次元計算で調べた結果、表面が格子間シリコン原子の sink である場合、まさにボロンのパイルアップが起こり、またそのパイルアップ量がボロン・格子間シリコン原子ペア（以下 BI ペア）の結合エネルギー（以下 E_{BI} ）に依存することを示す。

テスト計算として、ボロンの初期濃度を 10^{17}cm^{-3} でフラットな分布に設定し、シリコンをドーズ量 $2.7 \times 10^{13} \text{cm}^{-2}$ 、加速エネルギー 180keV で注入し、800°C、1時間アニールという仮想条件を1次元で計算した。このシリコン注入の条件は文献 74]を参考にしたものである。図 3.19 にその典型的な結果を示す。

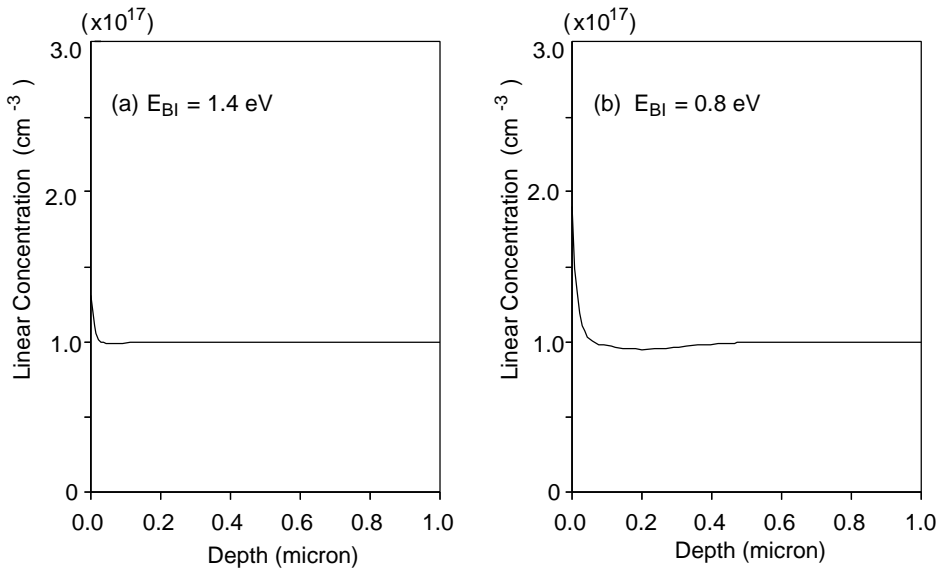


図 3.19: 過剰格子間シリコン原子により引き起こされたボロンの表面パイルアップの計算結果

過剰な格子間シリコン原子が存在し表面が sink として働く結果、表面に向かって格子間シリコン原子濃度の勾配が発生し、初期に平坦であったとしてもボロンは表面に向かって流れ、パイルアップを生じる。nMOSFET の構造では、ソースドレイン形成で発生した過剰点欠陥が図 3.20 に示すように、チャンネル部にも拡散し、チャンネル長が短くなるほど、ソースドレイン部からの寄与が重なり合いしきい値電圧を上昇させると考えられる。また、パイルアップ量が、BI ペアの結合エネルギー E_{BI} に依存し、 E_{BI} が小さい程パイルアップ量が大きいことから逆短チャンネル効果も E_{BI} に強く依存すると思われる。

ここで、BI ペアの結合エネルギーパラメータのモデル上の意味合いについて述べる。BI ペアの濃度は平衡状態で以下のように表される[39]

$$B + I \xrightleftharpoons[k^r]{k^f} BI \quad (3.31)$$

$$\frac{[BI]}{[B][I]} = \frac{k^f}{k^r} = K_{BI}^{eq} = \left[\frac{n_{Si}}{4} \exp(-E_{BI}/kT) \right]^{-1} \quad (3.32)$$

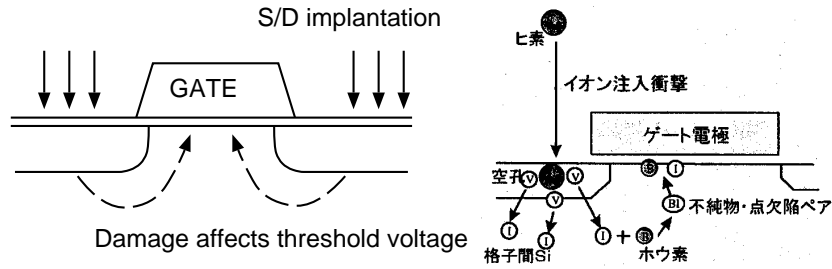


図 3.20: ソースドレインのイオン注入ダメージ (格子間シリコン原子) がチャネル部へ拡散する概念図

ここで、 $[BI]$ 、 $[B]$ 、 $[I]$ はそれぞれ BI ペアの濃度、置換位置のボロン、格子間 Si 原子の濃度を表す。すなわち、 E_{BI} はペアを形成している割合 K_{BI}^{eq} を決め、 E_{BI} が大きければ全ボロンに占める BI ペアの割合が大きくなる。また、ボロンの平衡拡散係数は、BI ペアの拡散係数を用いて次のように表される。

$$D_B^{eff} = D_{BI} K_{BI}^{eq} C_I^* \quad (3.33)$$

ここで、 D_B^{eff} はボロンのマクロな真性拡散係数で SUPREM3 [37] などで用いられている実測に基づいた値である。 C_I^* は格子間 Si 原子の熱平衡濃度である。式 3.33 で、パラメータとしては、 D_B^{eff} は実測から求まるので固定とすると、 K^{eq} が大きければ D_{BI} が小さくなり、 K^{eq} が小さくなれば D_{BI} が大きくなるというように K^{eq} と D_{BI} は独立ではない。その結果、表面濃度一定の拡散のような熱平衡状態の拡散では K^{eq} (すなわち E_{BI}) と D_{BI} をどう選ぼうと全ボロンの計算結果は変わらない。

しかし、イオン注入後の拡散の場合、イオン注入直後は過剰な点欠陥と格子間ボロン (BI ペア) が存在するため状況は異なる。BI ペアの結合エネルギーは BI ペアの分解を支配するため、イオン注入後の過渡的な増速拡散の時定数は、ある有限な E_{BI} の値 (1.4eV 等) で比較的良く表すことができていたが、図 3.19 に示すように非平衡点欠陥濃度勾配によるボロンのパイルアップ量は、この値が小さくなると大きくなる。次節で nMOS 構造での 2 次元不純物拡散計算と 2 次元デバイスシミュレーションとその結果について述べる。

3.4.3 BI ペア拡散モデルによる 2 次元しきい値電圧計算とその結果

計算モデルと計算方法

ここでの非平衡ペア拡散モデルに関して、チャネル部の解析にあたっては、ボロンのクラスタリングの効果は無視した。また、ソースドレイン用のヒ素についてはまずは従来の SUPREM3 の平衡フェルミモデル [37] を用いた。また、ソースドレインのヒ素注入時はヒ素の注入量をファクター倍した格子間シリコン原子が発生するとして計算を行った。

BI ペア結合エネルギー依存性

図 3.21 に E_{BI} を変えてしきい値電圧とチャネル長の関係を計算した結果を示す。熱処理は 800°C、1 時間とした。チャネル中のボロンの分布は始めからフラットなので、SD 注入で導入された過剰点欠陥の影響は、ボロンの拡散というよりは、界面パイルアップとして計算される。2 次元プロセス / デバイスシミュレーション計算の結果、図 3.21 に示すように、ボロンの結合エネルギーを小さくすれば、結果的に BI ペアの拡

散係数 (D_{BI}) を格子間シリコン原子のそれと同じ大きさ程度にまでになるが、それにより顕著な逆短チャンネル効果が計算上再現できた。

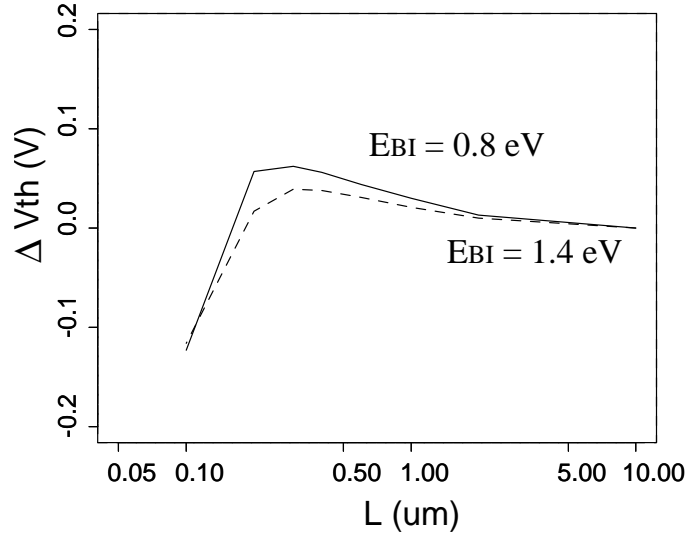


図 3.21: 異なるゲート長に対するしきい値電圧の計算結果

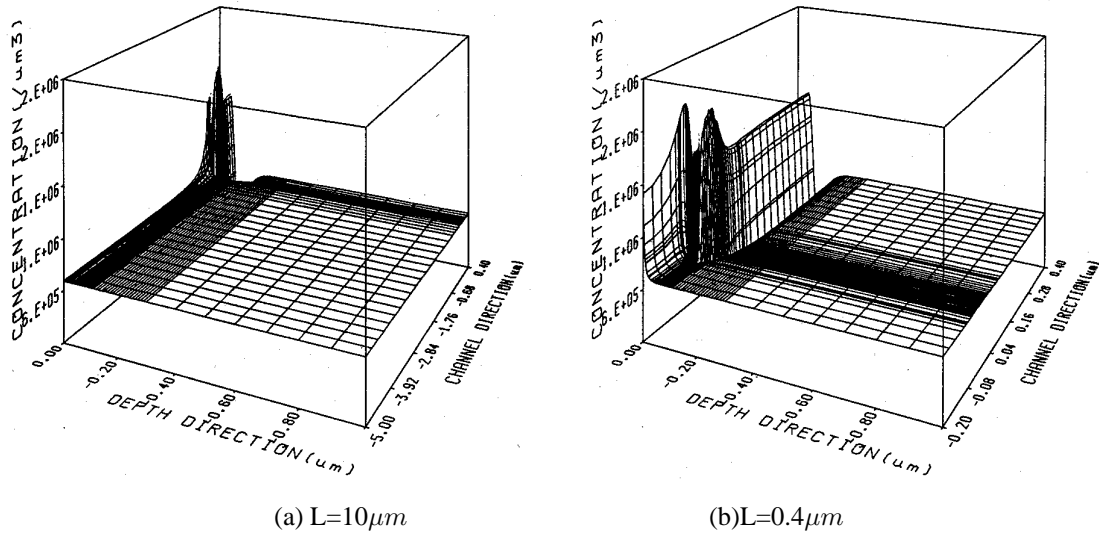


図 3.22: 異なるチャンネル長のチャンネル部のボロンの濃度分布 (MOSFET 断面の半分を表示, 手前がチャンネル中央)

逆短チャンネル効果の大きさ(しきい値電圧上昇分)は、フラットなチャンネルボロン分布の NMOSFET での値 (~0.05volt)[70]と同程度になっている。このしきい値電圧の上昇は、図 3.22 に示すように、計算上はチャンネル中の界面のボロンパイルアップ量が短チャンネルデバイスほど顕著であることによる。

格子間シリコン原子の表面再結合速度依存性

ボロンのパイルアップを引き起こすためには、格子間シリコン原子の表面への濃度勾配とボロンを再分布させるに足るだけの濃度勾配が存在する状態が持続する時間が重要である。格子間シリコン原子の表面再結合速度を変えて計算した結果を図 3.23 に示す。

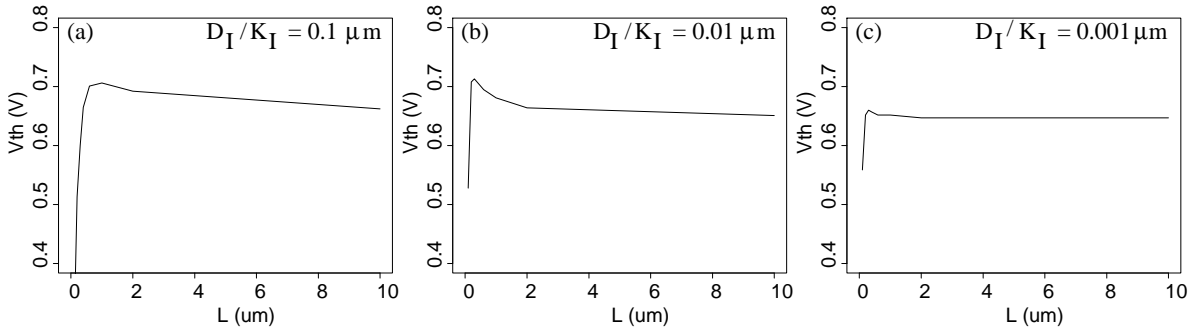


図 3.23: 格子間シリコン原子の表面再結合速度を変えたチャネル長 / しきい値電圧特性の計算結果 (熱処理条件 800 °C, 1 時間): 表面再結合速度の値に対して逆短チャネル効果には極大値が存在

ここでは、表面再結合速度 K_I は、格子間シリコン原子の拡散係数にスケールするため [58] D_I/K_I の値をパラメータにして計算した。小さい D_I/K_I の値は、表面再結合が強いことを表す。表面再結合速度を大きくしていくと (D_I/K_I を小さくしていくと)、逆短チャネル効果は一旦大きくなった後小さくなる。小さい表面再結合速度では、過剰格子間シリコン原子の表面への濃度勾配が小さく、ボロンのパイルアップも起きにくくなるため逆短チャネル効果は小さい。表面再結合速度を大きくしていくと、格子間シリコン原子の濃度勾配そのものは強くなるが、同時に格子間シリコン原子の寿命も短くなり、十分ボロンをパイルアップさせることができなくなり逆短チャネル効果は再び小さくなる。

逆短チャネル効果は計算上、表面再結合速度を大きくするか、小さい表面再結合速度でもソースドレインイオン注入で発生する過剰格子間シリコン原子量を増加すると大きくなる。表面再結合速度 (D_I/K_I) の値は拡散プロファイルの実測との比較である程度決めることができると思われる。拡散モデル見直しに加えて、逆短チャネル効果の定量的シミュレーションには、ヒ素のイオン注入とアニールで発生する点欠陥の振る舞いを定量的につかむことが重要である。

3.4.4 BI ペアの結合エネルギーの実験の見直し

結合エネルギー E_{BI} の適切な値を調べるための実験として、イオン注入を低ドーズで行うことでボロンクラスター形成を排除した試料を作成し、600°C の低温でアニールした後、SIMS および SR で不純物総量と電気的に活性化量 (置換位置のボロンに相当) を測定する実験を行った。低ドーズ試料はボロンピーク濃度は $n_i (= 3 \times 10^{17} \text{ cm}^{-3} \text{ at } 600^\circ\text{C})$ より低いいため、SIMS と SR の差は、低ドーズ試料では置換位置を占めていないボロン、すなわち格子間ボロン、中ドーズ試料ではボロンクラスターと考えられる。

この低ドーズ量低温アニールの実験に対してモデルパラメータを変えた計算を行った結果を図 3.24 および図 3.25 に示す。図 3.24 に示すように、結合エネルギー E_{BI} を 1.0 eV にすることで最も良い実測との一致が得られるが、図 3.25(a) では計算上活性化が遅く、低濃度深部のテールから平坦部にかけても不活性化してしまい、(b) では BI ペアが分解し全ボロンが活性化してしまう結果となった。

モデル上は、BI ペアの結合エネルギーの値を小さくすることにより過渡的増速拡散時定数が減少するが、格子間シリコン原子自身のクラスター化と分解反応により、その時定数はコントロールされるというモデル上のパラダイムシフトが必要である。(格子間シリコン原子・ボロンのクラスター複合体の形成・分解を採り入れた更に詳細なモデリングは、後述の拡散モンテカルロ計算の節で詳しく述べる。)

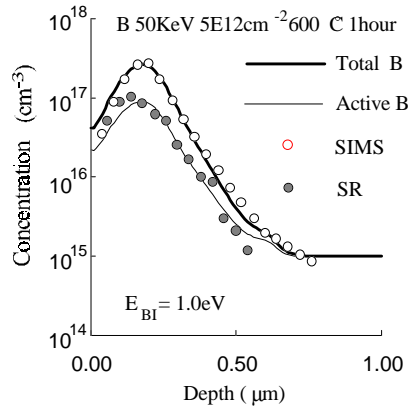


図 3.24: $E_{BI}=1.0\text{eV}$, $D_I=D_I(\text{ref}[50])\times 0.01$, で計算したボロン 50keV, $5 \times 10^{12}\text{cm}^{-2}$ 注入後 600°C, 1 時間の熱アニール処理後のボロン深さ方向分布

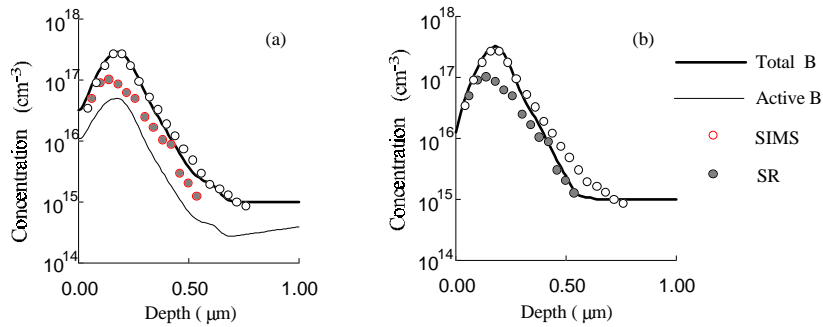


図 3.25: ボロン 50keV, $5 \times 10^{12}\text{cm}^{-2}$ 注入後、600°C、1 時間の熱処理の計算結果 (a) $E_{BI} = 1.4\text{eV}$ (b) $D_{BI} = D_I$ (十分小さい E_{BI} を設定) ((a) は計算上活性化が遅いが (b) は活性化が速く全て活性化している)

3.4.5 格子間 Si 原子の表面での偏析境界条件

従来、酸化されていない酸化膜/シリコン界面においては、格子間 Si 原子の境界条件は、式 3.34 のような一定の表面再結合速度を仮定した境界条件が用いられていた。

$$-D_I \frac{\partial C_I}{\partial x} = -K_I(C_I - C_I^*) \quad (3.34)$$

ここで、 C_I は格子間 Si 原子の濃度 (* は熱平衡濃度)、 D_I は格子間 Si 原子の拡散係数、 K_I は表面再結合速度である。イオン注入後の過渡増速拡散の場合を含む非酸化性雰囲気条件では、 $D_I/K_I = 0.01 \sim 0.1\mu\text{m}$ のような値が使われているが、酸化増速拡散 (OED) の計算時の値は、 $D_I/K_I = 20\mu\text{m}$ 程度が報告されている [58]。この違いを解消するために以下の 2 種類のモデルを検討した。

1. 格子間 Si 原子濃度の 2 乗に比例する表面再結合速度 [79]

$$-D_I \frac{\partial C_I}{\partial x} = -K_{I2}(C_I^2 - C_I^{*2}) \quad (3.35)$$

2. 格子間 Si 原子の酸化膜への偏析 [80]

$$\text{シリコン側} \quad -D_I^{si} \frac{\partial C_I^{si}}{\partial x} = -h(mC_I^{si} - C_I^{ox}) - K_I(C_I^{si} - C_I^*) \quad (3.36)$$

$$\text{酸化膜側} \quad \frac{\partial C_I^{ox}}{\partial t} = D_I^{ox} \frac{\partial^2 C_I^{ox}}{\partial x^2} \quad (3.37)$$

$$-D_I^{ox} \frac{\partial C_I^{ox}}{\partial x} = -h(C_I^{ox} - mC_I^{si}) \quad (3.38)$$

$$\text{偏析係数} \quad m = \frac{C_I^{ox}}{C_I^{si}} \quad (3.39)$$

平坦なボロン分布の基板にシリコンイオン注入 (180keV , $2.7 \times 10^{13}\text{cm}^{-2}$) を行い、 800°C 、1時間の熱処理というテスト計算を1次元で行った結果、格子間 Si 原子の偏析モデルを用いると、一定の表面再結合速度で $D_I/K_I = 0.01\mu\text{m}$ の場合とほぼ同じ結果が得られ (図 3.26)、また逆短チャネル効果は、より大きく計算された (図 3.27)。これに対し、2乗比例 (式 3.35) の方は、図 3.26 と同等の結果は得られるものの、逆短チャネル効果はかえって小さくなってしまった。

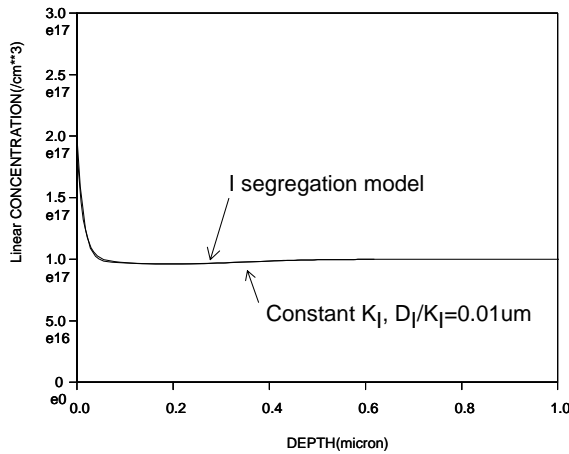


図 3.26: Si 180keV $2.7 \times 10^{13}\text{cm}^{-2}$ 注入とアニール (800°C , 1 時間) によるボロンパイルアップの異なる境界条件の計算結果 (両者はほぼ重なる)

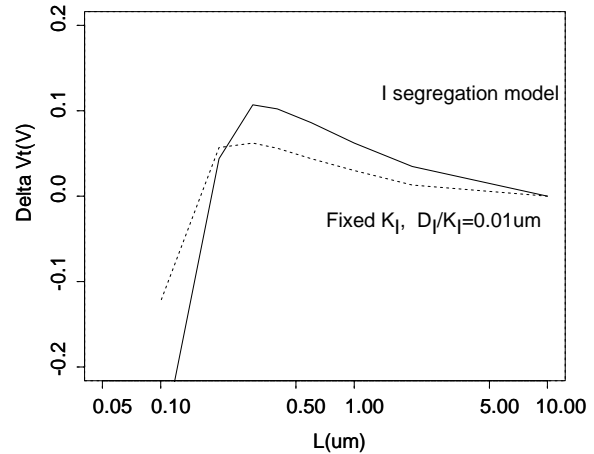


図 3.27: 逆短チャネル効果計算における異なる境界条件での比較

格子間 Si 原子の偏析モデルは、もともと OED の場合について提案されたものでそれが、イオン注入後の増速拡散や逆短チャネル効果の場合にも良い結果を与えることで、今までの不一致は解消できる可能性がある。逆短チャネル効果に関して言えば、格子間 Si の濃度勾配が、 C_I と C_I^* との差のみでなく、偏析によって決まるので、ソースドレイン部分の酸化膜・シリコン界面で偏析が平衡に達し濃度が飽和しても、チャンネル部ではまだ飽和せず、格子間 Si の横方向の濃度が不均一になるためにチャンネル長依存性が強く生じるわけである。これに対し、2乗比例再結合の場合は、従来と同様に格子間 Si の濃度勾配が C_I^* との差で生じることには変わりなく、強い勾配を生じさせようとすると格子間 Si 原子の再結合による消滅が早まり、チャンネル部への浸みだしも減少して、逆短チャネル効果が生じにくくなる。よって、逆短チャネル効果と OED の観点からは、格子間 Si 原子の偏析モデルが好ましい。ただし、偏析係数や輸送係数が非常に大きく、またその物理的妥当性をさらに検討する余地はある。

3.4.6 酸化膜 / シリコン界面の安定性の解析

前節では酸化膜・シリコン界面における格子間シリコン原子の再結合速度 K_I が重要なパラメータであることを述べた。しかし、微視的には格子間シリコン原子の界面での挙動はまだ良く判っていない。従来、酸化を記述する物理モデルとして Deal-Grove の式 [81] が一般に受け入れられていたが、酸化の初期過程や界面構造を記述したものではなく、すなわち、酸化現象そのものが原子のスケールで微視的な見地からは未だに理解が十分でないと言える。これに対し、本研究では、第一原理計算による解析から、およびシリコン / 酸化膜界面構造 [84] に関する知見を得る試みを行った。

第一原理計算としては、ノルム保存擬ポテンシャルと局所密度近似に基づく密度汎関数法による計算がある。表面および界面については、酸化膜、真空層、シリコン層などの薄膜をスラブ状に繰り返した構造でバンド計算を行う。ある原子構造を想定し、その構造での全エネルギーを求める。その全エネルギーの原子位置での微係数から、原子に働く力を求める。その力に従い原子位置を徐々にリラックスさせ、原子に働く力がゼロになり、かつ全エネルギーが最小になる構造を求める、というものである。

この第一原理計算を用いればシリコン酸化の初期過程がある程度解析できる [82] が、酸化膜がある程度成長すると酸化膜はアモルファス構造になる。Ourmazd らは、断面 TEM 観察像の解析から、シリコンと熱酸化膜界面には構造遷移層があり、その構造は結晶状 (tridymite) であるとした [85]。また Fuoss らは、X 線回折の測定結果から界面に、cristobalite 相の結晶酸化物があるとした [86]。

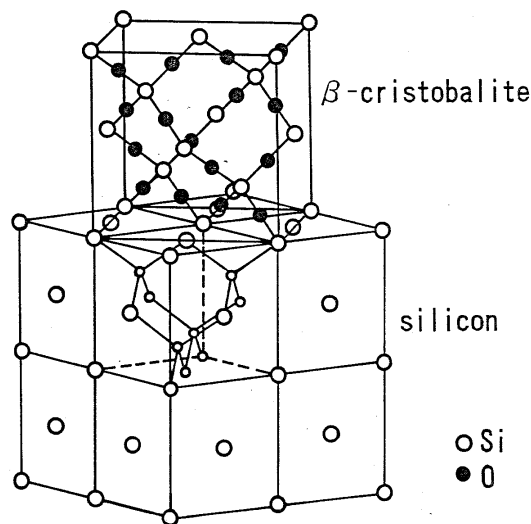


図 3.28: 密度汎関数法による電子状態および安定性についての計算に用いたシリコン (100) 面 (ダイマー無し) にクリストバライト (SiO_2) を仮想的にのせた構造 [84]

本研究では、cristobalite は、格子のマッチングがシリコン (100) 面上で最も良いと思われるため、cristobalite SiO_2 / Crystal Si の構造 (図 3.28 参照) の電子状態、および安定性について、第一原理計算による解析を試みた [84]。

図 3.29 に界面原子構造安定緩和化の計算結果を示す。また、図 3.30 に界面におけるダングリングボンドの電子軌道状態の計算結果を示す。計算の結果判明したことは、Cristobalite / Silicon 界面は、界面から 1 ~ 2 層の原子位置のわずかな緩和のみで安定化し、また、シリコン原子のダングリングボンドも、近傍の酸素原子からの静電力によってエネルギーレベルがスプリットして安定化することなどである [84]。図 3.29 に示す

ように、Si-O-Si ボンド角は初期構造では 180° だったものが 144° に変化し安定化した。この角度は SiO_2 の安定形態である α -quartz で共通に見られる値であり、界面と言えども SiO_2 は局所安定構造を取る傾向があることが判る。計算によると安定化のエネルギーゲインは 1.27eV 程度であった。

構造緩和後の β -cristobalite/silicon の界面の電子構造としては、計算では半導体的性質を示すことが示された。理想的シリコン (100) 表面であれば、等価なダングリングボンド2つがミッドギャップ近傍に半分占有された状態 (金属状態) を作るが、 β -cristobalite/silicon の界面では、2つの等価だったダングリングボンドは、構造緩和後、2つの異なる界面局在状態にスプリットし、シリコン価電子帯トップ上にフルに占有された状態と、伝導帯下部に空状態を作り安定化する計算結果となった (図 3.30)。この半導体的振る舞いは次のように説明できる。すなわち、 SiO_2/Si 界面では、酸素の電気陰性度が高く、シリコン原子から酸素への電子供給がなされる。構造緩和後は、酸素はよりダングリングボンドに近づくように位置を変える (図 3.29)。そのため、酸素原子からの静電フィールドにより、界面の酸素原子近傍のダングリングボンド2個のエネルギーレベルはスプリットすることになる [84]。

他の結晶形態や長距離の格子ミスマッチ緩和の可能性はまだ検討の余地があるが、こういった界面構造を一旦実現しておいて、酸素分子が酸化膜中を拡散して界面に到達し、そこで解離、シリコンとボンドを形成して、余ったシリコンが格子間シリコン原子として放出されるという描像の再現が、第一原理計算から期待できる [87] (本節の内容は主に原著論文 (2) と国際学会 (20) で発表。)

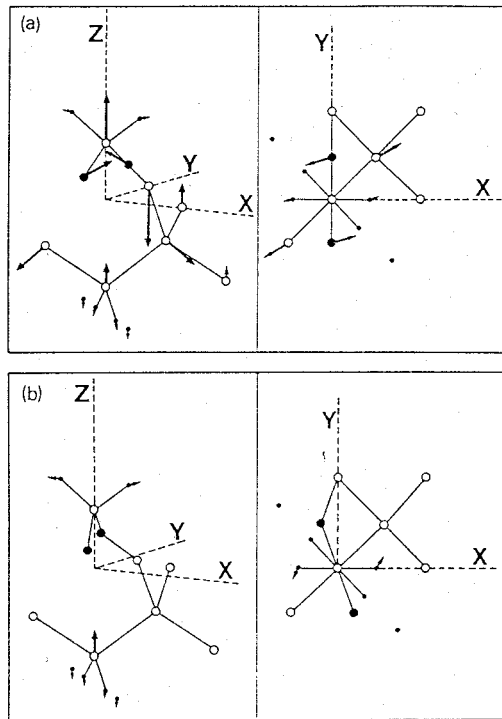


図 3.29: β -cristobalite/silicon 界面近傍の原子形態と原子に働く力の計算結果 (a) 緩和前 (初期構造) (b) 緩和後 (安定構造)

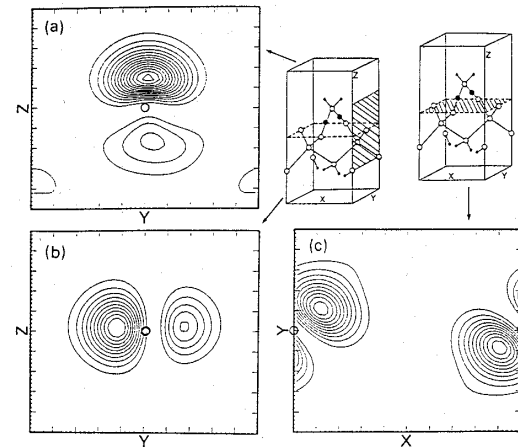


図 3.30: 界面での Γ 点における計算した波動関数 (の 2 乗) の等値線プロット (白丸は Si 原子の位置) (a) 低いダングリングボンド界面準位 (YZ 平面) (b) 高いダングリングボンド界面準位 (YZ および XY 平面)

3.4.7 砒素のペア拡散モデルと LDD デバイスでの逆短チャネル効果

前節までは主にボロンの拡散モデリングについて述べてきたが、砒素に関してもペア拡散モデルをベースに新たなモデルを構築した[88]。その砒素のモデルも組みこんで逆短チャネル効果のシミュレーションを行うわけであるが、砒素拡散のモデリングのポイントはそのパラメータと不活性化のモデルである。

砒素ペア拡散パラメータ

イオン注入された砒素に関し低濃度高温の条件下でアニールした実験を行い砒素の活性化率を調べた[88]。図 3.31 に示すように、従来の砒素のペア拡散モデルパラメータ[78]は、ペア結合エネルギーが大きく、今回の実験条件でもペア濃度が増加し置換位置の砒素の濃度が下がってしまう。モデルを見直し、表 1 に示すように結合エネルギーはあまり大きな値にしない場合実測をよく再現できた。ただし、 AsV^- だけについては後に述べるように格子間 Si 原子の発生の観点から大きな結合エネルギーを用いている。

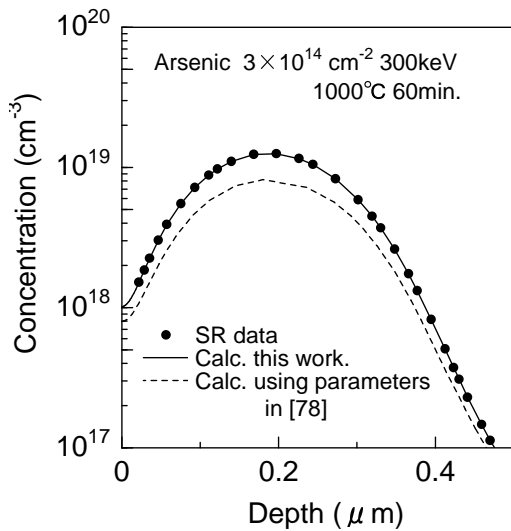


表 1: 砒素ペア拡散モデルの主要パラメータ

Parameter	Value
E_{AsI^0}	1.0 eV
E_{AsV^0}	1.0 eV
E_{AsV^-}	1.6 eV
D_{As}^{eff}	Hoyt's[90]

図 3.31: 砒素イオン注入およびアニール後のキャリアプロファイルの計算結果と実測の比較 ([78]のパラメータでは活性化濃度が低下)

砒素不活性化モデル

以下に砒素ペア拡散の主要反応を記す (荷電状態の表示は省略)。



式 3.40 と 3.41、および mass-action-law を用いると、

$$\frac{[AsV][I]}{[As]} = \frac{[AsV][I][V]}{[As][V]} = K_{AsV}^{eq}[I][V] \quad (3.44)$$

となり、 AsV^- の結合エネルギーを上げると K_{AsV}^{eq} が大きくなり、反応式 3.41 の逆反応が進み、過剰な I が生成されるということになる。

また砒素の不活性化により発生する格子間 Si 原子の量は、ボロンを目印 (マーカー層) に用いた Rousseau らの実験結果と我々の計算を比較することで見積もることができる。図 3.32 に実験結果 [92] と計算結果を示す。砒素不活性化に伴う格子間 Si 原子発生のためボロンの拡散が増大している。

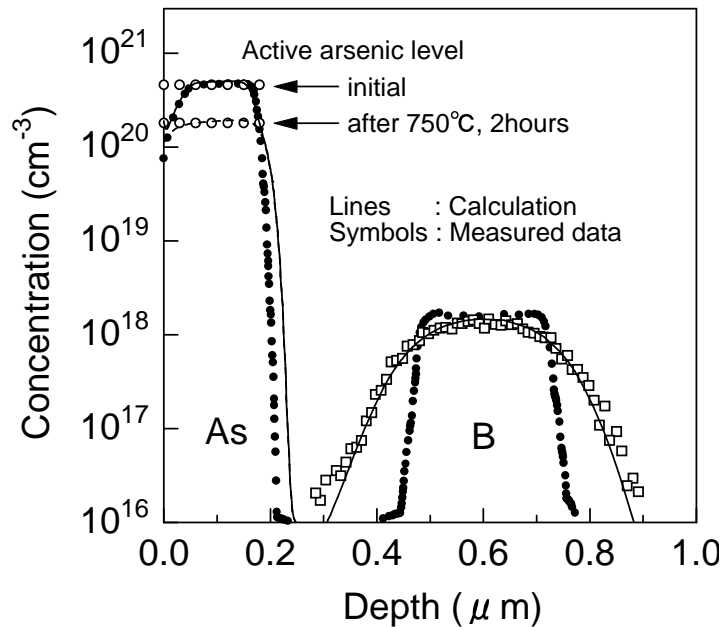


図 3.32: 砒素レーザーアニールとボロン MBE マーカー層の拡散の実測 [92] と計算結果の比較 (熱処理 750°C, 2 時間)

単純な見積もりでは、不活性化した砒素の 0.5 パーセント程度の格子間 Si が発生することになるが、不活性化に、 As_2V のみの形成を仮定したモデル [91] では、不活性化した砒素の半分の格子間 Si が発生することになってしまう。複数種のクラスターが介在していると考えられるが、今回は代表的に As_2V と As_3 の 2 種類のクラスター (式 3.42, 3.43) を考慮した不活性化モデルを構築した。このペア拡散モデルとボロンのペア拡散モデルを組み合わせ、高ドーズ砒素と低ドーズボロンの同時拡散のシミュレーションを行い、実測を良く再現することができた (図 3.33)。

また、本研究の、高濃度の砒素が不活性化する過程で格子間シリコンを放出することを表現できるモデルによれば、付加的に逆短チャネル効果を引き起こす [69] という現象も再現可能である (図 3.34)。図 3.34 において、 ΔV_{th}^* は 1050 アニールのみデバイスと 1050 アニール後 750 で 2 時間アニールを施したデバイスの V_{th} の差を表す。砒素の 750 アニールの間での不活性化は、 V_{th} の更なる上昇を引き起こす。実験における V_{th} の上昇は、砒素ドーズ $4 \times 10^{15} \text{ cm}^{-2}$ の場合 0.367V、 $1 \times 10^{15} \text{ cm}^{-2}$ の場合はほとんど 0V であり、実測 [69] と良く対応している。

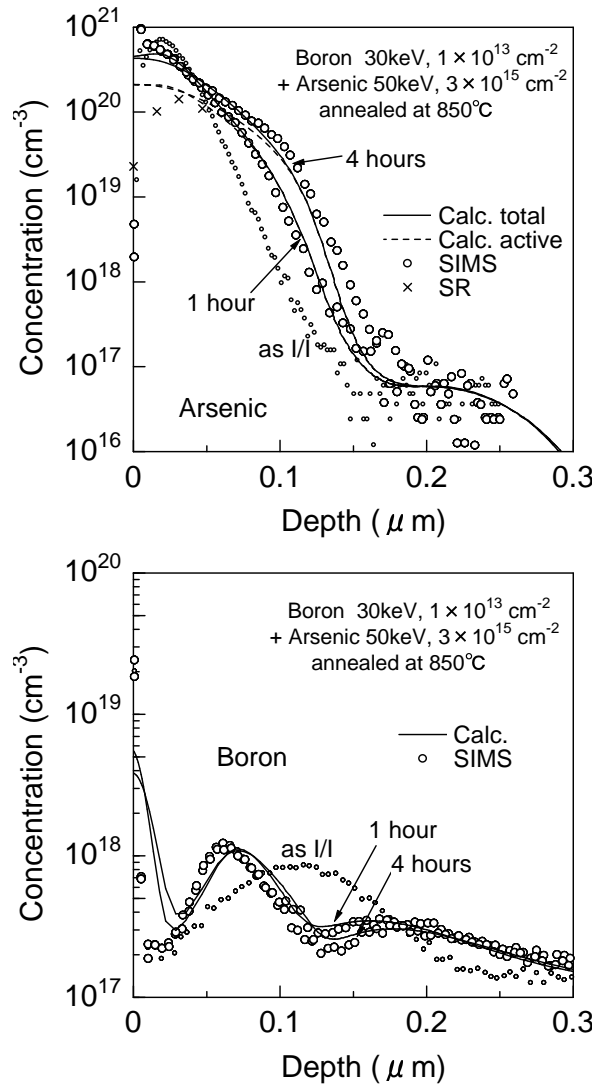


図 3.33: 砒素とボロンのイオン注入後の同時拡散の計算結果の実測との比較（初期格子間 Si 原子はモンテカルロイオン注入シミュレータでアモルファス化層幅を計算、その領域以外で砒素と同濃度に設定）

3.4.8 LDD デバイスの逆短チャネル効果の計算結果

図 3.35 に、LDD の場合の逆短チャネル効果の計算結果を示す。LDD(砒素)のドーズ量は、 $2 \times 10^{14} \text{cm}^{-2}$ 、と低いが逆短チャネル効果は大きい(図 3.17)。ここでは、初期格子間 Si 濃度を、砒素 LDD ドーズ量の倍数で設定して計算したが、砒素 LDD ドーズ量の 5 倍程度であれば実測をよく再現した。砒素の場合には、ボロンでの初期格子間 Si 濃度がボロンドーズ量にほぼ等しいとする言わば“+1”モデルが不充分であることを示している。砒素のイオン注入では、砒素イオンの衝撃によりシリコン結晶が部分的にまとまって壊れる現象が起きやすく、その結果、void やアモルファスポケットを生じ、余分なイオン一個分以上の格子間 Si 原子が生じると考えられる。Rubia らの分子動力学計算によると、アモルファス化を生じない程度の低ドーズ砒素注入の場合の過剰格子間 Si 原子は、+2~+6 というレンジが報告されており[89]。ここでの逆短チャネル効果の計算は、それには矛盾しない結果である。我々は、砒素のイオン注入後の熱処理時の格子間シリコン原子の放出量に関して、デルタドーブボロンをマーカーに使った実験を行い、Rubia らの分子動力学計算同

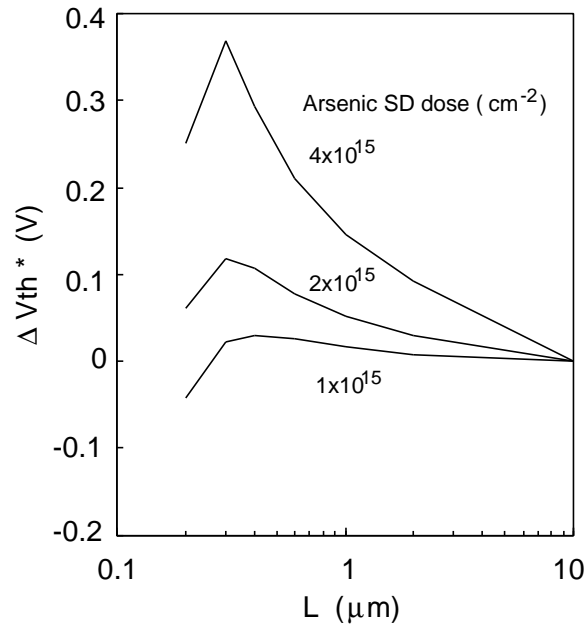


図 3.34: 異なる砒素ドーズ量による MOSFET デバイスの V_{th} のゲート長依存性 [69] の本シミュレーションモデルによる計算結果

様、“+2”以上の値を得ている[93]。pMOSFET も含めた逆短チャネル効果のシミュレーションが可能なコンシステントなモデルとパラメータ [94] を本研究から導かれた。

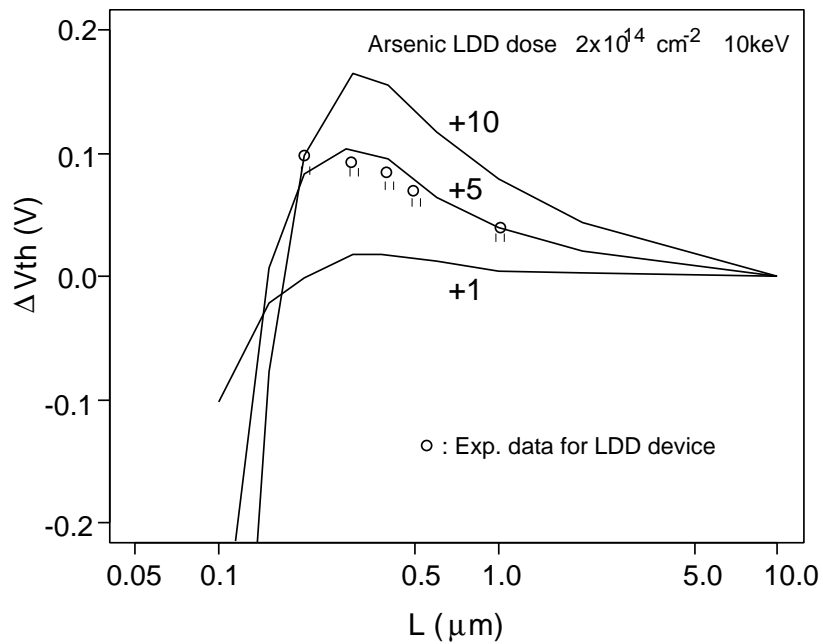


図 3.35: LDD デバイスでの逆短チャネル効果の計算：初期ダメージに“+1”、“+5”、“+10”を仮定

3.4.9 まとめ

砒素とボロンに改良ペア拡散モデルを用いて、LDD nMOSFET の逆短チャネル効果の計算を可能にした。新しいモデルのポイントは、

- ボロンと格子間シリコン原子のペアの Binding energy を見直し、格子間シリコン原子の濃度勾配に依存したボロンパイルアップをモデル化した。
- 砒素のペア拡散モデルパラメータを見直し、過剰格子間 Si 原子の発生を考慮した不活性化モデルを新たに導入した。
- 格子間シリコン原子の界面での振る舞いを見直した（偏析境界条件を導入）。
- 砒素イオン注入後の過剰格子間 Si 原子の量を砒素注入量に依存して適切に定めることで、定量的に逆短チャネル効果を再現することを可能にした。

である。（本節の内容は主に国際会議 (7-8)(23-24) で発表。）

3.5 ポリシリコン中の拡散のシミュレーション

ポリシリコンは ULSI における重要な材料である。例えば、高速バイポーラトランジスタのエミッタ電極材料として用いられる他、現在の ULSI の主流である CMOS 用の n 型と p 型両方のゲート電極として用いられている。近年のアグレッシブな微細化を実現すべく、様々なイオン注入条件の工夫や熱処理工程の低 thermal-budget 化が適用される中、ポリシリコンへのドーピングにもデバイス特性の向上と信頼性の確保の両方を睨んだ対応が必要とされる。例えば、CMOS では単結晶シリコン基板上の薄い酸化膜上に pn 両タイプポリシリコンを配置するデュアルゲート構成が採られているが、熱処理条件の注意深い設計が必要である。すなわち、p 型ポリシリコン中のボロンが熱処理時に酸化膜中を拡散で突き抜けてチャンネルに達し設計上のしきい値をずらしてしまわないように熱処理を控えると、n 型ポリシリコン中の砒素の拡散および活性化が不足し、ゲートポリシリコン側の空乏化によりトランジスタのドライブ能力が低下するというトレードオフの関係を最適化する必要がある。

それゆえ、ゲートポリシリコンを用いる MOSFET の微細化に対応した設計には、従来に増してより精密なポリシリコン中の不純物拡散と活性化の知見を欠く事ができない。従来のほとんどのプロセスシミュレーションプログラムは、ポリシリコンに関しては、現在では不十分であると言われている。すなわち、従来のプロセスシミュレータ [37] でのモデルは、ポリシリコン中の不純物拡散が単結晶シリコン中のそれよりも相当早い場合、ある実効的なコンスタントな拡散係数による 1 つの実効的な拡散方程式を解くのみというものであり、多くの場合ポリシリコン膜中で極めて速く均一な一定濃度になる状況しか扱えない。熱処理が、低温・短時間化している最近のプロセスの傾向には不十分であり、ポリシリコン中の不純物拡散およびポリシリコン自体の構造変化をより詳細に取り扱う必要が生じてきている。

近年これに対し、いろいろな新規モデルが提案されてきた、ポリシリコン中の不純物拡散種を、グレイン中の拡散種と粒界 (Grain Boundary) 中の拡散種に分ける [98] こと、熱処理中にグレインが成長し粒界拡散に影響する効果を取り入れた例 [96] [101] などいくつかモデリング手法上の進展が見られている。

また、原則的に高濃度にドーピングすべきポリシリコン中では、活性化率を左右する不純物のクラスター化もモデルに採り入れる必要がある。さらに、このクラスタリングモデルは、バルクシリコン中の活性化モデル [95] と同様に、製造工程中の熱処理温度・時間の変動 (急速ランブアニールや一定温度炉アニール前後の過渡的溫度上昇と下降等) に応じた動的な現象を捕らえるモデルである必要もある。

ポリシリコンの場合、不純物のクラスター化は、熱処理中のグレイン成長やグレインバウンダリー (粒界) への偏析現象等と競合するため、単結晶シリコンより状況が複雑になる。進んだモデルはこれらのカップリングを採りこんだものでなければならないが、従来モデル [96] ~ [100] では、拡散に重きを置き不活性化を考慮していないか、もしくは、勝手な時定数による擬似的に動的な活性化率を織り込んだもの [101] しか無かった。

本章では、ポリシリコン中の砒素拡散のシミュレーションモデルとして、従来のグレイン中および粒界中の拡散と偏析モデル [96] [97] [102] をベースに、動的なクラスタリングとグレイン成長の効果を盛り込んだ新しいモデルの開発と、そのシミュレーション結果について述べる。

3.5.1 モデリング

対象構造

ポリシリコン中の拡散を特徴付けているのは、粒界に沿った不純物拡散と粒界からもしくは粒界への偏析である。粒界は、その構造（詳細な構造は不明）の不完全性により不純物・点欠陥等の低エネルギーサイトとして、また粒界に沿った方向に非常に大きな拡散パスとして振舞うと考えられる。この粒界構造が横方向について平均して一様で拡散は深さ方向にのみ計算すれば良いとし、また薄膜状のポリシリコンでは、ほとんど断面はカラム状（図 3.36）のような構造 [103] になっている。

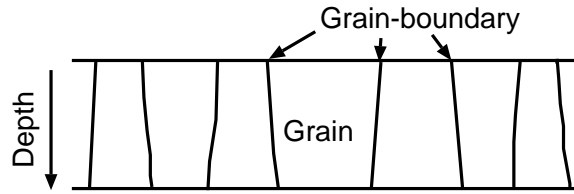


図 3.36: CMOS ゲート電極に用いられる薄膜ポリシリコンの典型的な柱状構造の模式図

そのため、不純物の拡散はカラム上粒界に沿った速い拡散が主体となり、深さ方向 1 次元近似シミュレーションが可能である。また、ポリシリコン直下の酸化膜中の拡散はポリシリコン中に比べて十分遅いため、ここではポリシリコン中の拡散のみを対象とした記述に限定する。

グレイン / グレインバウンダリ中の拡散と偏析

グレイン中および粒界中の 1 次元連立偏微分方程式は以下のような形のものを用いた。

$$\frac{\partial C_{gb}}{\partial t} = \frac{\partial}{\partial x} \left[D_{gb} \frac{\partial C_{gb}}{\partial x} + D_{gb} \frac{C_{gb}}{L_g} \frac{\partial L_g}{\partial x} \right] + 2 \frac{v + D_g/\lambda}{L_g} (C_g - C_{gb}/m_{seg})$$

$$(\lambda = (1/(L_g/4) + 1/(2\sqrt{D_g t}))^{-1}) \quad (3.45)$$

$$\frac{\partial C_g}{\partial t} = \frac{\partial}{\partial x} \left[D_g \frac{\partial C_g}{\partial x} \pm \frac{q}{kT} D_g C_g \frac{\partial \phi}{\partial x} \right] - 2 \frac{v + D_g/\lambda}{L_g} (C_g - C_{gb}/m_{seg})$$

$$- mK_C [C_g]^m n^k + mK_D C_{cl} \quad (3.46)$$

$$\frac{\partial C_{cl}}{\partial t} = K_C [C_g]^m n^k - K_D C_{cl} \quad (3.47)$$

$$\frac{\partial L_g}{\partial t} = \gamma \left[1 + \alpha \left(\frac{n}{n_i} \right)^\beta \right] / L_g \quad (3.48)$$

ここで、式 3.45 と式 3.46 は、それぞれグレインバウンダリ中の不純物濃度 (C_{gb}) およびグレイン中の濃度 (C_g) に関する拡散方程式である。式 3.47 は、不純物の活性化 / 不活性化を記述するための、クラスター

化した不純物濃度 (C_{cl}) に関する反応式である。式 3.48 はグレイン成長速度に関する式を表す。式 3.45 と式 3.46 中の、 D_g と D_{gb} は、それぞれ、グレイン中およびグレインバウンダリ中の拡散係数を表し、グレイン中の拡散係数 (D_g) には単結晶シリコン中のフェルミレベル依存型実効拡散係数を用いた。 L_g は平均的グレインサイズを表す。 v はグレイン成長速度を表し、 m_{seg} はグレインバウンダリへの偏析係数を表す。 ϕ は静電ポテンシャルである。式 3.48 中の α と β はフィッティングパラメータである。

グレインバウンダリー中の不純物拡散は文献 96 [97] からのモデルを参考に式 3.45 の第一項に採りこんだ。そのモデルでは、グレインバウンダリは単層構造とし、グレインバウンダリ中の不純物濃度は、面密度 $C'_{gb}[cm^{-2}]$ により記述される。したがって、不純物の平均総濃度 C_{Total} は以下のように記述される[97]

$$C_{Total} = C_g + 2C'_{gb}/L_g \quad (3.49)$$

式 3.45 中の体積密度に関する変数 C_{gb} は、式 3.49 の右辺第 2 項に相当する量である。

$$C_{gb} = 2C'_{gb}/L_g \quad (3.50)$$

式 3.45 と式 3.46 のそれぞれ第 2 項は、不純物のグレインとグレインバウンダリ間の偏析を表す項であるが、グレイン中の横方向拡散は近似的に実効拡散長パラメータ λ [97] で考慮されている。偏析係数 m_{seg} は、文献[102] のデータを基にした Mei らの定式化[106] に従った。

$$m_{seg} = \frac{C_{gb}}{C_g} = \frac{Q_s}{L_g N_{Si}} A \exp(Q_{seg}/kT) \quad (3.51)$$

ここで、 N_{Si} は結晶シリコンの原子密度、 Q_s 、 A および Q_{seg} は、それぞれ、グレインバウンダリ中の実効偏析サイト数密度、グレインバウンダリに不純物を取り込まれる際の振動エントロピー、および、偏析サイトとグレイン中の化学ポテンシャル差に相当する量と定義されているが、実質的には文献[102] から抽出されるパラメータである。例えば、砒素の場合、 $Q_s = 2.64 \times 10^{15}[cm^{-2}]$ 、 $A = 2.75$ 、 $Q_{seg} = 0.44[eV]$ である[102]。ポリシリコン中の拡散のみを扱うため、式 3.45-3.46 の境界条件は zero-flux 境界を仮定したものとす。

不純物の動的クラスタリング効果は、式 3.47 と、式 3.46 の右辺第 3、第 4 項で考慮されている。ここでは、バルクシリコンの場合に適用される Tsai らの動的クラスター反応モデルを導入した。従来のポリシリコン中の拡散モデル[97] [99] [100] にはこの効果は採り入れられていない。式 3.46 と式 3.47 において、 C_{cl} はクラスター化した不純物濃度を表し、 K_C と K_D はそれぞれ、クラスター生成速度とクラスター分解速度を表す。記号 m と k は、それぞれ、クラスターを構成する不純物原子の数とクラスター反応に参与する電子の数を表す。Tsai のモデル[104] に従い、砒素が拡散する場合 $m = 3$ および $k = 1$ を用いた。その場合、砒素の電氣的固溶度 N_{max} は以下のように記述される。

$$N_{max} = \left(\frac{1}{2K_{eq}}\right)^{\frac{1}{3}} \quad (3.52)$$

$$K_{eq} = \frac{K_C}{K_D} \quad (3.53)$$

不純物は、グレイン中でのみ電氣的に活性化するとし、クラスター化した分およびグレインバウンダリ中では不純物は不活性であると仮定する[103]

グレイン成長

グレイン成長に関しては、Wada らの実験 [105] を基にした経験的モデル [99] を導入した。以前に報告された従来モデル [97] [100] では、グレインサイズは一樣として扱われ、不純物濃度を読み替えるパラメータ的存在でしかなかった。グレイン成長の経験的モデルは以下のような式で書ける。

$$\frac{\partial L_g}{\partial t} = \gamma/L_g \quad (3.54)$$

文献 [99] から、式 3.54 中の γ は以下の式で書かれる。

$$\gamma = \frac{1}{2} [D_{ex} \kappa \exp(-E_\kappa/kT)]^2 \quad (3.55)$$

ここで、 κ と E_κ はグレイン成長をアレニウス型と見なした場合のグレイン成長速度定数と活性化エネルギーの経験的パラメータであり、砒素の場合、 $\kappa = 2.05 \times 10^{11} [\mu\text{m}/\text{h}^{0.5}]$ 、 $E_\kappa = 3.2 [\text{eV}]$ である [99]。 D_{ex} はグレイン成長を起こすシリコン原子の拡散係数の増大ファクターであるが、詳細な値は不明なので [99] では代りにリン拡散の係数値を用い、平均的不純物濃度をフィッティングパラメータにしている。式 3.54 は解析的に解けて、

$$L_g = \sqrt{L_{g0}^2 + 2\gamma t} \quad (3.56)$$

と書ける。この段階では、グレインサイズ L_g は、ポリシリコン厚み方向で一樣とされている。

一方、文献 [105] [106] によれば、ポリシリコンのグレイン成長は、キャリア濃度 (n/n_i) に依存する。従って、キャリア濃度に勾配があれば L_g はポリシリコンの厚み方向でも不均一になることが考えられる。本研究のモデルでは、式 3.54 について、そこに使われる D_{ex} を実効的に厚み方向依存性に置き換えた式 3.48 を式 3.45-3.47 と連立して解くことで、局所的なグレインサイズのキャリア濃度依存性を考慮したシミュレーションを行えるようにした。

式 3.45-3.48 は偏析項、クラスター反応項、およびグレイン成長の項で強くカップリングしている。これらの式は、ウィーン工科大学で開発された、有限差分とニュートン反復法による連立偏微分方程式ソルバー "ZOMBIE" [52] を用いて計算した。

3.5.2 結果と考察

図 3.37 に、比較的厚いポリシリコンへ砒素をイオン注入した後、800 °C で 6 時間のアニール後の砒素分布の計算結果である。ここでは、グレイン成長は一樣とする従来モデル [99] (式 3.54) を用いている。比較のため、これに対応する実験データ [107] を図 3.38 に示す。適切な D_{gb} の値 [97] [98] と偏析モデルパラメータ [102] により実験と比較的良好一致が見られている。グレイン中の砒素の拡散係数のモデルは、次式のような単結晶中の標準的な表式 D_g^{As} [37] を用いた。

$$D_g^{As} = 0.066 \exp(-3.44/kT) + 12.0 \left(\frac{n}{n_i}\right) \exp(-4.05/kT) \quad [\text{cm}^{-2}/\text{s}] \quad (3.57)$$

図 3.37 に示すように、最終的なグレインサイズも式 3.55 中の D_{ex} パラメータを砒素の実際のポリシリコン濃度に関係無く中間の適当な値に選ぶことで実験を再現することができる。しかしながら、この場合は、計算でグレイン成長を一樣と仮定したこと、および低温時のグレイン成長は比較的遅いこと、などから、シミュレーションモデル精度に関してグレイン成長の効果はこの場合あまり明らかではない。以下の、より高温かつ高ドーズ条件の計算ではそれが見えてくる。

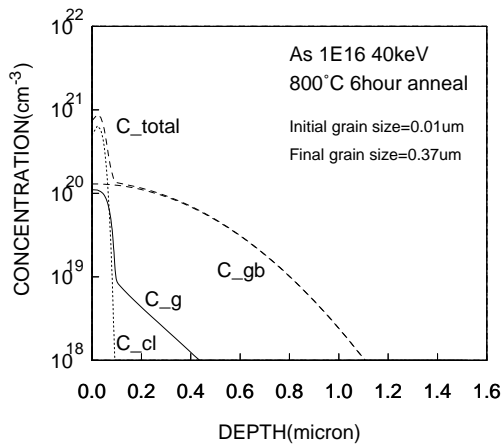


図 3.37: 比較的厚いポリシリコン中の砒素拡散の計算結果

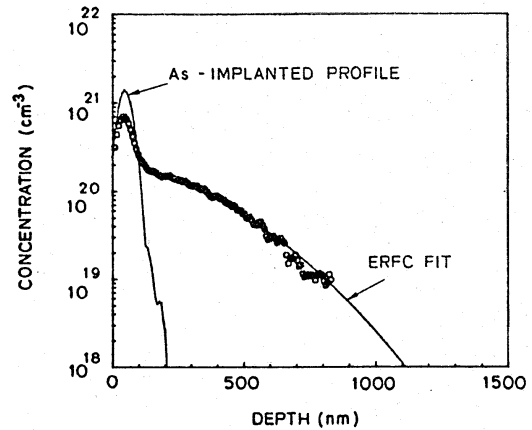


図 3.38: 砒素拡散の実験データ [107] (グレインサイズは $0.36\mu\text{m}$)

図 3.39 および図 3.40 には、砒素を高ドーズで注入した後の熱処理時の拡散を、Tsai のクラスタリングパラメータ [104] と、一様なグレイン成長 [99] [100] [式 3.54] を仮定して計算した結果を示す。図 3.39 は、 $5 \times 10^{16} \text{cm}^{-2}$ のドーズ量でのイオン注入に引き続き、800 °C、10 分の熱処理後の深さ方向分布、図 3.40 は、900 °C の場合を示す。

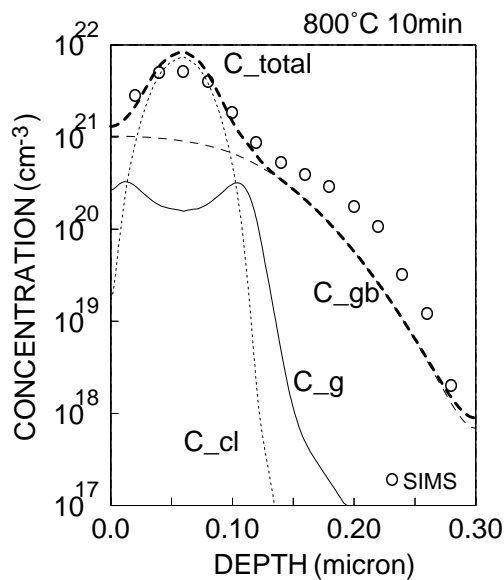


図 3.39: $0.3\mu\text{m}$ 厚のポリシリコン中の砒素の分布の計算結果: 高ドーズ ($5 \times 10^{16} \text{cm}^{-2}$) イオン注入に続く 800°C 10 分のアニール後の分布 (一様なグレイン成長を仮定し、最終的なグレインサイズは $L_g = 0.06\mu\text{m}$)

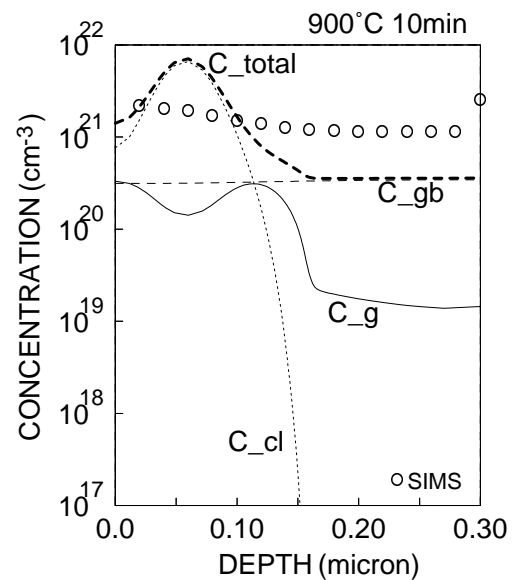


図 3.40: $0.3\mu\text{m}$ 厚のポリシリコン中の砒素の分布の計算結果: 高ドーズ ($5 \times 10^{16} \text{cm}^{-2}$) イオン注入に続く 900°C 10 分のアニール後の分布 (一様なグレイン成長を仮定し、最終的なグレインサイズは $L_g = 0.56\mu\text{m}$)

図 3.39-3.40 中にて、実験データ [108] を白丸で示した。図 3.41 には、比較のため、砒素のクラスタリングを考慮しなかった場合の計算結果を示すが、分布のピーク近傍の不動化部分が再現されていないことが見て取れる。

図 3.39 に示すように、800 °C の場合に計算は実測を良く再現しているのに比べ、900 °C の場合 (図 3.40) は、

あまり合っていない。図 3.40 では、900 の場合の実験データの砒素プロファイルは、ポリシリコン中ではほぼフラットに見える。一方、計算による砒素のトータル濃度のプロファイルは実験データの濃度 (10^{21}cm^{-3} 超) よりもポリシリコン層の深い部分で下がってしまっており、また、砒素プロファイルのピーク近傍でのクラスターが顕著に見えている。

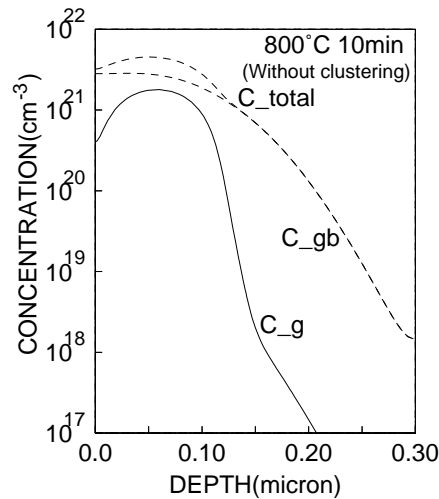


図 3.41: 0.3 μm 厚のポリシリコン中の砒素の分布の計算結果：高ドーズ ($5 \times 10^{16} \text{cm}^{-2}$) イオン注入に続く 800°C 10 分のアニール後の分布（クラスタリングを考慮しない場合）

これらの不一致は、主に、ポリシリコン層底部近傍のグレイン成長の過大計算と、ポリシリコン中の砒素クラスターモデルの不充分さにあると考えられる。Lifshitz[109]のデータによると、ポリシリコン中の砒素の固溶度は、単結晶中のそれよりも大きいことが示唆されている。単結晶中では、砒素の固溶度は、温度が 900 から 1000 の範囲においては、 $2.1 \times 10^{20} \text{cm}^{-3}$ から $3.1 \times 10^{20} \text{cm}^{-3}$ 程度であるが、ポリシリコンの場合には、 4.1×10^{20} から $4.8 \times 10^{20} \text{cm}^{-3}$ になる[109]。これを表現するため、式 3.53 と式 3.52 中の砒素のクラスター反応の平衡定数を、式 3.52 を介してポリシリコン中の砒素の固溶度が増大するように変更した。さらに、グレイン成長モデルについても、式 3.48 を用い、局所的なキャリア濃度 (n/n_i) 依存性を導入して改めて計算を行った。

図 3.42 は、上記 2 点の変更を導入した後の計算結果を示す。図 3.43 には、対応するグレインサイズの深さ方向分布の計算結果を示したが、その場合主にグレイン成長はイオン注入された部分で増大し、ポリシリコン底部ではあまり成長しないという結果になった。

図 3.42 において、ポリシリコン中で砒素のトータル濃度がフラット化する部分 (10^{21}cm^{-3} を超える部分) は実測データと良く一致するようになった。ただし、トータル濃度の表面近くの砒素クラスタリングによる分布のピーク形状は、10 分程度のアニール時間では依然残ってしまう計算結果となっている。さらなる精度向上のためには、より精緻なクラスター生成/分解のモデルを要すると考えられる。可能性のある理由としては、グレインバウンダリがドーパントのクラスターと何かしらの相互作用を起こすことも考えられる。例えば、グレインバウンダリは、結晶に比べてその構造は大きく乱れた領域と考えられ、また、グレインバウンダリ中では、不純物はそれに沿って高速で移動できることから、不純物クラスターがグレインバウンダリ中で分解が促進されると考えることもできる。よって、グレインバウンダリがグレイン成長で移動する時に、グレイン中で不動化したクラスターの位置を横切るようなことがある場合、その場でクラスターが分解し、後に置換位置の不純物を残すようなメカニズムがあることも予想される。これは実効的にポリシリコン

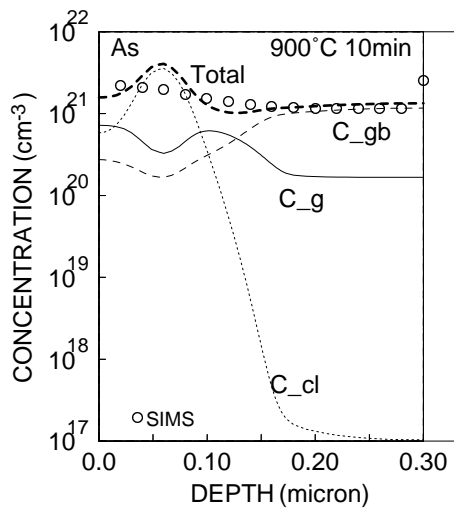


図 3.42: 0.3 μm 厚のポリシリコン中の砒素の分布の計算結果: 高ドーズ ($5 \times 10^{16} \text{cm}^{-2}$) イオン注入に続く 900°C 10 分のアニール後の分布 (高い固溶限値 [109] とグレイン成長の局所 (n/mi) 依存性を考慮, $\alpha=0.8, \beta=1.0$)

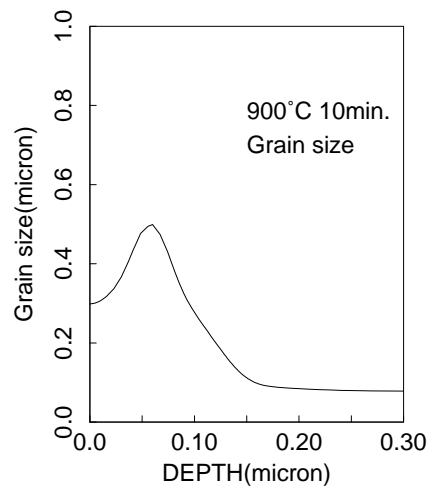


図 3.43: 図 3.42 の場合に相当する最終的なグレインサイズの分布の計算結果

中でのクラスター分解が促進することを示しているが、このようなプロセスをモデルに組みこむようなことは今後の課題として残っている。

3.5.3 まとめ

動的な不純物クラスタリング (不活性化) と局所的なグレイン成長を考慮したポリシリコン中の不純物拡散のモデリングを行った。ポリシリコン中にイオン注入された高濃度の砒素の拡散は実測を良く再現することができた。しかしながら、より高精度なシミュレーションのためには、より詳細なクラスター分解のモデルや、より詳細なグレイン成長のモデルが必要でもあることを述べた。(本節の内容は主に原著論文 (4) と国際学会 (5) で発表。)

3.6 分子動力学法による格子間シリコン原子の拡散パス

90年代半ばまでは、我々にできることは、測定可能な“デバイスの電気特性”と“一次元不純物分布”だけから、裏に隠れた原子レベルの振る舞いを「想像して」モデル化することであって、その想像の真偽・精度を直接実験により確認することは困難であった。ところが、計算機の進歩と物理化学的計算手法の進歩に伴い、密度汎関数理論に基づく第一原理分子動力学計算手法が登場し、この「想像」を計算機内であたかも起こっているように調べることが可能になってきている。

一方、「設計の効率化」を目的としたモデリングは、なるべく計算効率の良いシミュレーションツールに帰着すべきであり、その意味では分子動力学法は直接の設計ツールの基礎を得る手法と位置づけられるべきものである。本節では、シリコン中のイオン注入と不純物拡散についての原子レベルのプロセスシミュレーションの基礎的データを提供する分子動力学計算についてその有効性を議論する。

3.6.1 古典的分子動力学 (MD) 計算

格子間シリコン原子拡散

1985年 Stillinger と Weber によりシリコン結晶の古典的な原子間ポテンシャルが発表され[110] シリコン結晶の熱・機械的性質が計算機上で再現されるようになった。この古典的ポテンシャルを用いてシリコン中の点欠陥の拡散の解析も行われるようになってきているが[111][112][113] 本研究では、より詳細な、イオン注入工程やシリコン中の点欠陥の拡散の計算のため、この分子動力学計算の方法を以下に述べる方法で改良し、原子数にほぼ比例する程度まで計算時間を短縮させ、より実用的な計算を可能にした[113]

Stillinger-Weber ポテンシャル(以下 SW ポテンシャル)に基づく分子動力学計算とは、解析的に表わされた2体・3体原子間ポテンシャルに基づくニュートンの運動方程式を数値積分する計算である。

$$m_i \frac{d^2 \mathbf{r}_i}{dt^2} = \mathbf{F}_i = -\nabla_i \sum_{j \neq i}^N \Phi_{ij} \quad (3.58)$$

ここで、 m 、 r はそれぞれ各原子の質量と位置座標、 N は原子数を表わす。SW ポテンシャルは次のような関数形で表わされる。

$$\Phi_{ij} = \sum_{i < j} \phi_2(r_{ij}) + \sum_{i < j < k} \phi_3(\mathbf{r}_i, \mathbf{r}_j, \mathbf{r}_k) \quad (3.59)$$

$$\phi_2(r_{ij}) = \varepsilon f(r_{ij}/\sigma) \quad (3.60)$$

$$\phi_3(\mathbf{r}_i, \mathbf{r}_j, \mathbf{r}_k) = \varepsilon g(\mathbf{r}_i/\sigma, \mathbf{r}_j/\sigma, \mathbf{r}_k/\sigma) \quad (3.61)$$

ここで、

$$f(x) = \begin{cases} A(B/x^p - 1/x^q) \exp[1/(x-a)] & x < a \\ 0 & x > a \end{cases} \quad (3.62)$$

$$g(\mathbf{x}_i, \mathbf{x}_j, \mathbf{x}_k) = h(x_{ij}, x_{ik}, \theta_{jik}) + h(x_{ji}, x_{jk}, \theta_{ijk}) + h(x_{ki}, x_{kj}, \theta_{ikj})$$

$$h(x_{ij}, x_{ik}, \theta_{jik}) = \begin{cases} \lambda \exp(\gamma/(x_{ij}-a) + \gamma/(x_{ik}-a)(\cos \theta_{jik} + 1/3)^2) & \dots x_{ij} < a \text{ and } x_{jk} < a \\ 0 & \dots x_{ij} > a \text{ or } x_{jk} > a \end{cases} \quad (3.63)$$

上記のパラメータとして $A = 7049556277$, $B = 0.6022245584$, $p = 4$, $q = 0$, $a = 1.8$, $\lambda = 21.0$, $\gamma = 1.2$, $\varepsilon = 3.4723 \times 10^{-19} J$, および $\sigma = 0.20951 nm$ がシリコンの格子定数、融点、体積弾性率等を良く再現するセットとして文献 [110] に挙げられている。

SW ポテンシャルによる分子動力学計算プログラムを組む際、原子 3 個の 3 体の組み合わせを探索する計算量は、全原子数を N とすると、総当たり探索では ${}_N C_3$ と書ける。この場合、計算の規模を大きくする、すなわち N を増加させると計算時間は N^3 ($\sim O(N^3)$) オーダーで増加することになる。しかしながら、式 3.63 中の $h(x_{ij}, x_{ik}, \theta_{jik})$ の項は $x_{ij}, x_{ik} > a$, (a : カットオフ長) の場合のみゼロをとらない。よって、カットオフ長内の隣接原子について h の構成要素として各原子に関し separable form [114] を用いたデータテーブル化が全体の計算を効率化する。これに必要な計算量は全体から 2 体の組み合わせを探す分 ${}_N C_2$ に減る。3 体のポテンシャル ϕ_3 は、カットオフ長 a 内の原子を探す $O(N^2)$ のオーダーの手間で、各原子の separable form から合成することができる。

更に隣接原子の探索を、着目原子の隣接ブロック内でのみ探索するブロックサーチのアルゴリズムにより行った。最終的に SW ポテンシャルを組み上げる計算量は $O(N)$ のオーダーまで減らした。すなわち、あらかじめ領域全体をカットオフ長よりもやや大きい直方体でブロック分けを行ってからブロック内の原子数 N_b のみで探索を行う計算量は、 N/N_b に比例する。ブロックサーチは計算したい系が大きくなるほど計算を効率化できる。Separable-form による計算順序変更による効率化とブロックサーチによれば、最終的に SW ポテンシャルを組み上げる計算量は $O(N)$ のオーダーまで減らせる。典型的な計算時間の例としては、NEC 製 EWS4800(R10000) で、500 原子ユニットセルにおける 1 タイムステップの計算時間は、総当たりサーチでは 12.0 秒を要するが、本研究の場合、1.0 秒以下であった。

図 3.44 にシリコン中の格子間シリコンの拡散を SW ポテンシャル MD で計算した例を示す [113]]

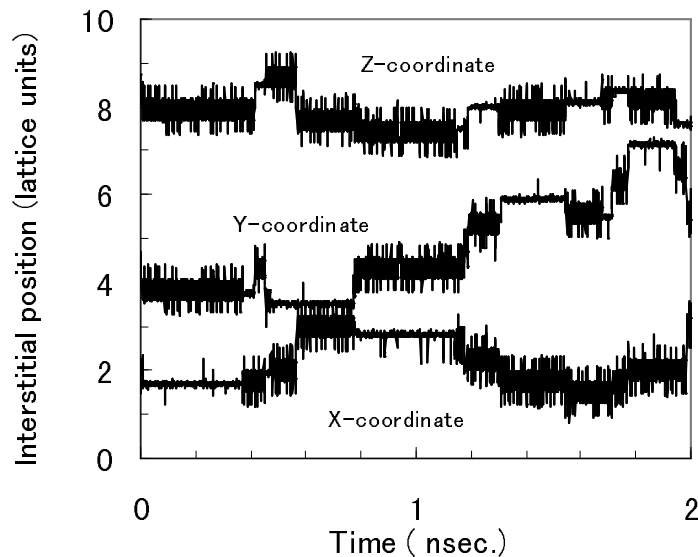


図 3.44: シリコン結晶中の格子間シリコン原子 (self-interstitial) の 1073K におけるマイグレーションの 2ns までの計算結果

分子動力学計算のアンサンブルとしては、NVE (粒子数 N , 体積 V , エネルギー E , がそれぞれ一定) と NVT (温度 T 一定) を用意し、時間ステップの更新には、4 次のギア法を用いた。格子間シリコン原子の拡散の分子動力学計算には、シリコン結晶格子 $5 \times 5 \times 5$ のシリコン原子からなるユニットセル (原子数 1001) を

用い、イオン注入の分子動力学計算は $14 \times 14 \times 14$ 格子分のユニットセルを用いた。例えば、シリコン結晶について、1000 原子程度の単位セルで数ナノ秒の熱拡散時間の計算が、単体ワークステーション上で数百時間程度の計算時間で可能である[113]

熱拡散の分子動力学計算結果から次式のアインシュタインの関係式で拡散係数を抽出することができる。

$$D_I = \sum (x - x_0)^2 / 6t \quad (3.64)$$

ここで、 x_0 は原子の初期位置、 x は時間 t 後の全変位量である。異なる一定温度 (NVT アンサンブル) の計算を少なくとも3条件行ってアレニウス型の表式も得ることができる。例えば図 3.44 の例では、式 (3.65) のような結果となる。

$$D_I = 0.039 \exp(-0.89/kT) [cm^2/sec] \quad (3.65)$$

ここで得られた活性化エネルギー (0.89eV) は、異なる計算条件の他の報告値 (0.94 eV [112] または 0.9 eV [111]) とほぼ一致している。ただし、有限な温度下での大規模な MD 計算は起りうる全ての物理的過程を含んだ模擬的な結果であって、例えばこの結果を基に詳細な格子間シリコン原子の拡散過程を理解したとは言い難い。しかしながら、この MD 計算から得られた活性化エネルギー 0.89eV が、ミクロ的にどのような過程から生じているのかは、以下に述べる反応経路の同定という手法を使って調べることが可能である。次節でそれについて述べる。

格子間シリコン原子拡散パスの同定

図 3.44 からは、格子間シリコン原子の拡散がある安定サイトを渡り歩くホッピングのような振る舞いであることが判る。格子間シリコン原子 1 個を含む有限温度下の熱拡散の分子動力学計算結果から、各時間刻み毎の格子間シリコン原子周りの構造から出発して絶対温度零度まで構造緩和させていくと、ある典型的な格子間シリコン原子の安定原子配置が得られる。拡散は異なる安定構造サイトをホッピングしていく形で起り、ホッピング間にいわばエネルギーの鞍点 (saddle point) の構造がある。

Nastar らは、SW ポテンシャルを用いて格子間シリコン原子の安定サイトとして $\langle 110 \rangle$ ダンベル構造が $\langle 110 \rangle$ 方向に遷移 (移動) するものと仮定して、独自の鞍点探索アルゴリズムを用いて遷移エネルギー 1.62eV を得たと報告している [115] が、明らかに前述の MD 計算から得られる活性化エネルギー 0.89 ~ 0.94eV より高すぎる。つまり、Nastar らの「仮定」した反応パスは、(SW ポテンシャルが語る) 格子間シリコン原子の拡散の素過程では無い。

鞍点構造を見つけるアルゴリズムとして制限付き構造緩和手法が試された [113]。参考文献 [116] には着目したある一つの原子に働く力を式 (3.66) のように制限することで、鞍点のエネルギーを得る方法が提案されているが、格子間シリコン原子の遷移には周りの複数原子の関与が大きいため、この方法を全原子に拡張して用いた。

$$\tilde{F} = F - \frac{(F, \Delta R) \Delta R}{|\Delta R|^2} \quad (3.66)$$

ここで、 ΔR は終状態構造への微小強制変位ベクトル、 F は各原子に働く力で、 \tilde{F} は制限された力である。

あらかじめ行った分子動力学計算から、拡散パスは大まかには、 $\langle 110 \rangle$ ダンベル構造が $\langle 110 \rangle$ 方向よりもねじれた方向のサイトへ動くことが見て取れるので、この始状態と終状態の構造について、制限付き構造緩和法により求めた反応経路に沿った全エネルギー変化を図 3.45 に示す [113]

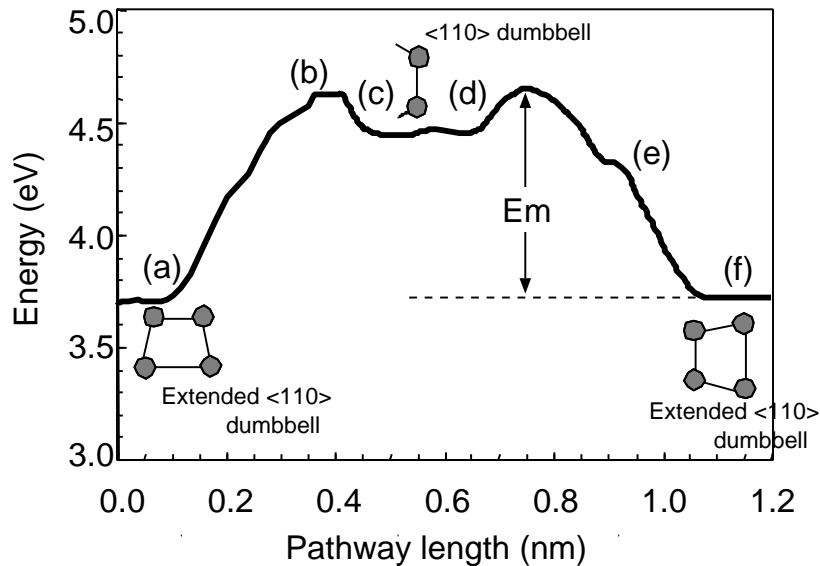


図 3.45: SW ポテンシャルによる格子間シリコン原子拡散パス上の全エネルギー変化

図 3.45 から読み取れる遷移エネルギーバリア E_m の値は、0.9eV であって、分子動力学計算から抽出される拡散係数の活性化エネルギーに相当するものとなっている。このように、有限温度の分子動力学計算と安定構造と鞍点構造計算を組み合わせ、諸現象の「モデル」を素過程として組み立てることができる。

3.6.2 半経験的量子力学的MD法

Stillinger-Weber ポテンシャル以外にも、古典的な分子動力学用の原子間ポテンシャルには Tersoff ポテンシャルなど様々な提案がありシリコンの非晶質化等が調べられている[117]。しかし、SW ポテンシャルが良く再現する融点の実験結果を Tersoff ポテンシャルは再現しない。一方、Tersoff ポテンシャルは、点欠陥の局所構造は、SW ポテンシャルよりも第一原理計算の結果を良く再現する。このように機械的な構造のみをフィッティングしたポテンシャルによる古典的な MD 法には、その構造の電子状態はどうなっているのかという本質的な疑問がどうしても付きまとう。原子間力を量子力学に基づく電子状態を解いて求める必要があるが、かといって第一原理計算では現実的な計算規模には到底収まらない。そのような場合、ある限られた特徴的な第一原理計算結果とうまくフィッティングされ、かつ比較的簡便に行える電子状態の計算モデルとして Tight-binding モデルがある。これを用いれば、実用的な問題に対しても半経験的な量子力学的 MD 解析が可能になる。

Di-interstitial の拡散

イオン注入後の拡散で問題になる過渡的な増速拡散を引き起こす過剰格子間シリコン原子の寿命を律速しているのは、格子間シリコン原子の凝集形態である $\{311\}$ 欠陥であると言われている[76]。 $\{311\}$ 欠陥の成長機構も分子動力学的手法で議論されている[118]。また $\{311\}$ 欠陥の前駆体として、格子間シリコン原子 2 個のペアである di-interstitial が着目されている[119]。 Stillinger-Weber ポテンシャルによる分子動力学計

算によると、この di-interstitial (I_2) はシリコン結晶中でかなりの速度で拡散する[111]。イオン注入後の点欠陥が過剰にある状況では、 I_2 の結合エネルギーの値によっては、ほとんどが I_2 となっていることが考えられる。古典的な原子間ポテンシャルでは、その真偽のほどは確かめようがない。第一原理計算で非経験的な分子動力学計算が、シリコン中の I_2 についても行えれば理想的である。

MD Calculation for Di-interstitial in Silicon

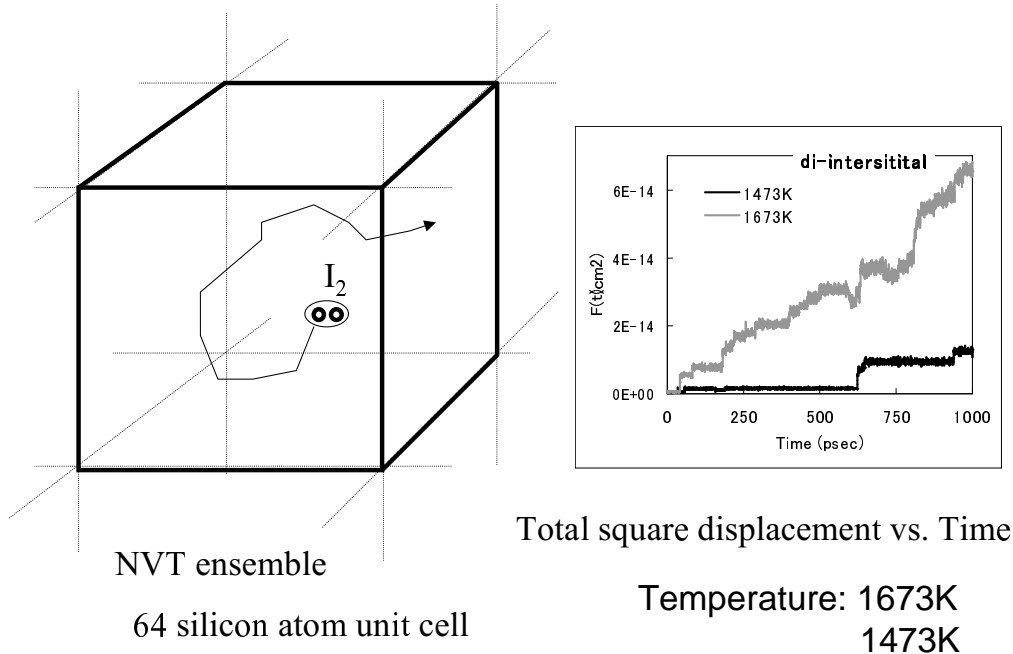


図 3.46: Tight-bind MD 法による di-interstitial の拡散の計算：総変位量のプロット

最近の報告では、第一原理計算により I_2 には安定状態が幾つか存在し、その状態間を熱的に遷移 (reorientation) することが示されている[120]が、拡散係数が抽出できる程度の大規模計算は計算時間が膨大になり非常に困難である。そこで、本研究では、代表的な欠陥形態の第一原理計算 (LDA 計算) 結果にフィッティングされたシリコン結晶に関する Tight-binding モデル[121]を用いて I_2 拡散の分子動力学計算を試みた[122]。これについて以下に述べる。

Tight-binding モデルでは電子状態を固有値として解析するが、原子周りの原子軌道関数の重なり行列要素にパラメータ化したものを用い、基底関数の数は極端に少ないため、第一原理計算よりも計算時間は遥かに短くなる。試算ではシリコン 64 原子セルによる分子動力学計算は、一タイムステップあたり第一原理計算 (ここでは局所密度近似による密度汎関数法) では、ワークステーションで 20 秒の計算時間が掛かることになり、高々数十ピコ秒の熱拡散計算に数ヶ月を費やすことになってしまうが、Tight-binding モデルであれば、0.4 秒/step の計算時間で済む。これならば、1 ナノ秒程度の熱拡散が 100 時間程度で計算可能になる。Tight-binding MD (TB-MD) 計算で表れる幾つかな的特徴的な形態については、後で LDA(GGA)DFT 第一原理計算により局所構造の電子状態・原子構造の安定性をチェックすることにする。

Di-interstitial (I_2) の拡散を TB-MD で計算した結果を図 3.46 に、また、分子動力学計算から抽出した I_2 の拡散係数を 3.47 に示す。 I_2 は顕著な拡散を呈し孤立格子間シリコンとほぼ同等の拡散係数を持ちうること

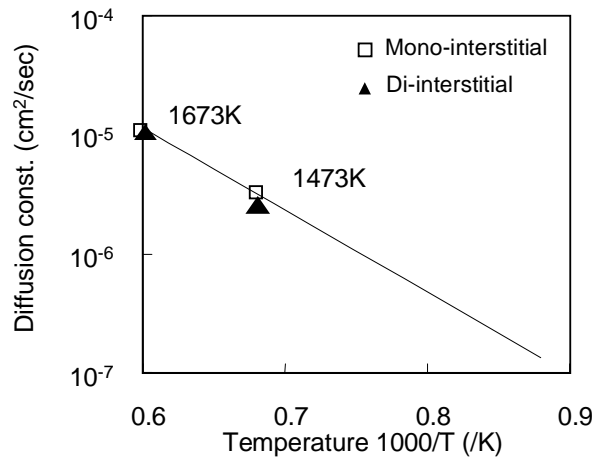


図 3.47: Tight-bind MD 法による di-interstitial の拡散係数の抽出結果

が判った。分子動力学計算を眺めてもある程度の長さでホッピング的な動きを呈している。MD 計算の途中結果の様々な形態から CG 法による構造緩和計算を行った結果、3 種類の安定状態が見つかった。その内の 2 つを図 3.48 に示すが、ここではそれぞれ、T 構造、W 構造と呼ぶことにする (文献 120 中の C_{1h} と C_{2v} に相当)。

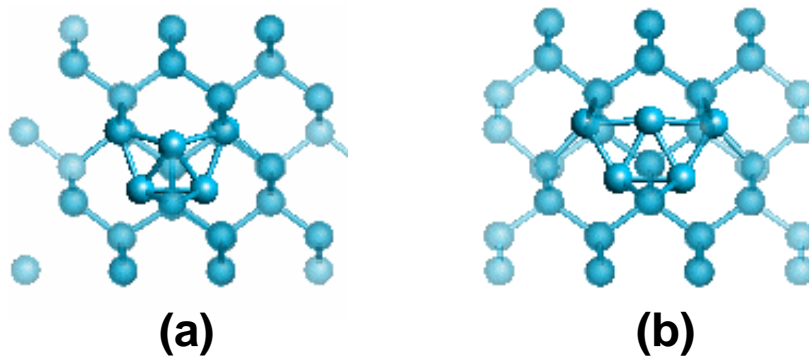


図 3.48: I_2 の安定状態 (a)T 構造 (b)W 構造

前節で述べた制限付き構造緩和法で、最安定状態 (T 構造) からの遷移エネルギーを求めた結果を図 3.49 に示す [122]。T 構造から W 構造へは、0.96eV を要するが、W 構造から別の W 構造への遷移には 0.1eV 程度で遷移することができる。つまり、 I_2 は一旦最安定構造から熱的に W 構造へ励起されれば、W-W 間遷移を通して長距離のマイグレーションが可能になることを示した。

I_2 の結合エネルギーの値は計算手法にもよるがほぼ 2eV 前後であって、イオン注入後のように過剰な格子間シリコン原子が存在する状態では、 I_2 が支配的になると予想される。 I_2 が有意な拡散を呈することでいくつかの従来モデルの改良が可能になる [122]。

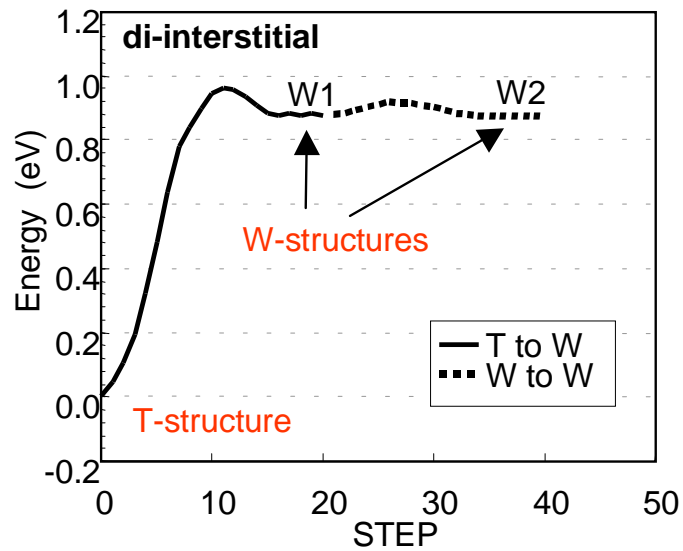


図 3.49: Tight-binding モデルによる I_2 のマイグレーションパスに沿った全エネルギーの計算結果

3.6.3 まとめ

シリコン中の拡散現象の分子動力学計算について、特に格子間シリコン原子 (mono-interstitial, di-interstitial) の拡散パスについて調べ、特に di-interstitial の拡散機構モデルを提案した。詳細かつ複雑な物理モデルの構築に分子動力学計算が役に立ち、また、その原子レベルの素過程モデルを組み込んだモンテカルロシミュレーションは、素子の微細化と、不純物原子ばらつきへの対応の観点からも、実用の域に達するものと思われる。今後も第一原理計算や分子動力学計算がさらに身近になることにより素過程の解析も進むことが期待され、それらを取り込むことにより、原子レベルのプロセスシミュレーションが実用的な TCAD ツールへと発展していくものと期待される。次節に、その不純物拡散のモンテカルロシミュレーションについて述べる。(本節の内容は主に原著論文 (6) と国際学会 (11-12) で発表。)

3.7 拡散モンテカルロ計算

現在、MOSFET デバイスの微細化は、ゲート長が 100nm 以下までアグレッシブに進んできた。このサイズに縮小された CMOS デバイスを開発する様々な努力の結果として、従来のイオン注入・不純物拡散という工程が今だに適用され続けている[3][4]。しかしながら、イオン注入・熱拡散といった基本的には大きなサイズのデバイスを作製する技術を、そのまま極微細デバイスに適用することにより、様々な物理的な困難さが生じる。例えば、イオン注入後の不純物の過渡的な増速拡散、浅いイオン注入後のドーズロス、逆短チャネル効果などが挙げられるが、これらが問題として露呈してきた都度、プロセスシミュレータに新規モデル追加・修正が行われてきた。これは言い換えると、我々の緒現象に対する理解が十分でなく、真に適切な物理描像をシミュレーションモデルに組み込んでいなかったとも言える。

今までのプロセスシミュレーションにおける不純物拡散のモデリング方法は、測定可能なデバイスの電気特性と一次元不純物分布だけから想像されるモデルを他のデバイス特性や間接的な実験結果と比較してパラメータをフィッティングするという側面が強かった。ところが、計算機の進歩と物理化学的計算手法の進歩に伴い、密度汎関数理論に基づく第一原理分子動力学計算手法が登場し、直接原子レベルのモデル描像を算出したり、任意の「想像モデル」を計算機内であたかも起こっているように調べることが可能になってきている。そこで近年、不純物拡散についてもモンテカルロ法をベースにした原子レベルのシミュレーションの試みが提案されるようになってきた[131][132]。

また、従来はデバイスのサイズは十分大きく不純物濃度は連続と考えて良かった。しかし、サブ 100nm を切るサイズでは、不純物のチャンネル中の数が数えられる状況になりデバイス特性が本質的にばらつくという状況が重大な意味を帯びてくる[133]。このように小さいサイズのデバイスで本質的に不純物原子位置が意味を持つ状況では、従来の反応拡散偏微分方程式を数値解析メッシュ上で離散化して求解するという手法に比べても、モンテカルロ法によっても十分な精度で実用的なサイズの計算が可能である。従来の偏微分方程式を 3 次元空間で離散化する計算は、メッシュ分割で精度が左右され、多くの拡散種 / 反応種を取り扱うために方程式の数が増え、また、反応項の形・数も増えてくればモデル改変がプログラム上大変面倒になる。モンテカルロ法であれば、系の複雑さによらずに、計算精度はサンプリング数で決まるので、3 次元計算で複雑な反応種を全て取り込む計算も可能である（次章）。

このように近年重要性が増す原子レベルのモンテカルロ法に基づくイオン注入・不純物拡散のプロセスシミュレーションについて研究を行なった。ここではボロンクラスター形成・分解に関しての反応モデル等に第一原理計算からの知見を用いることでスパイクアニールに関して、ほとんどフィッティングパラメータを必要としない、predictive なシミュレーションができるようになったことについて述べる。

3.7.1 計算手法

分子動力学計算により、シリコン中の拡散の素過程および不純物のクラスター化現象までもが原子レベルの描像として見えてきた。これらを生かしたプロセスシミュレータとして、Kinetic Monte Carlo (KMC) シミュレーションを行った。分子動力学計算では全原子の運動を取り扱うが、ほとんどは局所的な原子振動すなわち熱格子振動を計算しながら、突発的な反応が起るのを見るに任せているだけである。モンテカルロ法は、これを簡略化し、点欠陥、不純物、クラスター、複合体、の挙動のみに着目し、その挙動を、典型的なイベントに分解し、各エネルギー障壁の値と「そのイベントが起る確率」を予め関連付け、計算上で一様乱数

を発生させて、そのイベントがどのように起っていくかを見る統計的な計算に置き換えて、大規模な挙動をシミュレーションしようというものである。ただし、モンテカルロシミュレーションで不純物拡散を計算するためには、十分に多くのサンプリングを行う必要がある。

拡散：酔歩計算

基本的な「拡散」現象は、乱数により3次元方向にランダムなホップを逐次計算する方法でモデル化した(図3.50)。この方法は、従来報告されている DADOS [134] にも用いられているが、シリコン結晶のダイヤモンド格子を想定していないので、non-lattice Monte Carlo 型のシミュレーションに分類されている。

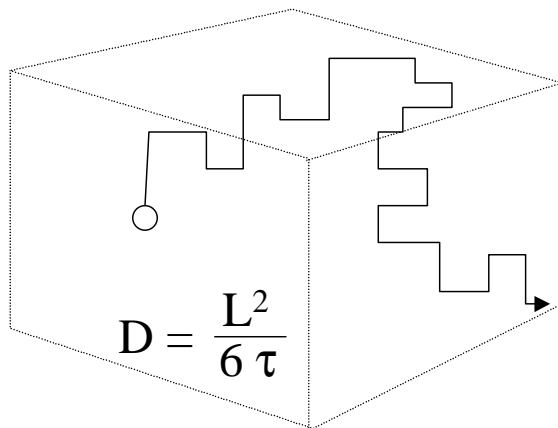


図 3.50: 拡散のモデル化: 3次元酔歩計算(ダイヤモンド構造の格子は無視して3次元6方向への等方ジャンプを確率的に計算)

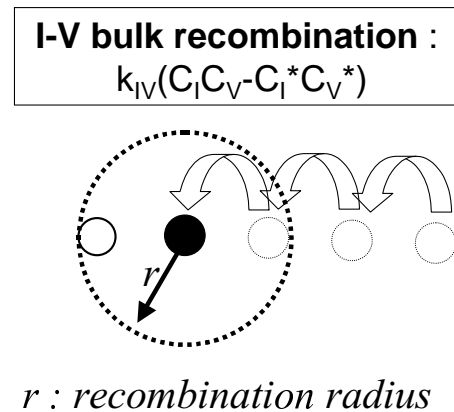


図 3.51: 格子間シリコン・空孔のバルク再結合計算の取り扱い

図 3.50 において、拡散種の拡散定数 D は与えられているとして、ホップ長を L 、ホップ時間を τ として、 $D = L^2/6\tau$ の関係を用いて、3次元等方的にホップさせる。反応イベント、例えば格子間シリコン原子と空孔のバルク中での再結合や、ボロン・格子間シリコンペア形成反応などは、ホップしてきた拡散種が反応する相手からある範囲(反応半径)に入った場合に起こるとする(図 3.51)。

拡散イベント(ホップ)もしくは反応イベントは、ある時間刻みの中で起るイベントを乱数で選ぶ。図 3.52 に示すように、時間刻みの決め方には、(1)一定の微小時間のタイムステップを進めて、全てのイベントの頻度を乱数で決めて、起こりそうなイベントを起こす方法と、(2)現時点で起りうる全てのイベントの頻度(確率×数)の総和の逆数をタイムステップとし(すなわち、そのタイムステップ内で必ずどれかのイベントが一回起こる)、どのイベントが起るかを乱数で決定する[134]方法があるが、(1)は最も頻度の高いイベント確率に時間ステップの上限が決められ計算時間が掛かりすぎる。これに対し、(2)の方法はフリーな拡散種の数少なくクラスター形成・分解反応(拡散ホップに比べて遅い)が支配的である場合に時間ステップが長く取れるので、その分計算時間が稼げるため、ここでは後者の可変時間ステップスキームを採用した。

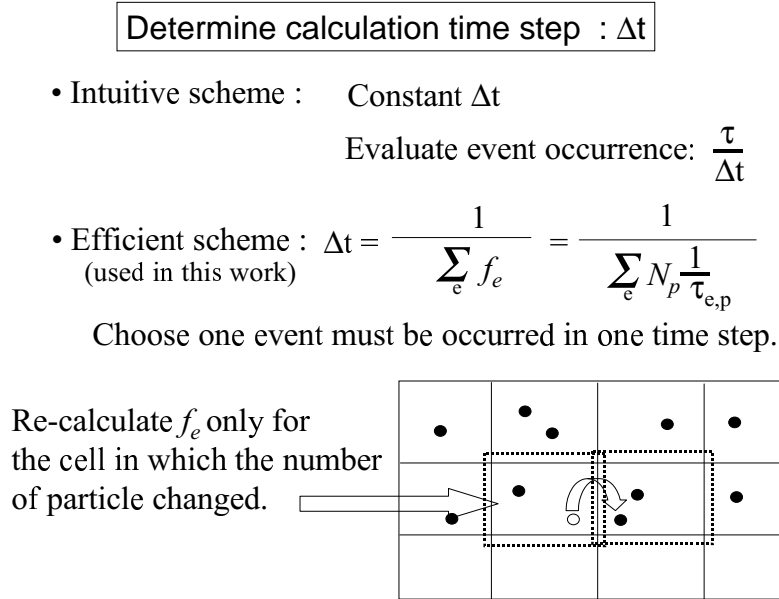


図 3.52: 拡散モンテカルロ計算における時間ステップの取り扱い: 等間隔時間ステップを使う直感的方法は計算時間が掛かりすぎるため可変時間ステップ手法を採用

荷電状態の考慮

本研究の拡散モンテカルロ手法が従来の方法 DADOS[134]と異なる点は、拡散種・反応種の電荷を考慮するようにして、より実際に則した計算を可能にしている点である。モンテカルロ計算プログラム中では、領域をメッシュ分割し、局所的に quasi-charge neutrality equation を解いてメッシュ点上での静電ポテンシャルを求めた(図 3.53)。前節の非平衡ペア拡散モデリングの経験から荷電反応(式 3.4 等)は充分速いと見なせるので、点欠陥の荷電状態はバルク中の局所的なフェルミレベルで決まるとする。しかしまた、荷電粒子の分布はフェルミレベルに影響を与えるため、ニュートン反復により、セルフコンシステントに点欠陥の荷電状態を局所的に決める。さらに、点欠陥を含む荷電状態の反応種はプログラム上その総サンプリング数を実効的に稼ぐため、荷電状態別にサンプル変数とするのではなく、計算したポテンシャル分布を用いて、各粒子の荷電状態をイベント(拡散や反応)が起る時にのみ評価するようにした(図 3.54)。典型的な荷電種としては、 $I^- I^0 I^+ I^{++}$, $V^- V^0 V^+$, $B^- BI^- BI^+ B_m I_n$, $As^+ AsV^+ AsV^0$, AsV^- , As_2V^0 , ... などを扱えるようにした。

境界条件

境界条件に関しては、過剰点欠陥が表面で有限速度で消滅する境界条件を設定できる(図 3.55)。図 3.55 に示すように、ホッピングにより界面に到達してきた点欠陥は、 D_I/K_I とホップ長の比で領域外へ捨てられる(界面で消滅)か、一旦界面へ留まった後次の時間ステップでバルクへ拡散を続ける。図 3.56 は、初期に一樣な過剰格子間シリコン原子の消滅の様子を流体計算とモンテカルロ計算とで比較したものであるが両者は良く一致している。

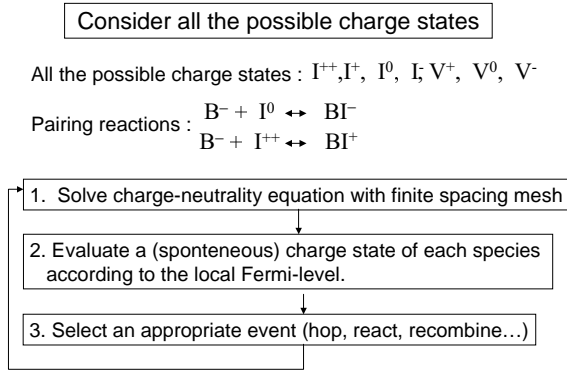


図 3.53: 拡散モンテカルロ計算における荷電粒子とフェルミレベルの考慮

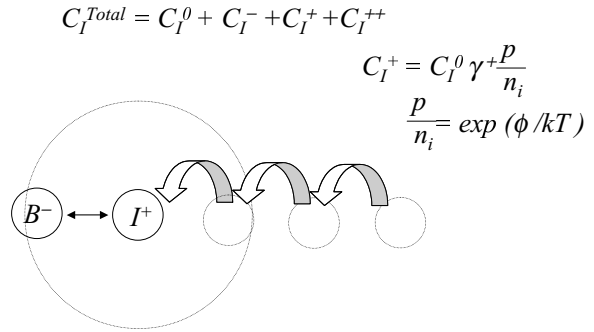


図 3.54: 荷電点欠陥の取り扱い：モンテカルロサンプリング粒子の電荷は反応等のイベントが選択された時点で局所的なフェルミレベルから取るべき荷電状態の確率分布から乱数で決定

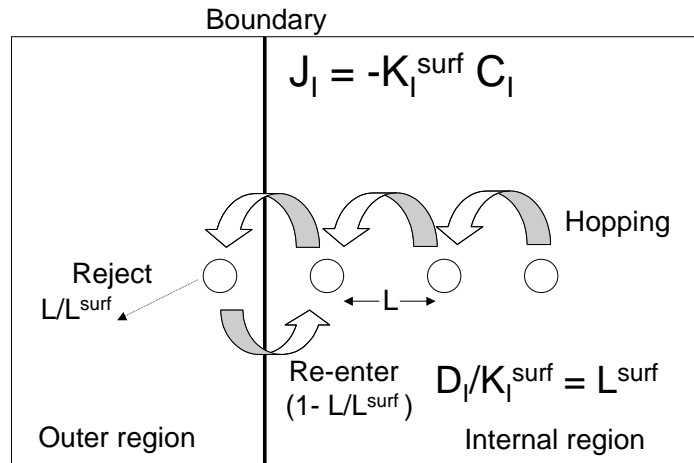


図 3.55: 界面での格子間シリコン原子の有限再結合速度 K_1^{surf} のモンテカルロ計算における扱い

点欠陥クラスター形成・分解

また、点欠陥のクラスター現象も、任意のサイズ (n) のクラスター生成・分解をモデル化して組み込んである。反応は拡散律速とし、クラスター形成エネルギーは古典的分子動力学計算で決められた値から実測により合うようにサイズ依存性を調節したが、格子間シリコン原子をやり取りする典型的な結合エネルギー E_{bin}^{311} は、1.88eV とした。

$$I_n + I \rightleftharpoons I_{n+1} \tag{3.67}$$

$$V_n + V \rightleftharpoons V_{n+1} \tag{3.68}$$

過剰格子間シリコン原子のクラスターの分解速度についての実測 [76] と本計算の比較を、図 3.57 に示す。

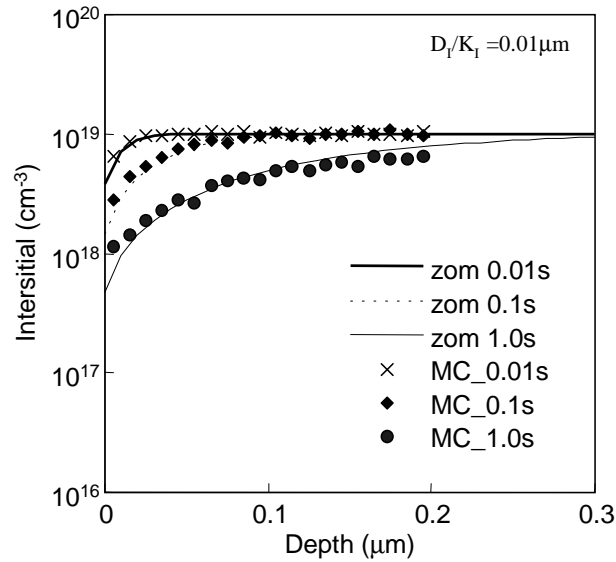


図 3.56: 初期に平坦な格子間シリコン原子分布の挙動：有限な表面再結合速度 (K_T) を仮定, 流体型計算 (実線) との比較

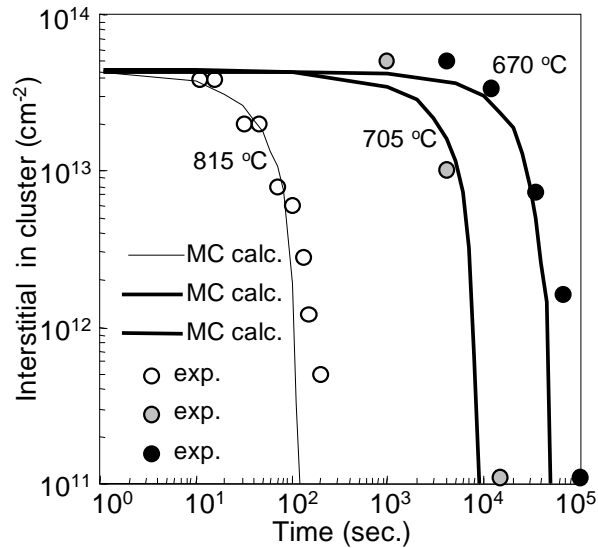


図 3.57: {311} 欠陥分解の計算結果と実測 [76] との比較

3.7.2 ボロン拡散パス

ボロンの拡散については、第一原理計算の知見を利用しているが以下に詳細を述べる。シリコン中のボロンの拡散は、格子間シリコン原子とのペア (BI ペア) 拡散機構だとされる。最近、密度汎関数理論に基づく第一原理計算で、この詳細な機構が調べられた [123]。従来の局所密度近似 (LDA) もしくは 90 年代に提案された密度勾配修正近似 (GGA) による電子相関の取り扱いと、新しいタイプの非経験的擬ポテンシャル (Vanderbilt-type) を用いて、64~128 原子セルでの静的な力の緩和による構造最適化、32 原子セルによる数ピコ秒の MD 計算、を組み合わせ、図 3.58 のような拡散パスの描像を明らかにした [123] (同様の報告は [124] [135] 等)。

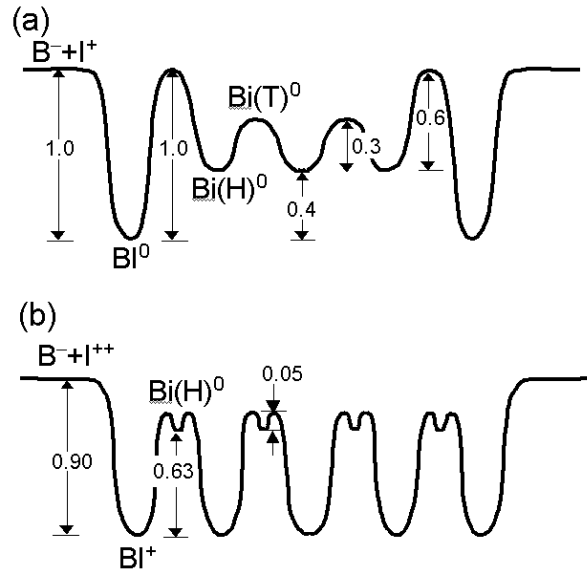


図 3.58: ボロンの拡散パス [123] $Bi(T)^0$: Tetrahedral サイトの (中性) 格子間ボロン, $Bi(H)^0$: Hexagonal サイトの (中性) 格子間ボロン, (以前の描像 (a) は (b) に改められた)

第一原理計算により求められたボロンの拡散パスの特徴としては、最安定状態が BI^+ で kick-out のバリアが無く BI ペアそのものが早い拡散種であることを示している。文献 [123] では、図 3.58 中の Hexagonal サイトの Bi (格子間ボロン) が BI^+ 状態に遷移するバリア (0.05eV) を求めるのに高温 (1200-1500K) の MD 計算 (32 原子セル) 手法が用いられたが、別の同様の文献 [124] では拡散パス (saddle point) を求める方法として Nudged Elastic Band Method (NEBM) が用いられた。

これらの第一原理計算は拡散現象について実験から求まる値をフィッティングパラメータ無しで極めて良く再現する。例えば、格子間ボロンのマイグレーションエネルギーの値 ($=0.68\text{eV(LDA)}$) は Watkins らによる実測値 (0.6eV) と、拡散長 ($\sqrt{D_m\tau}$) の活性化エネルギー (-0.59eV(LDA)) は Cowern らの実験からの抽出値 ($-0.4\pm 0.2\text{eV}$) とそれぞれ良く一致している [123]。ただし、詳細な絶対値は、LDA や GGA 等の近似方法や、格子定数や super-cell サイズの取り方、固有値計算のエネルギー上限、等々により文献間で若干の食い違いが見られている [123] [124] [135]。

3.7.3 ボロンクラスター化

ボロンは格子間シリコンとペアを組んでの拡散に加え、過剰に格子間シリコンが存在する場合、ボロン・格子間シリコン原子の複合体 (B_mI_n complex) を形成する。このクラスター反応によりイオン注入後のボロンの活性化 (置換サイトを占める割合) が決まる。 BI ペアの拡散パスを求めた第一原理計算と同様の計算手法で、 B_mI_n の各安定構造と結合エネルギーが計算された [126] [127] (図 3.59)。最安定状態を求めるために、高温 (1200K 程度) の MD 計算が 1 ピコ秒程度行われ、そこから原子に働く力の緩和計算が行われた [126]。

文献 [126] にある形成エネルギーの値を図 3.59 に示す。ボロン・格子間シリコン複合体は、 BI もしくは I をやり取りすることで成長・分解するが、その反応ダイアグラムも図 3.59 に示す。本モンテカルロ計算プログラムでは、ここでも従来と異なり、ボロン・格子間シリコンの複合体の形成・分解にも電荷依存性を取り込んでいるのが特徴である。すなわち、 BI もしくは I が拡散する過程でその捕獲半径にボロン・格子間シリコ

Q	+1	0	-1	-2	-3
B			0		
B_2		1.38	0.96	0.93	
B_3		1.54	1.03	0.89	1.14
BI	-1.02	-0.79			
B_2I	-1.43	-2.12	-1.60		
B_3I	-1.95	-2.72	-3.09		
B_4I	-1.00	-1.85	-2.32	-2.40	
BI_2	-2.35	-2.24	-1.89		
B_2I_2	-3.22	-3.24	-2.79		
B_3I_2	-3.87	-4.41	-3.57		
B_4I_2	-4.20	-4.80	-4.73		

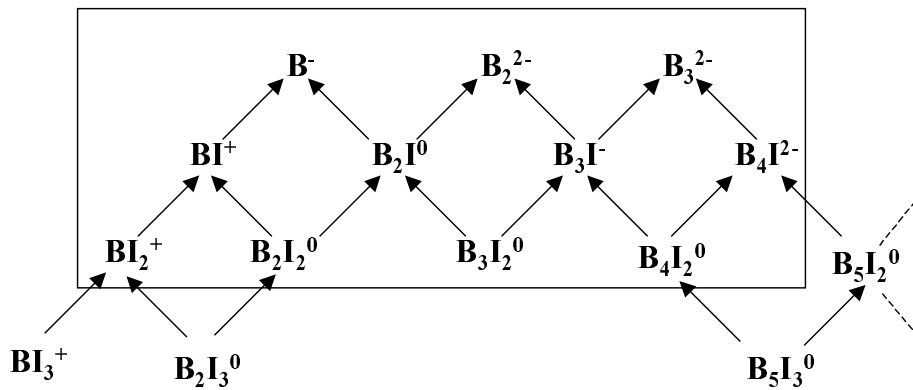


図 3.59: ボロンと格子間シリコン原子の複合体 (B_mI_n complex) の形成エネルギーと形成・分解反応ダイアグラム [126]による) (太字は最安定荷電状態を示す)

ン複合体が存在した場合、反応バリアエネルギーで定められる確率で反応するが、複合体の分解反応については、図 3.59 のダイアグラムに従い分解するとし、分解後の状態も図 3.59 の荷電状態に依存した形成エネルギー差に基づき局所的なフェルミレベルに依存した確率で決められた。また、文献 [126]には、図 3.59 右図の四角枠中の記述しかないので、大きなサイズのクラスター ($> B_5I_2$) や小さいサイズの格子間シリコン原子リッチなクラスター (BI_3, B_2I_3 等) を追加した。計算結果の節で述べるが、この第一原理計算をベースにしたボロンの反応エネルギーテーブルは、スパイクアニールの結果を極めてよく再現することが分かった。

ただし、第一原理計算の結果と言えども同様の別文献 [127]での反応エネルギーの値は必ずしも同じでは無い。第一原理計算の結果から主な反応経路を狂わせない程度の微調整を行ない実測をより再現するようにフィッティングを行うことは、原子レベルシミュレータの価値 (predictiveness) をそれほど損なわずに適用範囲を増すことに繋がると考えている。

3.7.4 計算結果と考察

1. Coupled diffusion

これまでの拡散モンテカルロシミュレーションの従来文献では、拡散種の荷電状態が考慮されておらず、ドナーである砒素とアクセプタであるボロンの相互作用を含む同時拡散の計算には不十分であった。

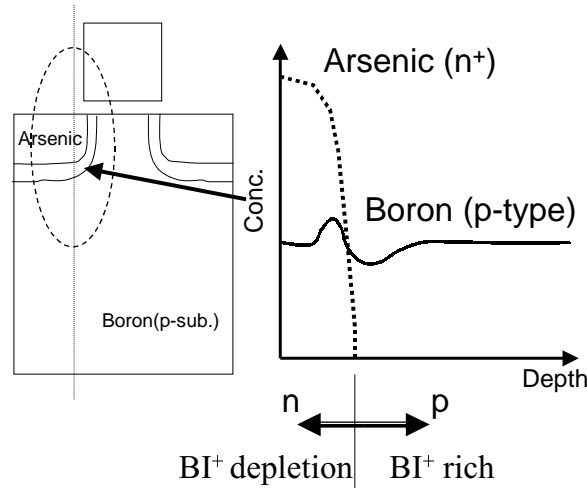


図 3.60: 高濃度砒素領域近傍の基板ボロンの再分布の様子を示す概念図

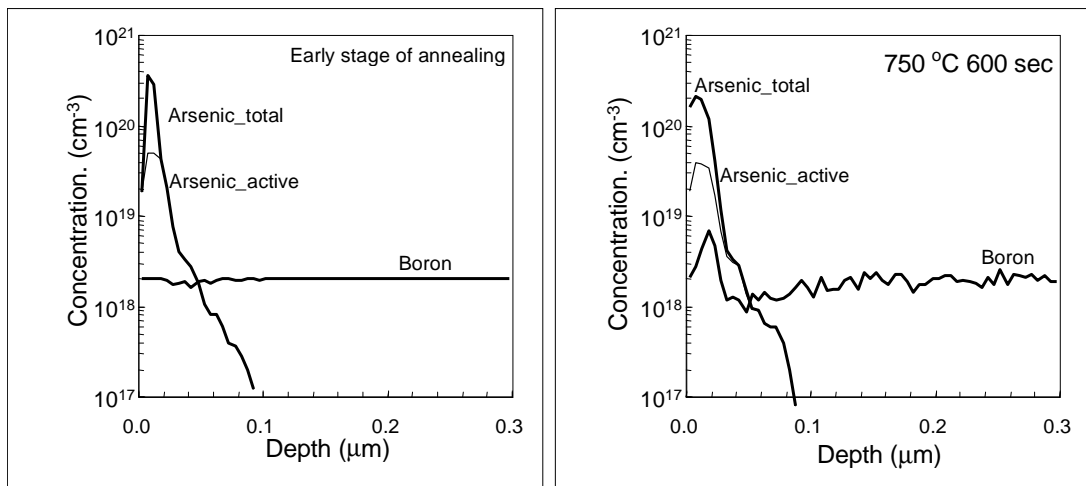


図 3.61: 砒素・ボロン同時拡散の計算結果：ボロン濃度は初期に平坦, 砒素注入条件は $10\text{keV}, 5e14\text{cm}^{-2}$, 計算領域は $0.1(L) \times 0.5(\text{Depth}) \times 0.2(W)\mu\text{m}$

ソースドレイン形成での砒素注入後のアニールでは、基板ボロンが砒素拡散領域に、再分布するが(図 3.60)、電界効果および荷電点欠陥濃度の違いのためである。基板ボロンが初期に平坦な分布だと仮定し、砒素を高濃度で注入した後のアニールの計算例を図 3.61 に示す。計算は、 $0.1(L) \times 0.5(\text{Depth}) \times 0.2(W)[\mu\text{m}]$ の 3次元単位セルで行い、結果を深さ方向一次元表示(図 3.61)および2次元断面表示(図 3.62, 図 3.63)で示す。典型的な計算時間は 10~20 時間 (DEC 500MHz, Pentium III 1GHz など)を要した。

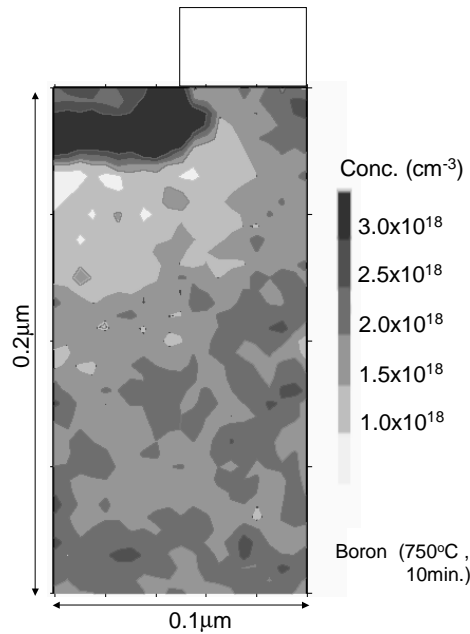


図 3.62: 図 3.61 中のボロンに関する 2 次元等濃度線表示 (砒素ソースドレイン近傍でボロン濃度が減少)

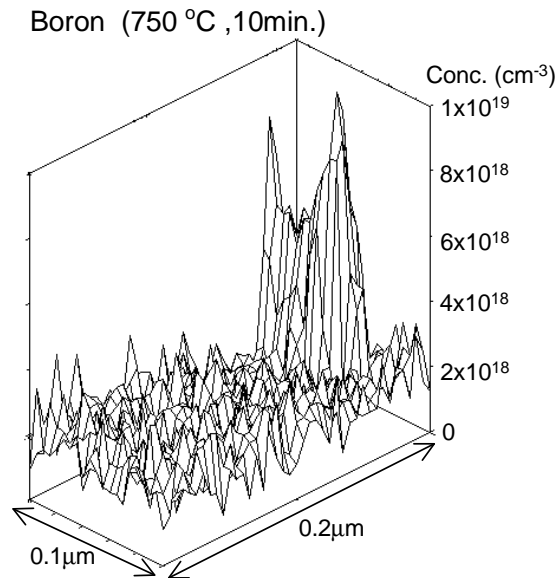


図 3.63: 図 3.62 と同じデータで鳥瞰図表示

2. スパイクアニールのシミュレーション

ボロンイオン注入後のスパイクアニールのシミュレーションを行なった結果を以下に示す。ボロン拡散と BI 複合体形成に関する第一原理計算 [126] をベースにしたモデルは、ほとんどそのままスパイクアニールについての実測結果 (異なるドーズ、温度、時間) を比較的良く再現する。高精度シミュレーションには正確な温度履歴の情報が不可欠であり、ここで用いたスパイクアニールの温度履歴の測定値を図 3.64 に示す。

スパイクアニールでは温度が一定ではなく、活性化エネルギー等の個々の値がそれぞれ正しいものでない

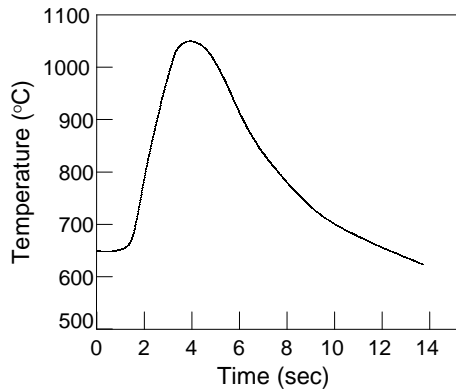


図 3.64: 1050 スパイクアニールの温度履歴 (測定結果)

限りは、一条件でさえ再現することは容易ではない。図 3.65 には 1050 のスパイクアニール後のボロンの分布 (置換位置、不活性分、全量) の計算と実測の比較を示す。また、同じモデルで、温度の違い、時間の違いについても、計算は実測を良く再現した。今回、第一原理計算の知見をベースにしたシミュレーションで合わせ込みパラメータを必要とせずスパイクアニールの様々な条件で実測を再現したことは、初めに実測ありきであった従来のシミュレーションとは対照的に予測型のシミュレータが実現されたと言えるものである。

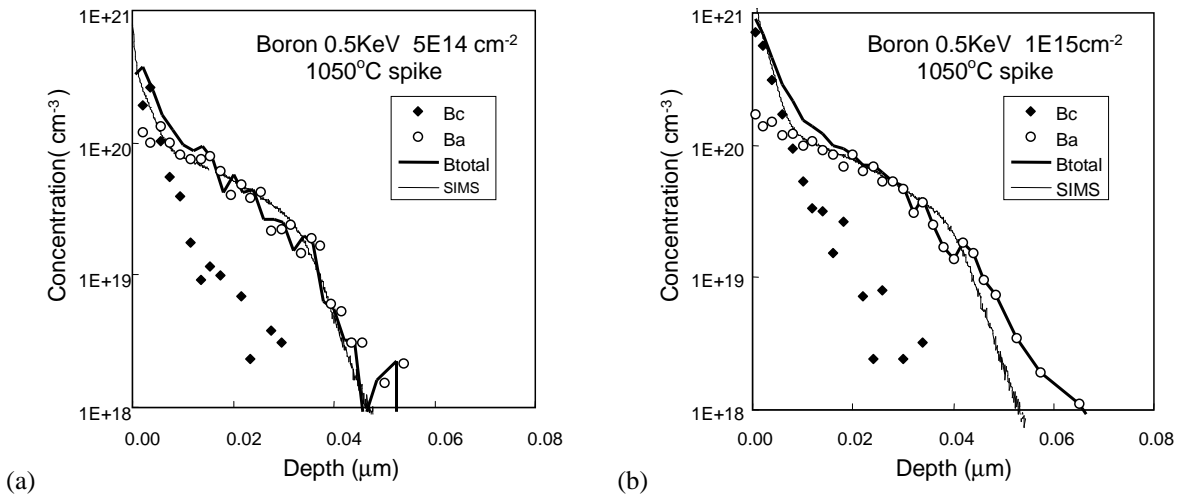


図 3.65: ボロン 1050°C スパイクアニール後のプロファイルの計算結果：イオン注入加速電圧 0.5keV, ドーズ量 (a) $5 \times 10^{14} \text{cm}^{-2}$ (b) $1 \times 10^{15} \text{cm}^{-2}$, B_c : クラスター化ボロン, B_a : 置換位置ボロン

図 3.67 に ボロン 0.5keV、 $5 \times 10^{14} \text{cm}^{-2}$ の注入後の、1050°C spike annealing の計算結果から、 $B_m I_n$ 複合体の内訳がどのような状態になっているかを表した。サイズの小さいクラスターは不安定ではあるが、そういった遷移状態を経て結果的に安定な $B_3 I$ 以上のクラスターが生じていることが判る。また、ほとんどの遷移的な小クラスター形成反応は、spike annealing と言えども初期の昇温 1 秒以内に完了していることが判る。

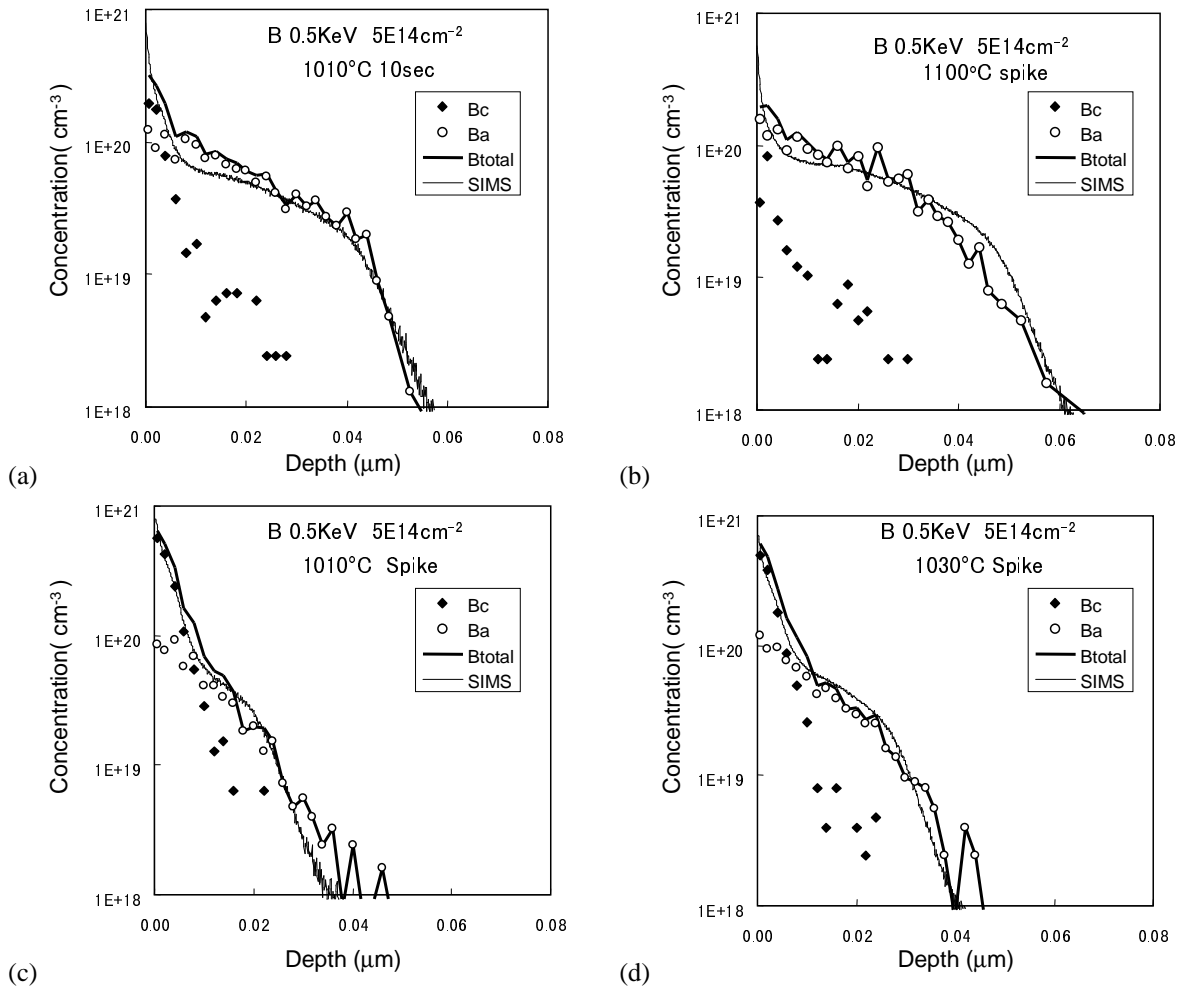


図 3.66: ボロン 5e14cm⁻² 注入後のアニールの計算結果 (a) 1010°C 10sec. (b) 1100°C Spike (c) 1010°C Spike (d) 1030°C Spike

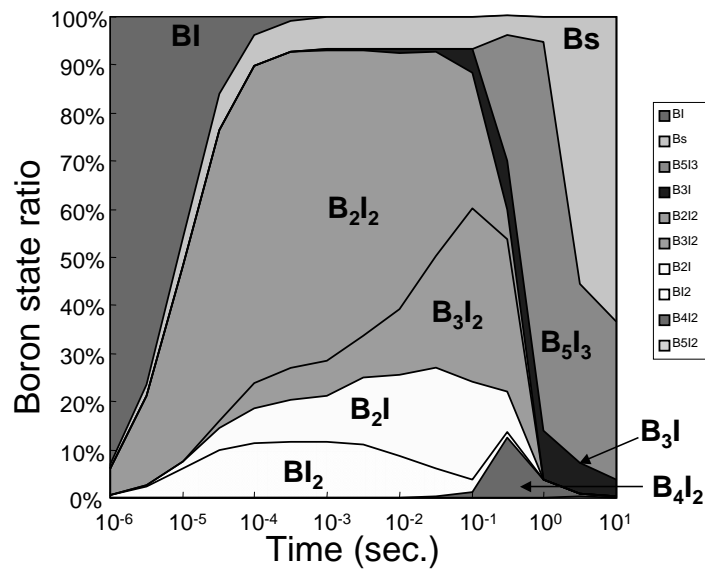


図 3.67: ボロンイオン注入後の 1050°C spike annealing 時における B_mI_n 複合体の内訳の計算結果 (加速エネルギー 0.5keV, ドーズ量 5 × 10¹⁴cm⁻²)

3. 低温(長時間)アニール

Tsuji らは、サブ 50nm MOSFET の開発にあたり、より浅い接合形成のためイオン注入後のアニールに対し 550 °C で長時間 (>8 時間) の低温アニールを試みた[4]。その後更に我々がその実験結果を解析した結果、低温長時間アニールは、pMOSFET の浅接合化には有効であるが、同時に同じウェハ上に作成される nMOSFET については問題があることが判明した。低温アニール工程を経た nMOSFET の短チャネル特性が劣化したため調べてみると、nMOSFET のチャネルのボロンの活性化濃度が低下していることが判った (図 3.68, 3.69) [130]。

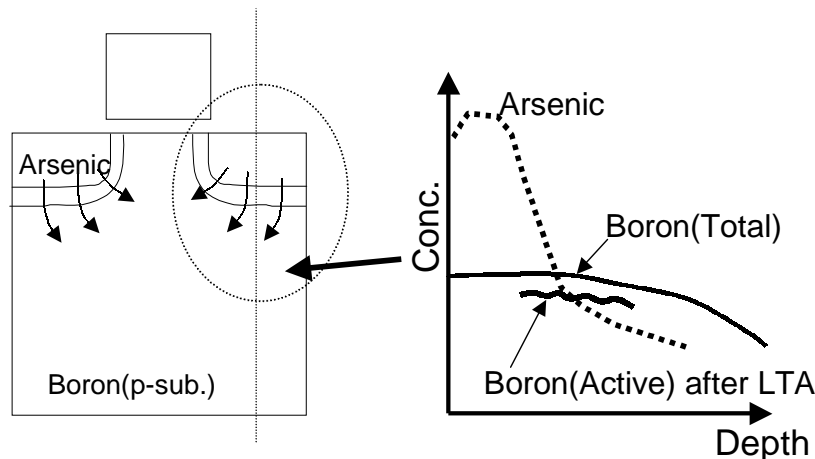


図 3.68: 低温 (~550 °C) 長時間 (~8-10 時間) アニールにおけるチャネル部のボロン活性化濃度の低下の様子の模式図 (ソースドレイン部の砒素イオン注入によって誘起された欠陥 (過剰格子間 Si 原子) により不活性化が起これと考えられる)

図 3.68 は、低温アニールを経た nMOSFET のチャネルボロンが不活性化する様子を模式的に描いたものである。低温アニール工程前に電気的には活性であったチャネル (基板中) 部のボロンは、ソースドレイン部の砒素イオン注入で発生した欠陥 (過剰格子間 Si 原子) により低温アニール中に不活性化されるという機構が考えられる。チャネル部のボロンの活性化濃度を、CV 測定から見積もった結果を図 3.69(a) に示す。高温短時間アニールの場合よりも、低温アニール後の活性化濃度はソースドレイン近傍で低下している。

これに対応したシミュレーションを本研究の原子レベル拡散モンテカルロ計算で行ったところ、チャネルボロンの不活性化が再現できた。この計算結果を図 3.68(b) に示す。図 3.68(b) に示すように、計算では初期に活性化したボロンが、砒素イオン注入分布のテール部 (アモルファス化していない部分) の過剰格子間シリコン原子が、550 °C の低温においても I_2 として拡散し、 I_2 に捕まったボロンは BI_2 として不活性化する。550 °C という低温では、BI ペアが自発的に生じる量は少なく、また BI ペアは拡散して長時間 (>8 時間) 後には分解してしまうため、不活性化現象は、やはり砒素のイオン注入に起因した過剰格子間シリコン原子 (ここでは I_2) によるものと考えられる。本シミュレーション解析からは、低温アニールは、pMOSFET のソースドレイン注入後の余剰拡散を抑制でき浅接合化には有効であるが、同時に nMOSFET を作らざるを得ない CMOS プロセスの場合には nMOSFET のチャネルボロンの不活性化に対して注意が必要であることが示された。

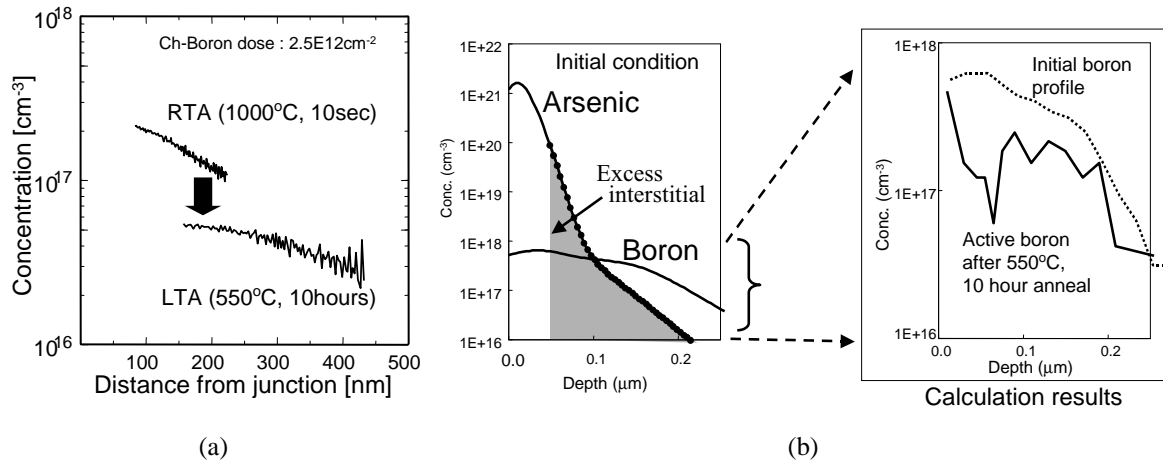


図 3.69: (a) ソースドレイン注入に続く、異なる条件でのアニール後のチャネルボロンの活性化濃度を基板バイアスを変えた SD 接合容量についての CV 測定から見積もった実験結果 (RTA 条件は 1000°C 10sec、低温アニールは 550°C 8 時間) (b) 低温アニール条件に対応した拡散モンテカルロシミュレーションの結果

4. フラッシュランプアニール

最近の学会で数ミリ秒の昇温レートを実現するフラッシュランプアニールの報告があった[136]。実際のウェハー上の温度がどのように変化しているのか正確な記述は無い。合わせ込みを必要としない予測型の拡散シミュレータを用いることができれば、仮想的な温度プロファイルにより、このようなアニール方法について検討することが可能である。

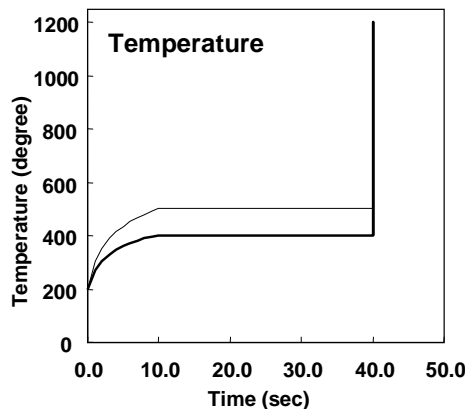


図 3.70: 報告されているフラッシュランプアニールの温度プロファイルの概略図 (実際のウェハでの正確な到達温度・温度履歴は不明)

ボロンを極低エネルギー (0.5keV) で注入し、フラッシュランプアニールとして昇降温時間を 3ms と仮定し、最高到達温度を変えたシミュレーションの結果を図 3.71 に示す。シミュレーションはスパイクアニールを再現する第一原理計算に基づくパラメータセットによるモデルで行った。昇温時間が 3ms では、ほとんど拡散によるプロファイルの再分布が無い状態で活性化させることができるが、最高到達温度が 1000 程度での活性化は 10²⁰cm⁻³ 以下であり、10²⁰cm⁻³ 以上の十分な活性化を得るためには、1200 程度の温度が必要であることが示されている。現在、半導体装置メーカーでは、フラッシュランプアニールのような極短時間アニール装置の開発が進行中であるが、本シミュレーションは、スパイクアニール同様様々な条件での検討

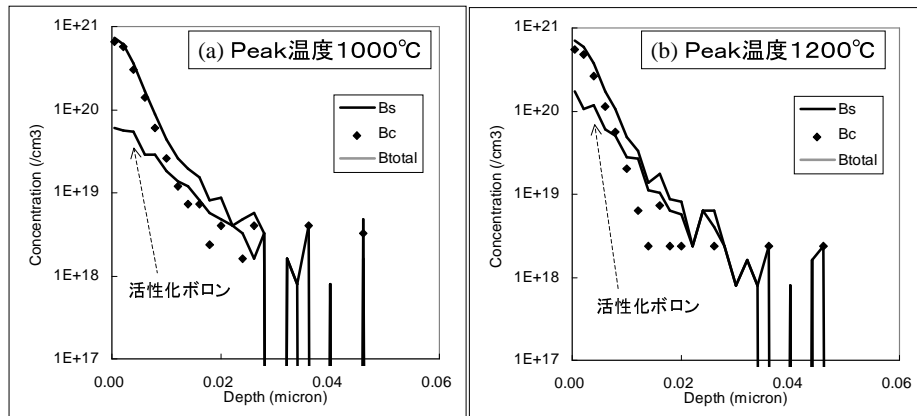


図 3.71: 仮想的な温度プロファイルによるフラッシュアニーのシミュレーション結果 (昇降温時間 3ms (400 からピーク温度までの時間) を仮定)

に役立つ見込みである。

3.7.5 まとめ

モンテカルロ法による原子レベルの不純物拡散シミュレータを開発した。従来報告に加えて拡散種の荷電状態をモデルに取り込んでおり、より現実的なシミュレーションを可能にした。特に第一原理計算の知見をベースにしたボロン拡散・活性化のシミュレーションにおいては、ほとんど合わせ込みパラメータを必要としない予測型のシミュレーションを実現できた。サブ 100nmMOSFET では、原子レベルのばらつきの問題も顕在化し、今回のような原子レベルのプロセスシミュレータは、精密な物理モデルに基づくシミュレーション結果を提供できるだけでなく、そのばらつきをも含めたデバイス特性の計算にも繋がるものである。次の章では、3次元計算を含めて、ばらつきが解析できる原子レベルプロセス・デバイスシミュレーションについて述べる。(本節の内容は主に原著国際学会 (13-16) にて発表。)

第 4 章

微細 MOSFET の真性ばらつきのシミュレーション

4.1 原子レベル 3 次元プロセスデバイスシミュレーション

4.1.1 背景と動機

微細化スケールによる MOSFET 集積回路の性能向上は、遂にサブ 100nm ゲート長の開発時代を迎えた。この規模になると、従来のプロセス製造ばらつきや電源電圧変動等による制御性に起因するばらつきに加え、本質的に避け難いゆらぎの影響が無視できないと言われている。例えば、微細 MOSFET 構造に関しての本質的ゆらぎには、図 4.1 に示すように、不純物原子の数と配置の違い（離散的な不純物分布）とゲートポリシリコンパターンに見られるライン端ラフネス (Line-Edge-Roughness) がある。

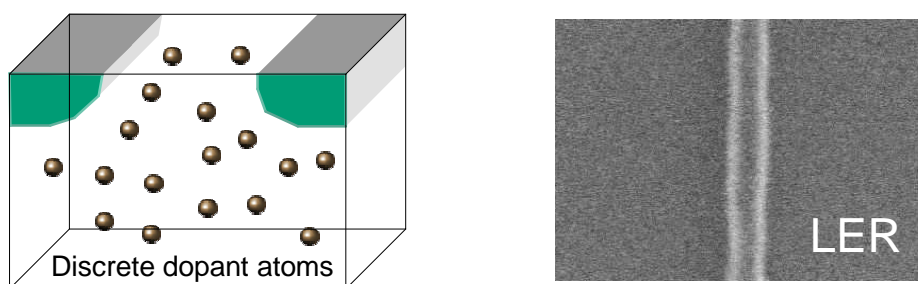


図 4.1: 不純物原子の数と配置の違い（離散的な不純物分布）を示す模式図とゲートポリシリコンパターン（の上面から見た SEM 写真）に見られるライン端ラフネス (Line-Edge-Roughness)

例えば、微細 MOSFET のゲート長と幅がサブ 100nm レベルになると、チャンネル空乏層中の不純物の数が数 100 個というレベルになる。この状況では、大規模集積回路中の同一チップ内の同じ製造条件で作られたはずの素子でも、シリコン結晶中にドーピングされた不純物原子の位置と数がそれぞれで異なることにより生じる特性ばらつきがあるとされる[137, 138, 139]

例えば完全に特性が揃ったデバイスが大量に必要な大容量かつ高速な SRAM は、真性ばらつきがあると回路動作が困難になる[140]。この真性ばらつきは、デバイスを微細化していく上で、たとえ製造装置ばら

つきがゼロであっても最終的に残るものであり、むしろ微細化の限界を左右する要因と見ることができる。一例として、図 4.1 に見られるようにライン端のラフネス (LER) は、ゲート長の空間的ゆらぎとして働き、個々のデバイスでゆらぎパターンが異なれば、それらのデバイスはもはや同一のゲート長とは見なせず、特性が本質的に異なってくるのが予想される。LER はリソグラフィーやエッチングなどのパターン形成プロセスに依存する量であるためその値 (例えば標準偏差) 自体を予測することは容易でないが、パターン形成方法やプロセス条件を改善して、どの程度のラフネスがどのように電気特性ゆらぎを生じるのかを知ることができれば、素子性能向上限界等をあらかじめ把握しそれに備えることが可能になる。

本研究では、イオン注入や拡散を詳細な物理モデルでシミュレーションする試みを、最終的には原子レベルで行なうに至った。これによれば、イオン注入された原子がどのようにシリコン結晶中を運動し、どこで止まるか、その後熱処理でどこまで拡散し、どの程度活性化されるか、を注入した量全てで計算すること、その結果計算される超微細個別素子の不純物の数と位置の違いは、個々のデバイスが異なった不純物分布を持つと見なすことも可能である (図 4.2)。

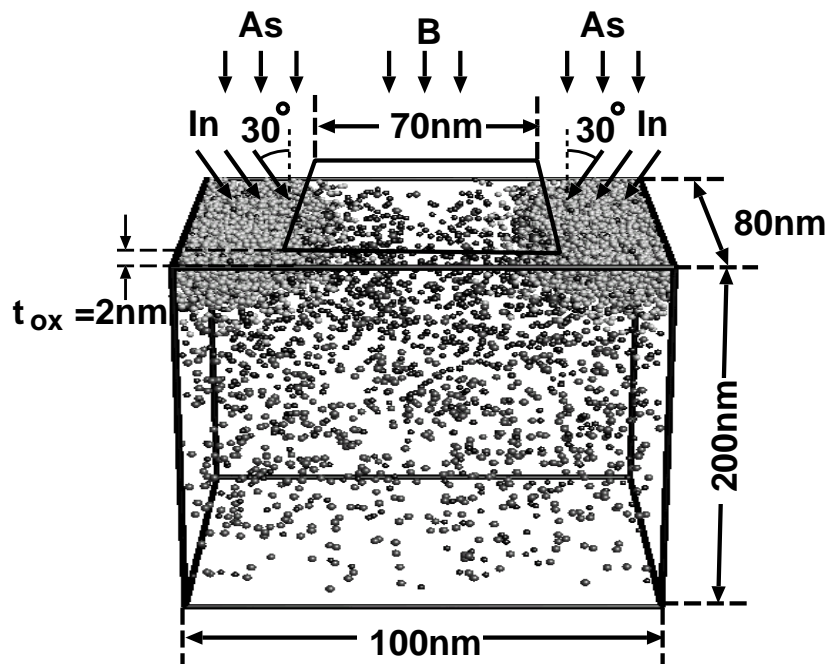


図 4.2: 原子レベルプロセスシミュレーションの例 (不純物一個を一サンプルとしてモンテカルロイオン注入、拡散を計算 個々の不純物原子位置とバイアス条件でデバイス特性を計算 同一の製造工程で多数回行ない統計的なデバイス特性を算出)

そこで、本研究では、3次元原子レベルプロセスシミュレーションに、イオン注入のマスクとしても働くゲートポリシリコンの LER を反映させ、さらにその計算結果を3次元デバイスシミュレータと組み合わせることで、離散的な不純物分布と LER がデバイス特性に与える影響を、実際の製造条件に則して予測、解析することを試みた。以下の節では、まず離散不純物分布を反映する3次元 atomistic デバイスシミュレーションとその結果であるデバイス特性 (しきい値電圧) の統計的ばらつき量の予測、解析について述べ、その後、LER のモデリングとその影響について離散不純物分布の影響を含めて予測した結果について述べる。

4.1.2 原子レベル (atomistic) プロセスデバイスシミュレーション方法

これまで、詳細な原子レベルのイオン注入・拡散プロセスシミュレータは存在しなかったため、従来の離散不純物起因の真性ばらつきを扱った原子レベルシミュレーション[137]は、連続的な不純物のある特性分布（ポアソン分布）を想定して擬似的な離散配置を得たものであり、詳細かつ実際的な製造プロセスを反映した解析には不十分であった。また、従来の原子レベル3次元デバイスシミュレーションの方法は、ドリフト拡散モデルの連続的な不純物分布（濃度）を、一旦離散的な不純物位置に置き直した後、ポアソン方程式を離散化した数値解析メッシュとそのメッシュ内微小領域の不純物数を局所濃度に変換するという単純な置き換えによるものであり、実際の計算例には、後述する数値解析上のしきい値電圧の低下という不具合があることが報告されている[141]。

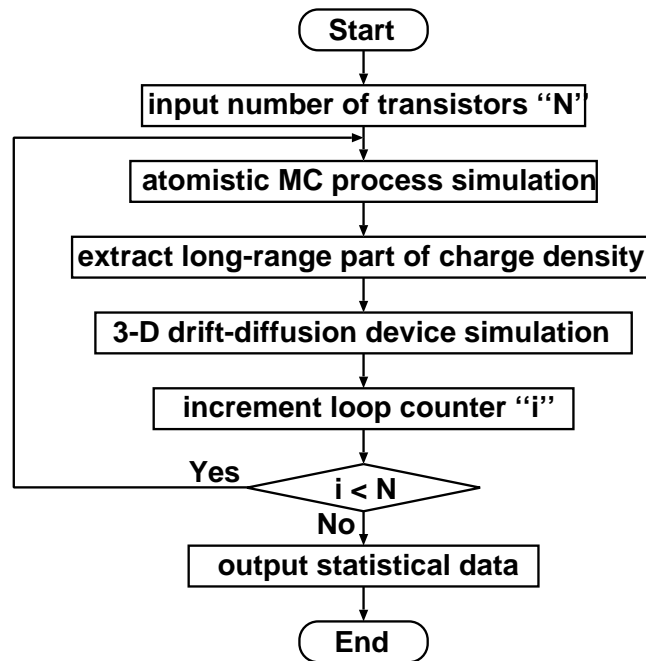


図 4.3: 原子レベルプロセスデバイスシミュレーションの手順を示すフローチャート

本研究では、既存の3次元ドリフト拡散型デバイスシミュレータ[142,152]を、本研究の3次元原子レベルプロセスシミュレーションで計算された個々の不純物の位置の離散性を反映できるように改良し、この一連の原子レベルプロセスデバイスシミュレーション（図 4.3）を、同一の製造プロセス条件で多数の試行をくり返すことで、あるデバイスの平均的特性のみならず、その本質的ばらつき特性までも実際の製造工程を考慮して求めた。

ここでは、イオン注入と拡散プロセスの計算は、注入イオンすなわち不純物一個を一サンプルとしたモンテカルロシミュレーションで行った。すなわち、所望のイオン注入ドーズ量をデバイス一個当たりの領域へ注入される個数に換算し、この個数分だけを計算する。ドーズ量、注入角度、エネルギーの製造装置上のばらつきはここでは与えない（与えることも可能）。別の異なるデバイスの計算には、同一の製造条件で、モンテカルロ法の乱数種のみを変えて計算を行う。注入された不純物は、偶然性に支配された散乱や拡散により、個々のデバイスで同一製造条件でも不純物数と位置は異なる結果になる（図 4.4）。次に、この個々の不純物の位置を反映した3次元デバイスシミュレーションの方法について述べる。

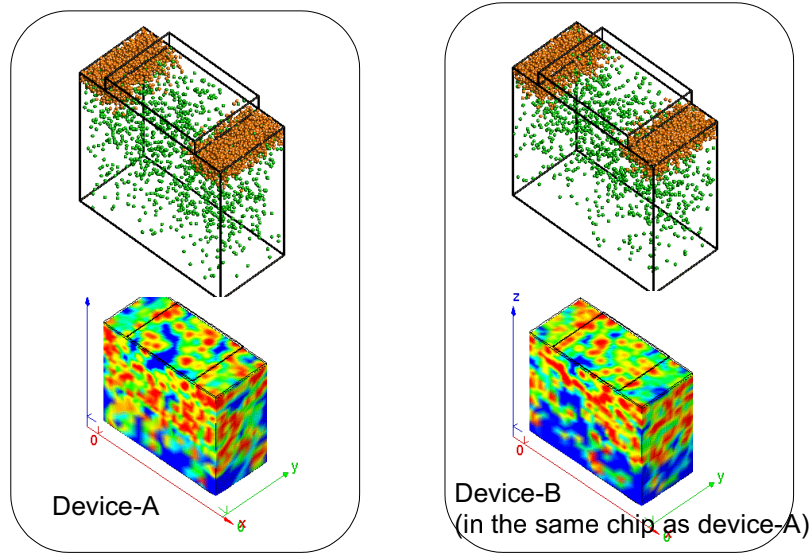


図 4.4: モンテカルロイオン注入・拡散シミュレーションによる個別デバイスの不純物分布および3Dデバイスシミュレーションによるポテンシャル分布の計算結果の違い：同一製造条件を仮定（同一チップ内隣接デバイスであってもデバイス特性が異なることが予想される）

4.1.3 3次元デバイスシミュレーションにおける atomistic ポテンシャル

3次元 atomistic デバイスシミュレーションは、既存の流体ドリフト拡散型デバイスシミュレータのポテンシャル分布を、個々の不純物原子位置における特異性を排除した広がりを持ったクーロンポテンシャルの合成で置き換えることで実行した。不純物分布は、通常連続的な濃度という扱いで偏微分方程式を離散化した数値解析メッシュ上で表現されるが、不純物間の平均距離がチャンネル長に比べて無視できない状況では、数値解析メッシュ上においても atomistic な不連続量で濃度（メッシュ点近傍の不純物原子の数）を定義した計算が従来行われていた（図 4.5）。

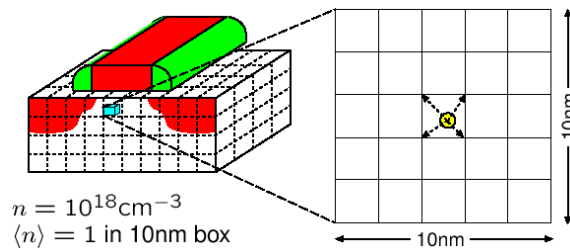


図 4.5: 3次元デバイスシミュレーションにおける数値解析メッシュ上への単純な不純物電荷の設定方法：一つの不純物電荷は隣接8メッシュへ配分

ドーパされた半導体中の多数キャリアは、イオン化した不純物の電荷をスクリーニングするよう再分布する傾向がある。よって、点電荷をそのまま数値解析上の不連続なメッシュへ配分する方法の問題点として、濃度表現において局所的に極端な高濃度状態を生じる場合があり、非物理的なキャリアの局所集中を引き起こすことが挙げられる（図 4.6）。このキャリアの異常集中は、たとえ空乏層内においても不純物ポテンシャルを相殺し、例えば MOSFET のしきい値の計算値が低下するという不具合[141]が露呈する。この不具合を避けるため、本研究では、本来のドナー・アクセプター不純物の広がったクーロンポテンシャルに立ち返り、

これを長距離成分と短距離成分に分け、その内長距離成分を個々の不純物位置からデバイス全体で合成することにより、デバイス内のポテンシャルを計算する方法 [143] を採用した。

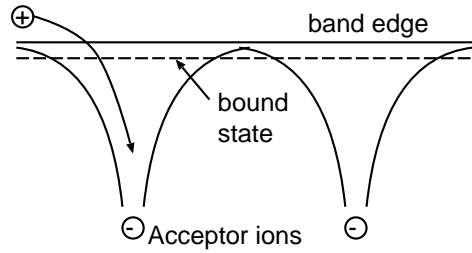


図 4.6: 離散的に存在するアクセプター不純物近傍の静電ポテンシャルの模式図 (キャリアである正孔は、裸のクーロンポテンシャルに遭遇すると引き込まれ、アクセプター負チャージを打ち消してしまう)

Sano らの文献によると座標原点 ($r = 0$) に存在する不純物原子に相当する実効的電荷密度 $\rho(r)$ の長距離成分は、デルタ関数のフーリエ展開から高調波成分を除外すること得られる [143]。これは以下のように書かれる。

$$\rho(r) = \frac{ek_c^3}{2\pi^2} \frac{\sin(k_c r) - (k_c r) \cos(k_c r)}{(k_c r)^3}, \quad (4.1)$$

ここで、 k_c は reciprocal screening length (遮蔽長の逆数) である。

この長距離成分に対応したポテンシャルは次のように書ける。

$$\phi(r) = -\frac{ek_c}{2\pi^2\epsilon} \left\{ \frac{\text{Si}(k_c r)}{k_c r} - \sin(k_c r) \right\}, \quad (4.2)$$

ここで $\text{Si}(\)$ はサイン関数積分を表わす。

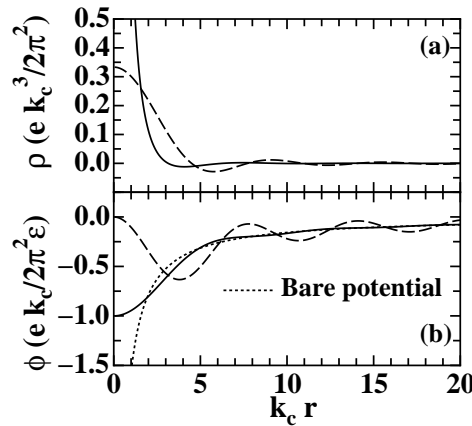


図 4.7: (a) 電荷密度の長距離成分とそれに相当する (b) ポテンシャル分布 (実線が本研究でデバイスシミュレーションに用いた電荷密度とポテンシャルの表式 (式 (4.3), (4.4)), 破線は Sano らのモデル [143])

ただし、Sano らのオリジナル手法では、式 4.1 中の \cos 項に起因するポテンシャルの振動が生じてしまう。物理的な観点から、クーロンポテンシャルの長距離成分は不純物位置原点から離れるに従い裸のクーロンポテンシャルに速やかに漸近するはずであるが、図 4.7 に示すように、 r が大きい領域で差異が生じる。しかし、式 4.1 中の \cos 項はチャージの総量には影響しないため、式 4.1 および式 4.2 の第二項は物理的にはむしろ無視しても構わない。そこで本研究では、各不純物原子に割り当てる電荷密度として、次のような表式を採用する。

$$\rho(r) = \frac{ek_c^3}{2\pi^2} \frac{\sin(k_c r)}{(k_c r)^3} \quad (4.3)$$

$$\phi(\mathbf{r}) = -\frac{ek_c}{2\pi^2\epsilon} \frac{\text{Si}(k_c r)}{k_c r}. \tag{4.4}$$

この電荷密度分布を用いれば、不純物原子の実効ポテンシャルは、図 4.7(b) 中の実線に示すように、裸のポテンシャルに見られる特異性を排し、かつ原点から離れた領域ではそれに一致するようにできる。本研究では、前述の3次元ドリフト拡散デバイスシミュレーションプログラム中のポアソン方程式中の不純物電荷密度に対して、式 4.3 の不純物電荷密度分布を適用した。

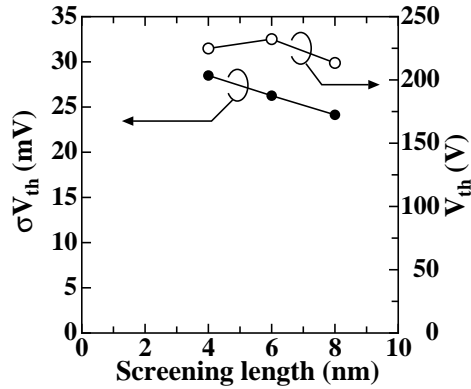


図 4.8: しきい値電圧の標準偏差 σV_{th} のテスト計算の結果 ($\langle V_{th} \rangle$, σV_{th} 共に screening length の値に依存)

不純物原子のクーロンポテンシャルを長距離成分と短距離成分を分離し、長距離成分を適用することは、言いかえると、不純物原子の深いクーロンポテンシャル近傍の本来量子力学的な振る舞いをする電子の動きを古典的なドリフト拡散近似で表現しようとした際の不具合を回避する方策である。従って、長距離成分の切り分けは本来のスクリーニング効果とのダブルカウントを避けるよう注意深く設定する必要がある。デバイス特性のばらつきは図 4.8 に示すように screening length に依存するため、物理的にも妥当な値でない限り計算結果を信じることは難しい。

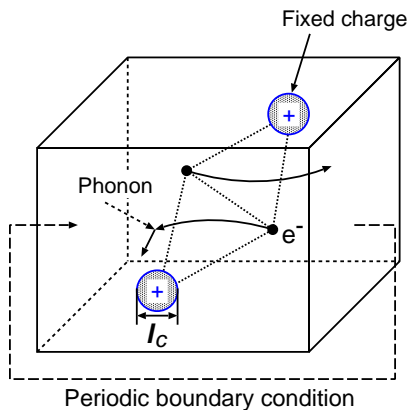


図 4.9: 電子についてのフルバンド MC/MD 計算の模式図: l は式 (4.1)(4.2) 中の遮蔽長、MD 計算の時間刻みは 0.001fs、周期的境界条件を適用

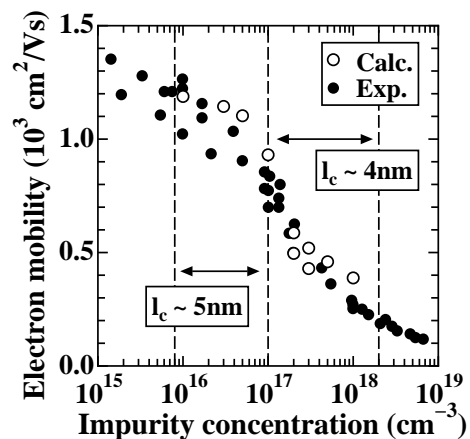


図 4.10: バルクシリコン中の電子移動度の不純物濃度依存性: 多体効果を考慮した FB-EMC/MD 計算と実測 [144] の比較

本研究では、一様濃度のバルクシリコン中の電子輸送の詳細なシミュレーションを別途行い、不純物濃度と電子移動度の関係の実測データを再現する screening length を抽出した。電子輸送シミュレーションとして、電子とフォノン散乱とインパクトイオン化を full-band (FB) ensemble Monte Carlo (EMC) 計算で、不純

物と電子間クーロン相互作用には分子動力学 (MD) 計算という組み合わせで移動度を計算した (図 4.9 および図 4.10)。計算で得られる電子の群速度を 10ps から 100ps の間で平均化して電子の移動度を算出し、図 4.10 に示すように、 10^{17}cm^{-3} 以上の不純物濃度における移動度を再現できる screening length は 4nm であった。

4.2 離散的な不純物分布起因ばらつきの計算結果

ゲート長 60nm の同一製造工程の MOSFET の 3 次元プロセスデバイスシミュレーションを一様乱数の種を変えて 100 組計算を行い、しきい値電圧の頻度分布を求めた結果を図 4.11 に示す。

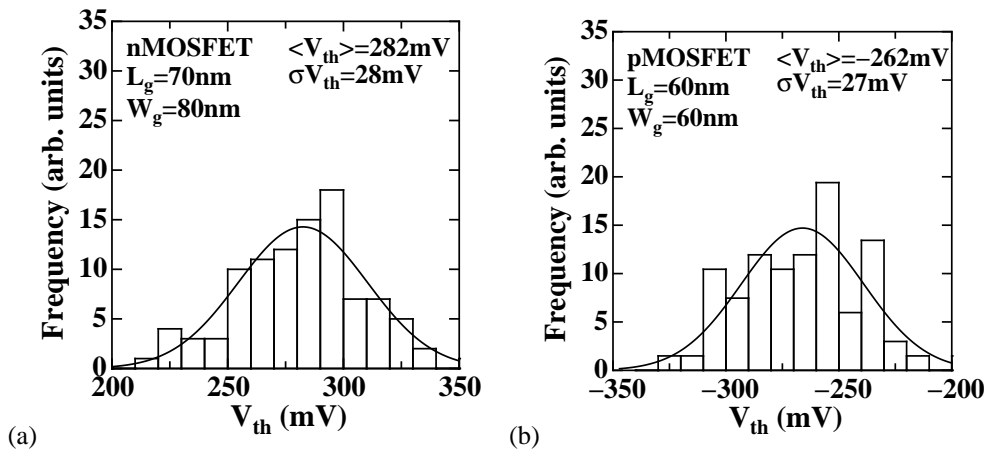


図 4.11: しきい値電圧 V_{th} の頻度分布の計算結果 (a) nMOSFET: $\sigma V_{th}=28\text{mV}$ (b) pMOSFET: $\sigma V_{th}=27\text{mV}$

頻度分布の計算結果に正規分布を当てはめることで標準偏差 (σV_{th}) は 28mV と求められた。サブ 100nm の MOSFET における真性ばらつきの典型値として決して軽視できない大きなばらつきと言えよう。

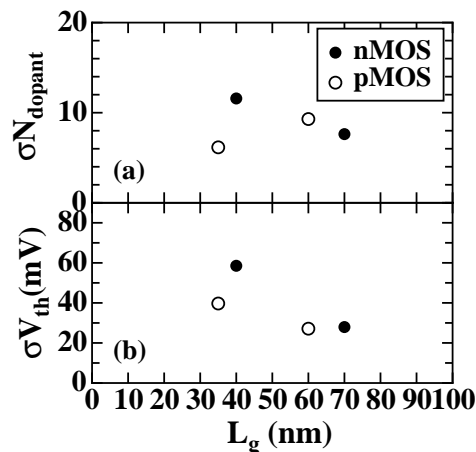


図 4.12: しきい値電圧のばらつきとチャネル不純物原子数ばらつきのゲート長依存性

図 4.12 に、しきい値電圧のばらつきとチャネル不純物原子数ばらつきのゲート長依存性を示す。しきい値電圧ばらつきはシリコンチャネル表面の不純物ゆらぎに敏感であるため、表面から 2nm 以内の不純物数から σN_{dopant} を評価した。しきい値電圧の標準偏差 σV_{th} は、 $L_g = 40\text{nm}$ nMOSFET の方が $L_g = 35\text{nm}$

pMOSFET のそれよりも大きい (図 4.12)。このことは、pMOSFET よりも nMOSFET のチャネル不純物数のばらつき程度が大きいことを表している。

本研究の原子レベルプロセスデバイスシミュレーション手法で MOSFET の電流電圧特性 I_d-V_g のばらつきを計算した結果を図 4.13 に示す。図 4.13 は見やすさのために、平均のしきい値 $\langle V_{th} \rangle$ のデバイス特性と標準偏差分 ($V_{th} = \langle V_{th} \rangle \pm \sigma V_{th}$) デバイス特性をプロットした。しきい値のばらつきは見取れるが、pMOSFET、nMOSFET 共にサブスレッショルド特性の傾きに大きなばらつきは見られない。

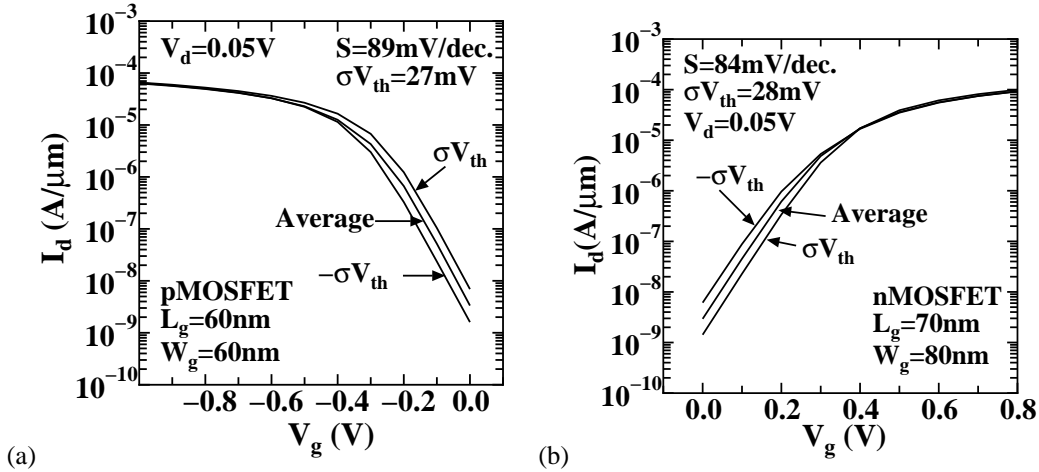


図 4.13: I_d-V_g 特性ばらつきの計算結果 (a) pMOSFET (b) nMOSFET

ここでは、原子レベルプロセスシミュレーションによりイオン注入、拡散を同一条件で 100 通り計算し、それぞれ異なるしきい値を得たが、それら全てを平均化した分布から、改めてポアソン分布で離散的な不純物配置を人為的に発生させた場合のばらつき特性の違いを調べてみた。図 4.14 に連続的な濃度からポアソン分布で個々の不純物のランダム配置を得る手順を示す。結果は、図 4.15 に示すように両者の違いは小さい。本質的に拡散現象はランダムであり 3 次元ポアソン分布で表現可能であることを示している。

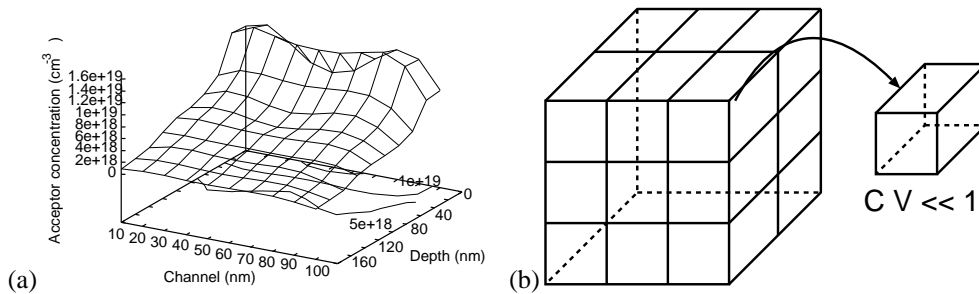


図 4.14: 不純物の連続的な濃度からランダム配置を生成する手順 : (a) 原子レベルプロセスシミュレーションで計算した個々の不純物の位置にて不純物電荷密度を 4nm の半値幅を持つガンマ関数でコンボリューションし連続的な濃度分布へ変換 (b) 3 次元ポアソン分布に従ったランダム配置の生成 (連続的な濃度が C で与えられた時、 $CV \ll 1$ を満たすようにデバイス計算領域を微小体積セル V に分割、一様に発生させた乱数が CV より小さい場合、セル中のランダム位置に不純物原子を置く)

本研究の 3 次元原子レベルプロセスデバイスシミュレーションの特徴は、ばらつき σV_{th} に対するソースドレイン、チャネルといった異なる不純物種の影響、感度を解析できる点にある。すなわち、計算結果から特定の不純物種以外の分布を意図的に平均化して統計を採ることで、特定の不純物種が引き起こすばらつき

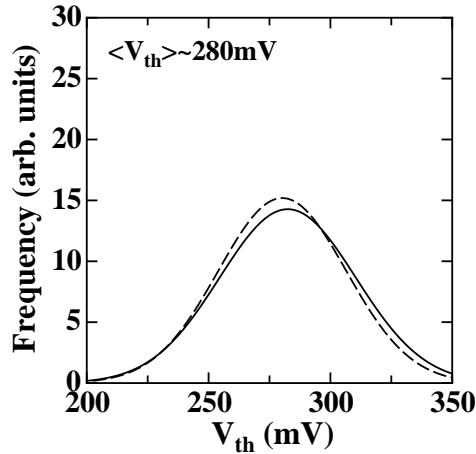


図 4.15: しきい値電圧頻度分布の計算結果（実線は3次元原子レベルプロセスシミュレーションによる、破線は3次元ポアソン分布（図 4.14(b)）によるもの）

の頻度分布を得ることができる。図 4.16 に σV_{th} についての特定の不純物種の寄与分を計算した結果を示す。 σV_{th} についてのソースドレイン砒素の寄与は他に比べて小さく、しきい値電圧 V_{th} のばらつきは、ほとんどチャンネルボロンと halo（ポケット注入）のインジウムによるものである。

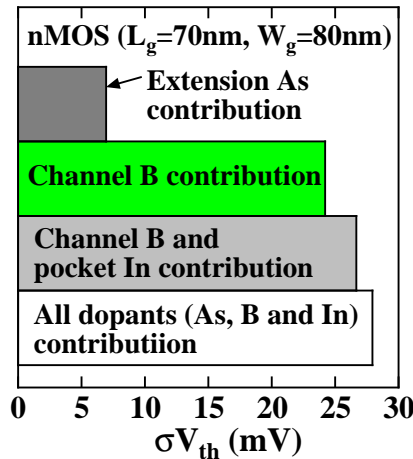


図 4.16: しきい値電圧 V_{th} ばらつき（標準偏差）に対する各不純物種の寄与

この節では、微細デバイス特性のばらつきが、離散的な不純物分布のランダム性によってのみ引き起こされるとして、イオン注入と拡散を原子レベルで計算し、3次元デバイスシミュレーションで個々の原子位置を反映したしきい値電圧ゆらぎを統計的に予測した。これに加えて、真性ばらつきを引き起こす要因としてライン端ばらつき (LER) がある。MOSFET の場合、LER は単なるゲート電極長のゆらぎのみならず、ソースドレイン、halo 注入のマスクとしても働くため、本質的に3次元かつ（離散的）不純物分布との相関が無視できない。次節では、LER を考慮したシミュレーションについて述べる。

4.3 ゲート端形状ばらつき (Line Edge Roughness) の影響

サブ 100nm MOSFET の真性ばらつきが問題になる集積回路として SRAM が挙げられる[140]。SRAM の集積度は増すばかりであり、特に L、W、共に最小寸法の MOSFET が用いられるため、L ばらつきの影響をもっとも受けやすい。前節では、真性ばらつきの要因として不純物分布のランダムな離散性を取り上げ、本研究の原子レベルプロセスシミュレータにより計算された直接的な離散不純物分布を用いた 3 次元 atomistic デバイスシミュレーションについて述べた。ここでは、さらにライン端ばらつき (LER) の影響を加え、本研究の 3 次元イオン注入 / 拡散のモンテカルロシミュレーションで、離散不純物ランダム分布と LER を両方同時に考慮した真性ばらつき予測の初めての試みについて述べる。

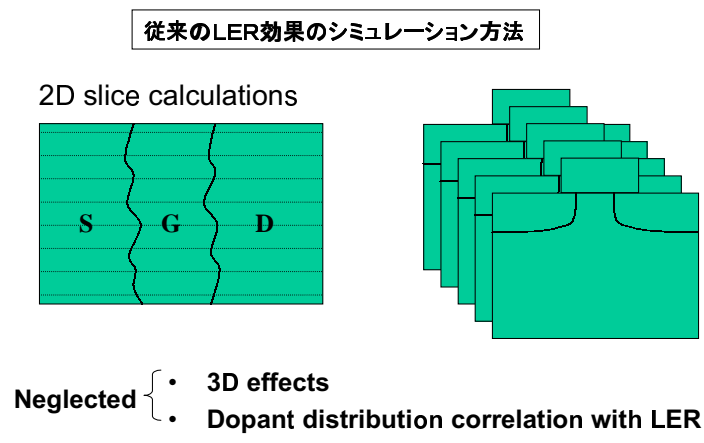


図 4.17: 従来の 2 次元シミュレータを用いた LER 効果のシミュレーション方法

近年、LER が問題視され始めたことに伴い、LER の影響を解析するシミュレーションの試みが何件か報告されている[145 , 148]。しかし、今まで信頼できる 3 次元原子レベルプロセスシミュレーションが存在しなかったことから、ほとんどのシミュレーションは、2 次元デバイスシミュレーションに限定されたものであった。LER の影響をシミュレーションする方法は、図 4.17 に示すようにゲート幅方向をスライスした断面の MOSFET の 2 次元シミュレーションを、言わばゲート長を変えて多数回行ない、所望のゲート幅の範囲で集計し統計的な特性ゆらぎとするアプローチで行われてきた。しかし、従来の 2D スライスによるシミュレーション方法では、L、W 共に小さいデバイスにおける 3 次元的效果と、ゲート端ラフネス近傍におけるイオン注入された不純物分布との相関の影響が無視されていて、真性ばらつきの予測と将来の展望を明らかにするには不十分である。

そこで、本研究の 3 次元原子レベルイオン注入・拡散シミュレーション方法に、LER のモデリングを加え、ゲートすなわちイオン注入マスクのエッジラフネスが直下の不純物分布を変調させるを取り込み、さらに 3 次元 atomistic デバイスシミュレーションにおいても、ゲート電極形状のエッジラフネスを考慮したシミュレーションを行った。これにより、LER と離散的な不純物ランダム分布がカップリングした場合も含めた統一した真性ばらつきの評価予測を可能にした。

4.3.1 LER のモデリング

本研究では、MOSFET のゲートポリシリコンのライン端エッジラフネス (LER) に着目し、デバイスシミュレーション時のゲート電極形状のゆらぎのみならず、原子レベルのプロセスシミュレーション時にイオン注入 (ソース・ドレインや halo 注入) のマスクとしても働かせることで実際の状況に忠実にモデリングを行った。LER が物理的にどのような作用で生じているかは複雑すぎるため、その形成要因には立ち入らず、実際にポリシリコンをエッチングしてゲートラインパターンを形成した後の上面 SEM 写真からエッジパターンを読み取り、そのエッジ形状をシミュレーションに用いることにした。図 4.18 に LER パターンの生成方法の手順を示す。

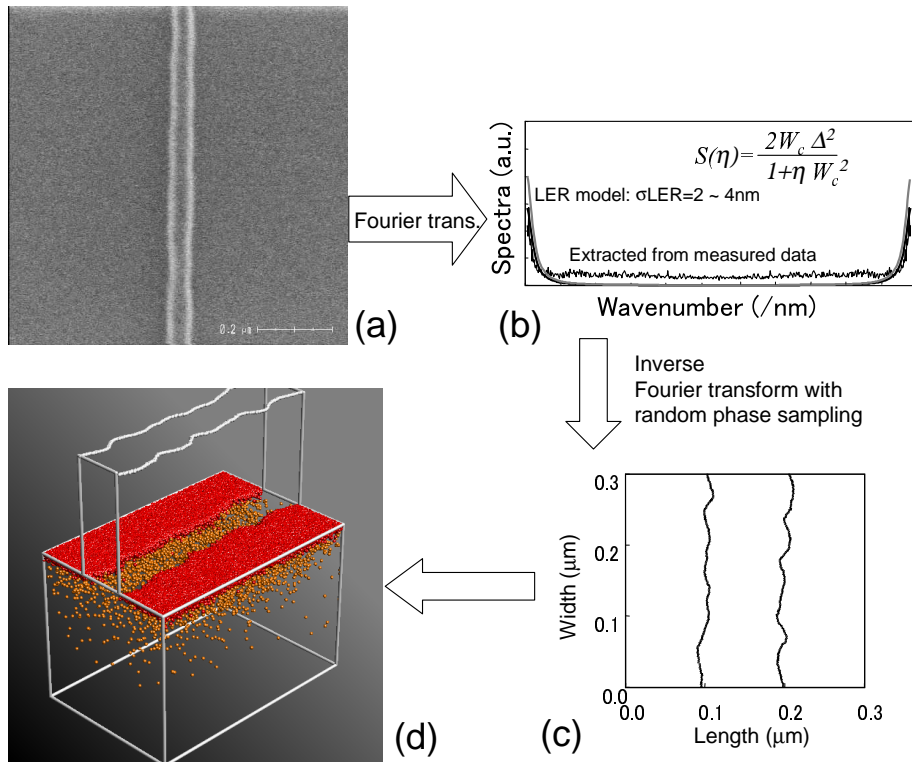


図 4.18: LER を考慮したシミュレーションの手順 (a) ライン端形状の抽出, (b) autocorrelation function にフィッティング, (c) 逆フーリエ変換でライン端形状を再生成, (d) ライン端形状に従いイオン注入をシミュレーション

LER をシミュレーションに導入するには以下のようにする。

1. ゲートポリシリコンエッチング後の上面 SEM 写真からエッジラフネスパターンを読み取る (ビットマップ画像コントラストからエッジ部分線分を抽出)
2. 抽出したラフネスパターンをフーリエ変換し、autocorrelation function [148] のパワースペクトラムを用いてフィッティングする。
3. フィッティングした autocorrelation function の位相を一様乱数でサンプリングし、ランダムに位相をずらせた autocorrelation function を逆フーリエ変換することで、擬似的に実測のゆらぎスペクトルを持つがそれぞれ異なるライン端ラフネス形状をコンピュータ上で任意のパターン数だけ発生させる。

4. 各ラインエッジラフネスパターンを持つポリシリコンゲートを持つ3次元形状に対して halo および source/drain イオン注入のモンテカルロシミュレーションを行う。一サンプリング粒子重みはイオン一個に相当させる。

Autocorrelation function $S(\eta)$ は以下のような式を用いた。

$$S(\eta) = \frac{2W_c\Delta^2}{1 + \eta W_c^2} \quad (4.5)$$

上式で、 η が波数、 W_c はゆらぎ特性長、 Δ は揺らぎの振幅に相当するパラメータである。実測に用いたテストロットのポリシリコンゲートラインの典型的な LER 振幅強度の標準偏差は、2~4nm であった。個々のラインエッジパターン相当のポリシリコンマスクの3次元形状を基にモンテカルロイオン注入シミュレーションを行ない、アニール時の拡散もモンテカルロシミュレーションで計算した。イオン注入ドーズ量や熱処理条件等装置上のばらつきは無いものとし、またポリシリコンゲートの側壁は垂直であるとし、ラフネスパターンは上端、下端で同一を仮定する。本研究の原子レベルイオン注入・拡散シミュレーションは第一原理計算によるボロン格子間シリコン原子複合体の形成・分解モデルを装備し、ボロンスパイクアニールの計算は実測を良く再現する[150]

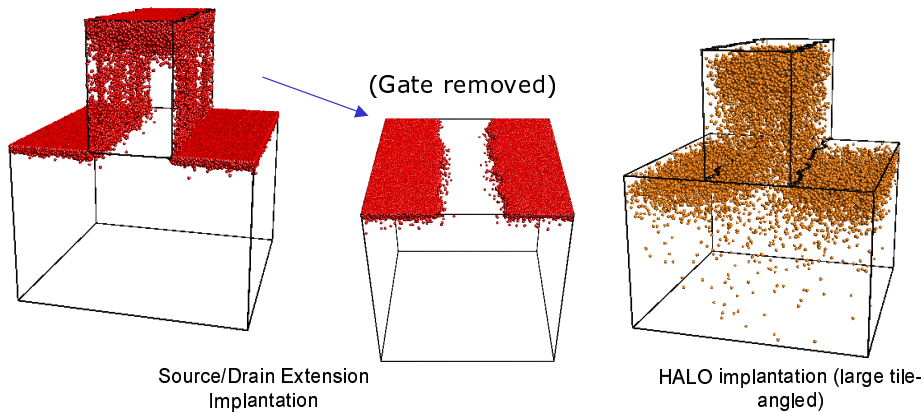


図 4.19: LER を考慮した 3D モンテカルロイオン注入シミュレーション

図 4.19 にポリシリコンに LER を考慮した 3次元イオン注入シミュレーションにより計算した注入直後のイオンの位置をプロットした。モンテカルロ計算においては、注入イオンとターゲット原子レベルの散乱を計算するため LER のようなラフネスを持った形状への注入シミュレーションも材質境界の判定を注意深く行えば問題ない。注入イオンのゲートポリシリコンやゲート酸化膜中の突き抜けも考慮されている。

ここでの 3次元デバイスシミュレーションは、基本的には流体ドリフト拡散型デバイスシミュレーションに、本研究の個々の不純物位置におけるクーロンポテンシャルの長距離成分を合成したポテンシャルを適用した”atomistic”な計算手法である[149]。長距離成分の切り分けには別途一様濃度のバルクシリコン内の電子移動度を Ensemble Monte Carlo/Molecular Dynamics ハイブリッドシミュレーションで計算し、適切な screening length を求めておくことで対応した。キャリア移動度の分子動力学計算部分で電子遮蔽効果が考慮されているため、短距離成分の切り離しに遮蔽の効果が二重にカウントされることは避けられている[149]。

また、ここではデバイスシミュレーションプログラムは SELETE 製の HyDeLEOS[151]をベースに本研究のモンテカルロイオン注入・拡散シミュレーションとのインターフェースを構築し、上記”atomistic”な静電ポテンシャル計算の組み込みを行う改造を施した。

さらに3次元デバイスシミュレーションにおけるメッシュはLER 振幅と離散不純物分布を両方カバーするように配慮した。ここでは、Tanaka らにより開発された数値解析上の安定条件である Delaunay 条件を満たす改良 advancing front 法 [152] による3次元不均一四面体メッシュ分割手法を用い、必要な領域だけ局所的に細分化し、総メッシュ数の増大を抑制し、記憶領域と計算時間を効率化した。図 4.20 に本研究で用いた典型的なメッシュ分割の例を示す。最小メッシュサイズは2nm で、総メッシュ数は標準的な単体ワークステーションのメモリ搭載量 (~1Gbyte) で十分実行可能な値に収まっている。

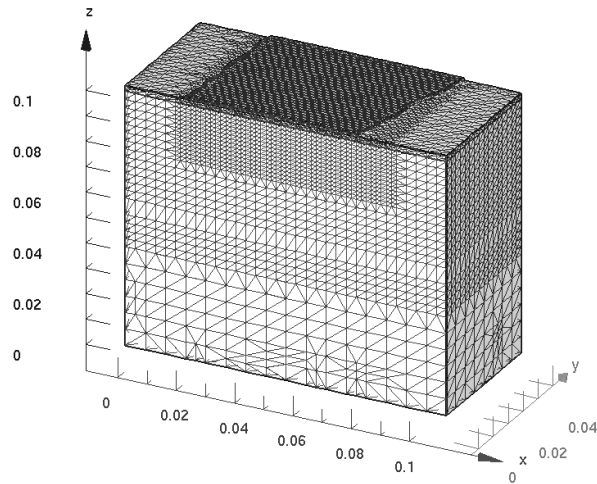


図 4.20: LER と離散的な不純物分布を考慮した3次元デバイスシミュレーションに用いた数値化石メッシュの例 (メッシュ点数は35344点、最小メッシュサイズは2nm)

4.3.2 LER と離散不純物ゆらぎの影響：結果と考察

LER と離散的な不純物分布を考慮した本研究の3次元原子レベルプロセスデバイスシミュレーションをサブ100nm super-halo MOSFET に適用した結果を示す。ここでは、source/drain extension 注入前工程で斜めイオン注入により super-halo 構造を作るものとする。典型的なゲート長 (L_g) として 65nm と 45nm を選択し、LER 振幅強度の標準偏差を 0~4nm まで変えて、それぞれ3次元プロセス/デバイスシミュレーションを行った。図 4.21 に製造プロセス工程の基本工程と、ある LER パターンにおけるイオン注入・拡散モンテカルロシミュレーションによる離散不純物分布の計算結果を示す。

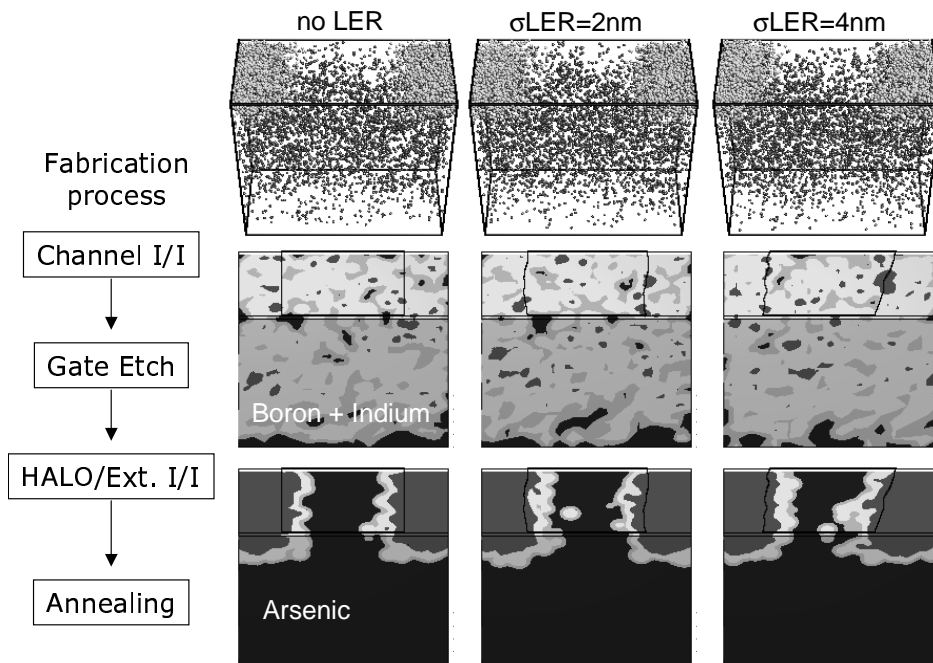


図 4.21: 異なる LER パターン振幅強度におけるイオン注入・拡散モンテカルロシミュレーションによる離散不純物分布の計算結果 (製造プロセス条件は全てのサンプリングデバイスについて同一、イオン注入ドーズや拡散温度のゆらぎは無しとし、LER 振幅強度の標準偏差を σ_{LER} と表す)

チャンネル不純物はボロン、halo 用インジウムは角度 30 度の斜めイオン注入、source/drain-extension 部は砒素イオン注入を想定した。原子レベルプロセス/デバイス一貫シミュレーションを行う全てのサンプリングデバイスの製造工程は同一とし、イオン注入ドーズ量や拡散温度/時間の装置上のばらつき・ゆらぎは無いものとする。サンプリングデバイスそれぞれで初期乱数種を変えることで、異なるイオン注入散乱、拡散酔歩パターンが確率的に変化するため、離散不純物の統計的なゆらぎは LER と共に自動的に考慮される。イオン注入後のアニール工程には、短チャンネル効果を抑制するために最近試みられている spike annealing もしくは flash-lamp annealing を、本研究の kinetic モンテカルロ拡散シミュレーションで計算した。

図 4.22 に、LER と離散不純物分布が微視的に異なる 80 通りのデバイスのオン電流、オフ電流 (I_{on} , I_{off}) の相関分布の計算結果を示す。

LER 振幅強度の標準偏差 (σ_{LER}) が 0nm の場合、ゲート長は全てのサンプリングデバイスで完全に同一であるため、 $I_{on} - I_{off}$ 相関分布のプロットのばらつきは離散的な不純物分布に起因するものである。図 4.22 からは、この離散不純物分布に起因するばらつきが LER に起因するものよりも大きく支配的であることが

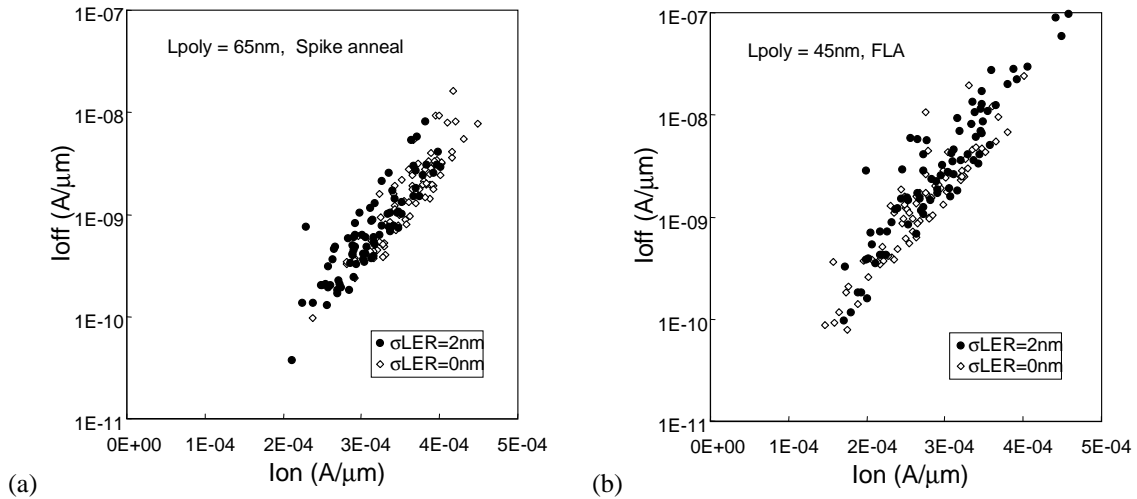


図 4.22: オン電流 vs オフ電流、のシミュレーション結果 (a) $L_g=65nm$ (b) $L_g=45nm$

見て取れる。また、このシミュレーション結果からは、LER 振幅強度が増すとゲート長のより小さいデバイスにおいて I_{off} が増大する傾向にあることが判る。図 4.22 に示すように、LER は $I_{on} - I_{off}$ 相関分布のプロットを I_{off} が増える方向に散らばらせ、またその I_{off} 増大効果はゲート長 45nm の場合の方が 65nm の場合よりも顕著である。このことは、LER を抑制することは、 I_{off} を減らし実効的にオン電流が稼げることにつながるが、ゲート長 65nm よりもゲート長が小さいデバイスで特に有効であることを示している。

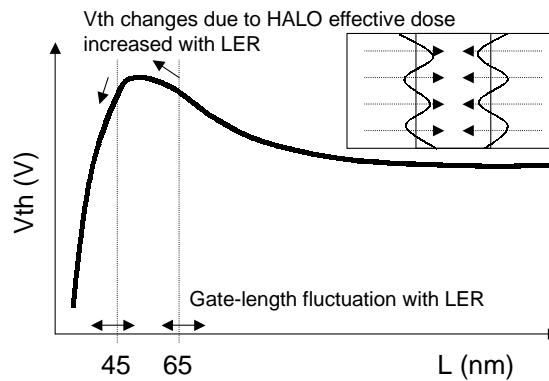


図 4.23: LER のしきい値への影響を表す概念図

LER を考慮した本シミュレーション結果からは、しきい値電圧 (V_{th}) の平均値が LER の振幅強度に依存してシフトすることが示されている。これは、ひとつには図 4.23 に示すように、その MOSFET デバイスの設計において、しきい値電圧とゲート長の関係 ($V_{th}-L$) が、どのような特性を示しているかに依存する。図 4.24 に異なるゲート長の MOSFET において LER 有り無しなしのしきい値電圧の頻度分布の計算結果を示す。

本シミュレーションから判明したのは、LER はデバイス動作上単にゲート長を変調させるだけでなく、斜めイオン注入の halo ドーズ量を実効的に増加させる効果を有しているということである。イオン注入マスクとして働く際のゲートポリシリコン端形状に顕著なラフネスがある場合、無い場合に比べて実効的な面積が増大し、斜めに注入されたイオンが、よりマスク長 (ゲート長) が短くなる方向すなわちチャンネル中央領域へ到達する割合が増えるからである。その結果、図 4.24(a) に示されるように、ゲート長 $L_g=65nm$ のデバイスでは、図 4.23 特性に従って平均しきい値電圧 V_{th} はプラス側にシフトし、一方、 $L_g=45nm$ のデバイスで

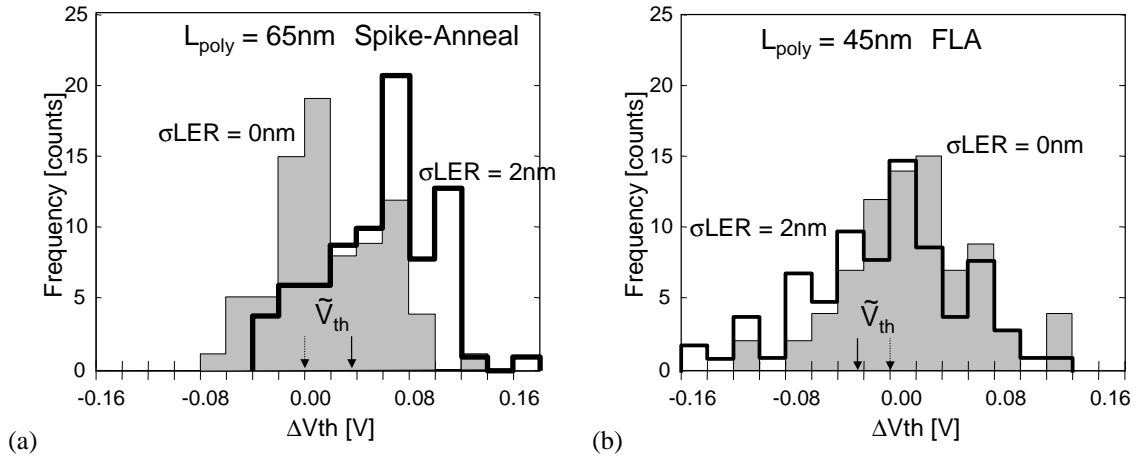


図 4.24: しきい値電圧頻度分布のシミュレーション結果 (LER はデバイスの V_{th} - L_g 特性に対応して平均しきい値電圧をシフトさせる)

は、図 4.24(b) に示されるように、平均 V_{th} は小さくなる方向へシフトする。

以上、本シミュレーション結果からは、LER は、離散的な不純物分布による影響に加えて、しきい値電圧 V_{th} のばらつきを増大させる効果があることが判った。異なる LER 振幅強度とゲート長・アニール条件における、しきい値電圧の平均値および標準偏差に関するシミュレーション結果をまとめたものを図 4.25 に示す。シミュレーションによる解析からは、近年より微細なデバイスへの適用可能性が評価されつつある極急速昇温アニール (flash-lamp-annealing (FLA)) によりイオン注入後の余剰拡散を抑制した場合、図 4.25(b) に示すように、LER に起因するしきい値電圧のばらつきがむしろ強調されるという側面があることも示されている。

図 4.26 に示すのは、異なる LER 振幅強度とアニール条件によるデバイス上面から見たシリコン表面近傍のポテンシャルゆらぎの計算結果を表示したものである。イオン注入後の余剰拡散を抑制したアニールの場合、ゲート端形状ゆらぎと直下の離散的な不純物分布ゆらぎは、source/drain-extension イオン注入で転写された、ゲート端ゆらぎが残存して非常に良く相関するようになり LER によるばらつきが強調される結果となる。これに対し、従来の spike-annealing の場合は、熱処理中にある程度の拡散による位置ゆらぎが発生してゲート端ゆらぎとの相関を崩し、source/drain extension 端部のばらつきもある程度スムージングさせるため、デバイス特性ばらつきに表われる LER の影響を緩和させると見ることができる。ここで見出された効果は、将来のサブ 50nm MOSFET 開発において LER を抑制するさらなる必然性を我々に示している。

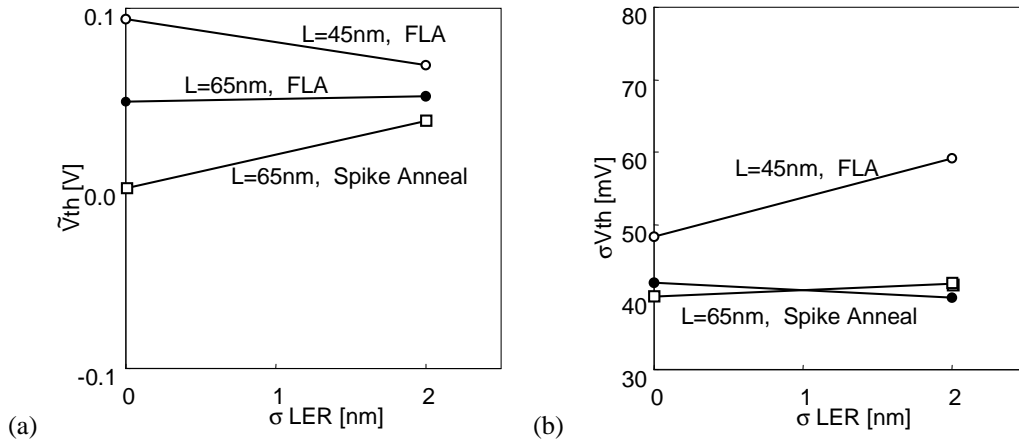


図 4.25: (a) 平均 V_{th} 、および (b) その標準偏差 σV_{th} の計算結果 (アニール条件は 1050 spike-annealing と 1200 flash-lamp-annealing (FLA) [150] を想定)

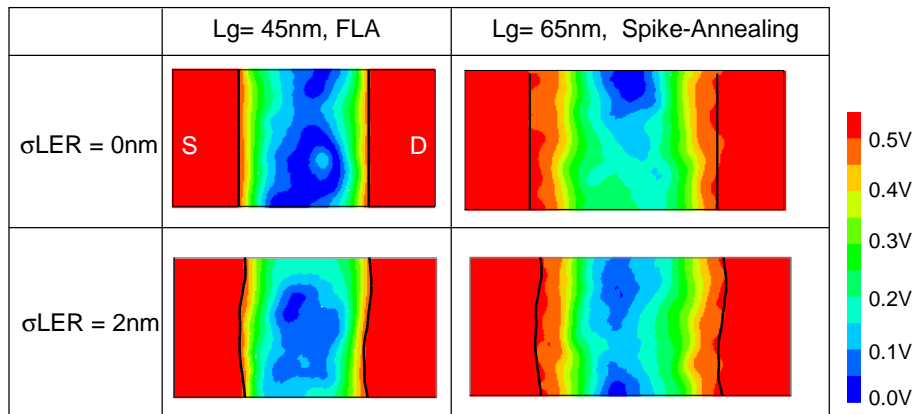


図 4.26: デバイス表面の静電ポテンシャル分布の計算結果 (拡散がほとんど無いアニール ($L_g=45\text{nm}$, FLA) の場合、ソース/ドレイン端でのゆらぎはゲート端ゆらぎに良く沿っているが、ある程度の拡散がある場合 ($L_g=65\text{nm}$, spike-annealing) ゲート端ゆらぎとの相関が減少)

4.3.3 まとめ

この章では、本研究の原子レベルプロセスシミュレーションの重要な応用として、3次元 atomistic プロセスデバイスシミュレーションによりサブ 100nm レベルの微細 MOSFET デバイスの真性ばらつき特性の詳細な解析を行った例について述べた。真性ばらつきの要因として、離散的な不純物分布のランダム性に起因するゆらぎと、ゲートポリシリコンのライン端ラフネスに起因する特性ゆらぎを取り上げ、両者が互いに相関しているために、従来のそれぞれ独立した個別のモデリングや2次元に簡略化した方法では不十分であった。3次元原子レベルの詳細なシミュレーションを可能にし、新たな知見を得た。装置・プロセス制御性から生じる大局的なばらつきを除く真性しきい値ばらつきに対しては、離散不純物分布のランダム性に起因する効果が最も支配的な要因であり、LER は付随的にばらつきを増大する効果を生じる。LER を良く抑制することは、サブ 50nm レベルから実効的にオフ電流 (ばらつき) の抑制として効果が顕著に見られるようになる。同時に、さらなる微細化に対応した製造工程のリファイン、特に、斜めイオン注入や diffusion-less annealing に関しては LER 効果を強調するものがあるために注意が必要である。

サブ 100nm MOSFET では、個々のデバイス性能を向上することももちろん重要であるが、大規模集積回路の性能を真に追求するためには、ばらつきに対する知見とそれを克服する手段を見出すことが今後益々重要になる。本研究の3次元原子レベルプロセスデバイスシミュレーションは LER や離散不純物分布の影響度の解析を含めて、更なるデバイス設計と製造条件の最適化に有効な手段となりえるものである。(本章の内容は主に原著論文 (6) と国際学会 (16-17,19) で発表。)

第5章

結論

サブ 100nm 世代も視野に入れた微細 MOSFET のプロセスモデリングの研究を行い、最適なデバイス構造の設計と高精度化指針の将来展望を開くことに役立つ新しいプロセス・デバイスシミュレーションの方法を開拓した。

微細化を含むデバイス性能向上を追及する試みからは、数々の興味ある物理現象が出現し、詳細なシミュレーションには新たな物理モデルの構築が不可避であった。本研究においては、プロセス・デバイスシミュレーション技術が今後も激化するプロセス・デバイス開発競争に用いる戦略的ツールとして活用されるようになるための詳細かつ実用的なモデリングの研究を行ない、チャネリング現象を含めたイオン注入の詳細なシミュレーション技術、および不純物のみならず点欠陥とクラスターの挙動も考慮した詳細な拡散・活性化シミュレーション技術、を新たに開発した。また、非経験的第一原理計算技術や分子動力学計算も駆使、応用することにより、原子レベル拡散モンテカルロシミュレーションに至っては、実験結果からのフィッティングパラメータをほとんど必要としない「予測型」のプロセスシミュレーションを実現できた。さらに進んだアプローチとして、原子レベルのイオン注入と不純物拡散のシミュレーション結果を、3次元”atomistic”デバイスシミュレーションと組み合わせて、平均的なデバイス動作解析のみならず、将来の限界と大規模集積回路の本質的性能を左右すると見られる真性ばらつきの予測を可能にした。

本研究における具体的な成果を以下に挙げる。

- シリコン結晶構造を考慮したモンテカルロシミュレーション手法を、物理モデル・計算技法の両面で改良し、イオン注入直後の詳細な不純物分布結晶のダメージについてサブ keV 注入条件まで対応した 3次元詳細予測を可能にした。
- イオン注入後のアニール時の過渡的な増速拡散現象と電気的不活性化現象について、非平衡ペア拡散モデルに基づく詳細なシミュレーションを可能にした。新モデルは、1次元深さ方向濃度プロファイルの実測結果を再現するのみならず、イオン注入ダメージに起因した2次元効果としての逆短チャネル効果を定量的に再現でき、微細デバイス最適化設計に貢献した。
- 拡散種および複合体の荷電状態を考慮した原子レベル拡散モンテカルロシミュレーション手法を開発し、イオン注入後のボロンスパイクアニールに関しては、実験結果からのフィッティングパラメータをほとんど必要としない「予測型」のシミュレーションを実現した。また、この「予測型」シミュレーションで将来の極急速昇温アニールの実用性を仮想的に評価、活性化率に対し最高到達温度の依存性が大きいことを示した。
- 原子レベルの3次元イオン注入と拡散の連続シミュレーションにより微細デバイス中に導入される

個々の不純物位置を計算し、各不純物位置におけるクーロンポテンシャルの長距離成分を取り入れた3次元デバイスシミュレーションとを組み合わせる新手法を開発した。これにより、サブ100nm世代CMOSで問題視されている真性ばらつき（製造条件の大局的ばらつき以外の人為的に容易には避け難いばらつき）の予測と要因分析を可能にした。

今後は、この3次元原子レベルプロセスデバイスシミュレーションシステムを、実際の将来デバイスの開発にさらに応用していく際に発生すると思われる新たな問題にも対応していかなければならない（例えば計算時間の短縮、新材料・新プロセスへの対応等）。そのためにも、基礎的な分野の幅広い知識／知見を、実用的な観点で計算する数値計算テクニックと有機的に融合させていかなければならない。本研究により進展したプロセスデバイスシミュレーション技術は、今後のサブ100nm MOSFETの開発をその重要な試金石とし、しいては将来の半導体デバイス超高集積回路を実用化した情報技術産業の発展につながるものと期待しうる。

謝辞

本論文をまとめるにあたり、主査として親身の御指導を頂いた慶應義塾大学理工学部 眞壁 利明 教授に感謝いたします。また、副査としてご指導および有益な助言を頂いた同大学の 桑野 博 教授、松本 智 教授、黒田 忠広 教授、に感謝いたします。

本研究の機会を与えて頂き、励ましとご協力を頂いた NEC システムデバイス研究所の福間 雅夫 博士、最上 徹 博士、同社研究企画部の 國尾 武光 博士、同社システムプラットフォーム研究所の 古川 昭雄 博士、SELETE の 遠藤 伸裕 博士、アネルパの 長谷川 晋也 博士に感謝します。また、研究遂行に個別にご協力頂いた NEC システムデバイス研究所の田中 克彦 氏、江崎 達也 博士、竹内 潔 博士、NEC 情報システムズの 野津 明男 氏、池澤 健夫 氏に感謝します。

第一原理 LDA-DFT 計算プログラムおよび Tight-binding モデルプログラムの提供と有意義な助言を頂いた東京大学の杉野 修 博士、NEC 基礎研究所の宮本 良之 博士、並びに、筑波大学の押山 淳 教授に感謝します。

シミュレーションの実際の応用に関して有意義な討議とご協力を頂いた、STARC の熊代成孝博士に感謝します。貴重な実測結果を提供して頂くと共に有益な助言も頂いた、NEC エレクトロニクス社の 松本比呂志 博士、広井政幸氏、麻多進 博士、秋山 豊 氏、小野 篤 博士、獅子口 清一 博士、松田 友子氏に感謝します。

共同研究において有意義な討議を重ねていただいた元 Agere systems の Conor S. Rafferty 博士 (現 Novel Device Technology) 、George Gilmer 博士 (現 Lawrence Livermore 研究所) 、Valladolid 大学の Martin Jaraiz 教授に感謝します。偏微分方程式ソルバーの使用を許可していただいた Vienna 工科大学の Siegfried Selberherr 教授に感謝します。また、TCAD 分野の学会活動や情報収集にあたり、機会がある度にご助言頂く、Stanford 大学の Robert W. Dutton 教授、Florida 大学の Mark Law 教授、Washington 大学の Scott T. Dunham 教授に感謝します。

参考文献

- [1] R.W. Dutton, "TCAD — Yesterday, Today and Tommorrow," IEICE Trans. Electronics, E82-C, pp.791-799 (1999)
- [2] S. Kumashiro, "Advanced Process/Device Modeling and Its Impact on the CMOS Design Solution," Proc. of *International Conference on Simulation of Semiconductor Process and Devices (SISPAD)*, pp.83-86 (1999)
- [3] H. Wakabayashi, M. Ueki, M. Narihiro, T. Fukai, N. Ikezawa, T. Matsuda, K. Yoshida, K. Takeuchi, Y. Ochiai, T. Mogami and T. Kunio, "45-nm Gate Length CMOS Technology and Beyond using Steep Halo," IEDM Tech. Digs., pp.49-52 (2000)
- [4] K. Tsuji, K. Takeuchi and T. Mogami, "High Performance 50-nm Physical Gate Length pMOSFETs by using Low Temperature Activation by Re-Crystallization Scheme," Symp. on VLSI Tech., pp.9-10 (1999)
- [5] M. Hane and M. Fukuma, "Ion Implantation model considering crystal structure effects," IEEE Trans. Electron Devices, vol.37, nol.9, pp.1959-1963 (1990)
- [6] M. Hane, T. Ikezawa, and H. Matsumoto, "A fast Monte Carlo ion implantation simulation based on statistical enhancement technique and parallel computation," *NEC Research and Development*, vol.37, no.2, pp.170-178 (1996)
- [7] J. Lindhard, M. Scharff and M. Schiott, "Range concepts and heavy ion ranges," Mat. Fys. Medd. Dan. Vid. Sclsk. vol.33, no.14, pp.1-42 (1963)
- [8] R. G. Wilson, "The pearson-IV distribution and its application to ion implantation depth profiles," Rad. Eff., vol.46 pp.141-148 (1980)
- [9] Al. F. Tasch, "An improved approach to accurately model shallow B and BF₂ implants in silicon," J. Electrochem. Soc., vol.36, no.3, pp.810-814 (1989)
- [10] J. P. Biersack, L. G. Haggmark, "A Monte Carlo computer program for the transport of energetic ions in amorphous targets," Nucl. Inst. and Meth., vol.174, pp.257-269 (1980)
- [11] M. T. Robinson and I. M. Torrens, "Computer simulation of atomic displacement cascades in solids in the binally collision approximation," Phys. Rev. B, vol.9, no.12, pp.5008-5024 (1974)
- [12] K. Kato, "As ion implantation simulation for trench structures using a Monte Carlo method," IEEE Trans. Electron Devices, vol.35, nol.11, pp.1820-1828 (1988)
- [13] G. Hobler and S. Selberherr, "Monte Carlo simulation of ion implantation into two- and three-dimensional structures," IEEE Trans.CAD, vol.8, no.5, pp.450-459 (1989)
- [14] L. A. Cristel, J. F. Gibbons and S. Myroie, "An application of the Boltzmann transport equation to ion range and damage distributions in multi layered targets," J. Appl. Phys., vol.51, pp.6176-6182 (1980)
- [15] M. T. Giles, "Ion implantation calculations in two dimensions using the Boltzmann transport equation," IEEE Trans. Computer-aided Design, vol.5, no.4, pp.679-684 (1985)
- [16] M. T. Giles, J. F. Gibbons, "Calculation of channeling effects during ion implantation using the Boltzmann transport equation," IEEE Trans.,ED., vol.32, no.10, pp.1918-1942 (1985)
- [17] T. Takeda, S. Tazawa and A. Yoshii, "Precise ion-implantation analysis including channeling effects,"

- IEEE Trans. Electron Devices, vol.33, no.9, pp.1278-1285 (1936)
- [18] T.L.Crandle and B.J.Mulvaney, "An ion implantation model incorporating damage calculations in crystalline targets," IEEE Electron Device Lett., vol.11, no.1, pp.42-44 (1990)
- [19] 蒲生健次：半導体イオン注入技術、産業図書, p.41 (1986)
- [20] B. Baccus and E. vandenbossche, "A continuous general model for boron diffusion during post-implant annealing including damaged and amorphizing conditions," IEDM Tech.Dig., pp.869-872 (1994)
- [21] J. F. Ziegler, J. P. Biersack and U. Littmark, The Stopping and Range of Ion in Solids, vol.1, New York:Pergamon, 1985
- [22] K. M. Klein, C. Park and Al. F. Tasch, "Monte Carlo simulation of ion implantation into single-crystal silicon including new models for electronic stopping and cumulative damage," IEDM Tech. Dig., pp.745-748 (1990)
- [23] C. S. Murthy and G. R. Srinivasan, "Computer simulation studies of ion implantation in crystalline silicon," IEEE Trans. Electron Devices, vol.39, no.2, pp.264-273 (1992)
- [24] 峰地、1997年秋季 応用物理学会 3a-PC-14 (1997)
- [25] 池沢、羽根、古川、1998年春季 応用物理学会、28a-L-2 (1998)
- [26] H. Nakamura and T. Horiuchi, "A self-aligned counter-doped well process utilizing channeling ion implantation," IEEE Trans. on Electron Devices, vol.43, no.7, pp.1099-1103 (1996)
- [27] S. Tian, S.J. Morris, M. Morris, B. Obradovic and A.F. Tasch, "Monte Carlo simulation of ion implantation damage process in silicon," IEDM Tech. Digs., pp.713-716 (1996)
- [28] S. J. Morris, B. Obradovic, S.-H. Yang, and A. F. Tasch, "Modeling of Boron, Phosphorus, and Arsenic implants into single-crystal silicon over a wide energy range," IEDM Tech. Digs., pp.721-724 (1996)
- [29] G. Hobler and H. Pötzl, "Simulation of two-dimensional implantation profiles with a large concentration range in crystalline silicon using an advanced Monte Carlo method," IEDM Tech. Digs., pp.693-696 (1991)
- [30] M. Hane and H. Matsumoto, "A model for boron short time annealing after ion implantation," IEEE Trans. on Electron Devices, vol.40, no.7, pp.1215-1222 (1993)
- [31] W. Vandervorst and T. Clarysse, "On the determination of dopant/carrier distributions," J. Vac. Sci. Tech., B10(1), pp.302-315 (1992)
- [32] J. P. Biersack and W. Eckstein, "Sputtering Studies with the Monte Carlo Program TRIM.SP," Appl. Phys., A34, pp.73-94 (1984)
- [33] For example: S. Hofmann, "Cascade mixing limitations in sputter profiling," J. Vac. Sci. Tech., B10(1), pp.316-322 (1992)
- [34] *Practical Surface Analysis*, edited by D. Briggs and M. P. Seah, John Wiley & Sons Ltd. (1988)
- [35] P. N. Allen and M. G. Dowsett, "Maximum Entropy Quantification of SIMS Depth Profiles - Behaviour as a Function of Primary Ion Energy," Surf. and Int. Anal., vol.21, pp.206-209 (1994)
- [36] C. S. Rafferty, H.-H. Vuong, S. A. Eshraghi, M. D. Giles, M. R. Pinto and S. J. Hillenius, "Explanation of reverse short channel effect by defect gradients," IEDM Tech. Digest, pp.311-314 (1993)
- [37] C. P. Ho, J. D. Plummer, S. E. Hansen, and R. W. Dutton, "VLSI process modeling - SUPREM III," IEEE Trans. Electron Devices, vol.30, no.11, pp.1438-1453 (1983)
- [38] D. Collard and K. Taniguchi, "IMPACT - A point defect based two-dimensional process simulator: Modeling the lateral oxidation-enhanced diffusion of dopants in silicon," IEEE Trans. Electron Devices, vol.33, no.10, pp.1454-1462 (1986)
- [39] P. M. Fahey, P. B. Griffin, and J. D. Plummer, "Point defects and dopant diffusion in silicon," Rev. Mod. Phys., vol.61, no.2, pp.289-384 (1989)
- [40] R. Car, P. J. Kelly, A. Oshiyama, and S. T. Pantelides, "Microscopic theory of atomic diffusion mechanisms in silicon," Phys. Rev. Lett., vol.52, no.20, pp.1814-1817 (1984)

- [41] C. S. Nichols, C. G. Van de Walle, and S. T. Pantelides, "Mechanisms of equilibrium and nonequilibrium diffusion of dopants in silicon," *Phys. Rev. Lett.*, vol.62, no.9, pp.1049-1052 (1989)
- [42] O. Sugino and A. Oshiyama, "Vacancy in Si: Successful description within the local-density approximation," *Phys. Rev. Lett.*, vol.68, no.12, pp.1858-1861 (1992)
- [43] O. Sugino and A. Oshiyama, "Microscopic mechanism of atomic diffusion in Si under pressure," *Phys. Rev. B*, vol.46, no.19, pp.12335-12341 (1992)
- [44] P. E. Blöchl, C. G. Van de Walle, and S. T. Pantelides, "First-principles calculations of diffusion coefficients: Hydrogen in silicon," *Phys. Rev. Lett.*, vol.64, no.12, pp.1401-1404 (1990)
- [45] N. E. B. Cowern, K. T. F. Janssen and H. F. F. Jos, "Transient diffusion of ion-implanted B in Si: Dose, time, and matrix dependence of atomic and electrical profiles," *J. Appl. Phys.*, vol.68, no.12, pp.6191-6198 (1990)
- [46] T. L. Crandle, W. B. Richardson, and B. J. Mulvaney, "A kinetic model for anomalous diffusion during post-implant annealing," *IEDM Tech. Digs.*, pp.636-639 (1988)
- [47] M. Yoshida, "Excess vacancy generation by E-center dissociation in the case of phosphorus diffusion in silicon," *J. Appl. Phys.*, vol.48, no.6, pp.2169-2174 (1977)
- [48] C. S. Nichols, C. G. Van de Walle, and S. T. Pantelides, "Mechanisms of dopant impurity diffusion in silicon," *Phys. Rev. B*, vol.40, no.8, pp.5484-5496 (1989)
- [49] D. Mathiot and J. C. Pfister, "Dopant diffusion in silicon: A consistent view involving non equilibrium defects," *J. Appl. Phys.*, vol.55, no.10, pp.3518-3530 (1984)
- [50] G. B. Bronner and J. D. Plummer, "Gettering of gold in silicon: A tool for understanding the properties of silicon interstitials," *J. Appl. Phys.*, vol.63, no.1, pp.5286-5298 (1987)
- [51] W. A. Orr Arienzo, R. Glang, R. F. Lever, R. K. Lewis, and F. F. Morehead, "Boron diffusion in silicon at high concentrations," *J. Appl. Phys.*, vol.63, no.1, pp.116-120 (1988)
- [52] W. Jüngling, P. Pichler, S. Selberherr, E. Guerrero, and H. W. Pötzl, "Simulation of critical IC fabrication process using advanced physical and numerical methods," *IEEE Trans. Electron Devices*, vol.32, no.2, pp.156-167 (1985)
- [53] W. B. Richardson and B. J. Mulvaney, "Non-equilibrium behavior of charged point defects during phosphorus diffusion in silicon," *J. Appl. Phys.*, vol.65, no.6, pp.2243-2247 (1989)
- [54] B. J. Mulvaney and W. B. Richardson, "The effect of concentration dependent defect recombination reactions on phosphorus diffusion in silicon," *J. Appl. Phys.*, **67**(6), p.3197 (1990)
- [55] J. A. Van Vechten and C. D. Thurmond, "Comparison of theory with quenching experiments for the entropy and enthalpy of vacancy formation in Si and Ge," *Phys. Rev. B*, vol.14, no.8, pp.3551-3557 (1976)
- [56] R. D. Harris, J. L. Newton and G. D. Watkins, "Negative- U Properties for Interstitial Boron in Silicon," *Phys. Rev. Lett.*, **48**(18), pp.1271-1274 (1982)
- [57] S. Solmi, F. Baruffaldi, and R. Canteri, "Diffusion of boron in silicon during post-implantation annealing," *J. Appl. Phys.*, vol.69, no.4, pp.2135-2142 (1991)
- [58] P.B. Griffin, P.A. Packan, and J.D. Plummer, "Consistent models for point defects in silicon," 1991 Int. Workshop on VLSI process and device modeling (VPAD), pp.4-7 (1991)
- [59] K. Uwasawa, T. Uchida, T. Ikezawa, M. Hane, T. Matsuki, H. Kato and K. Ishida, "A news boron diffusion model incorporating dislocation loop growth," *IEDM Tech. Digs.*, pp. 873-876 (1994)
- [60] D. K. Sadana, A. Acovic, G. Shahidi, H. Hanafi, A. C. Warren, D. Grutzmacher, F. Cardone, J. Sun, and B. Davari, "Enhanced short-channel effects in NMOSFETs due to boron redistribution induced by arsenic source and drain implant," *IEDM Tech. Digest*, pp.849-852 (1992)
- [61] K. S. Jones, S. Prussin, and E. R. Weber, "A systematic analysis of defects in ion-implanted silicon," *Appl. Phys. A*, vol.45, pp.1-34 (1988)
- [62] S. T. Dunham, "A quantitative model for the coupled diffusion of phosphorus and point defects in

- silicon," J. Electrochem. Soc., vol.139, no.9, pp.2628-2636 (1992)
- [63] K. Ghaderi, G. Hobler, M. Budil, H. Pötzl, P. Pichler, H. Ryssel, W. Hansch, I. Eisele, C. Tian and G. Stingeder, "Simulation of buried layer experiments containing all four dopant species," Semiconductor Silicon/1994, The electrochemical society, pp.613-624 (1994)
- [64] S. T. Dunham and C. D. Wu, "Atomistic models of vacancy-mediated dopant diffusion in silicon at high doping levels," 1994 International workshop NUPAD, pp.101-104 (1994)
- [65] P. M. Rousseau, P. B. Griffin, S. C. Kuehne, and J. D. Plummer, "Device implications of enhanced diffusion caused by the electrical deactivation of arsenic," IEDM Tech. Dig., pp.861-864 (1994)
- [66] K. Nishi, H. Matsushashi, T. Ochiai, M. Kasai and T. Nishikawa, "Evidence of channel profile modification due to implantation damage studies by a new method and its implication to reverse short channel effects of nMOSFETs," IEDM Tech. Digs., pp.993-995 (1995)
- [67] M. Hane, C.S. Rafferty, T. Ikezawa, and H. Matsumoto, "Boron diffusion model refinement and its effect on the calculation of reverse short channel effects," Proc. SISPAD, pp.15-16 (1996)
- [68] M. Hane, T. Ikezawa, M. Hiroi, and H. Matsumoto, "Dopant diffusion model refinement and its impact on the calculation of reverse short channel effect," IEDM Tech. Digs., pp. 803-806 (1996)
- [69] S. W. Crowder, P. M. Rousseau, J. P. Snyder, J. A. Scott, P. B. Griffin and J. D. Plummer, "The effect of Source/Drain processing on the reverse short channel effect of deep sub-micron bulk and SOI NMOSFETs," IEDM Tech. Digs., pp.427-430 (1995)
- [70] K. Takeuchi, T. Yamamoto, A. Furukawa, T. Tamura, K. Yoshida, "High performance sub-tenth micron CMOS using advanced boron doping and WSi_2 dual gate process," Symp. on VLSI Tech., pp.9-10 (1995)
- [71] PROMIS 1.6 Release Notes, K. Wimmer, June 1991, Technical University of Vienna.
- [72] S. Kumashiro and M. Sakurai, "Two-dimensional two-carrier general purpose device simulator BIUNAP," Proc. NASECODE-IV, pp.365-371 (1985)
- [73] H. Park and M. E. Law, "Point defect based modeling of low dose silicon implant damage and oxidation effects on phosphorus and boron diffusion in silicon," J. Appl. Phys., vol.72, no.8, pp.3431-3439 (1992)
- [74] D. R. Lim, C. S. Rafferty, and F. P. Klemens, "The role of the surface in transient enhanced diffusion," Appl. Phys. Lett., vol.67, no.16, pp.2302-2304 (1995)
- [75] B. Baccus, E. Vandenbossche, and M. Lannoo, "Modeling high-concentration boron diffusion under amorphization conditions," J. Appl. Phys., vol.77, no.11, pp.5630-5641 (1995)
- [76] J. M. Poate, D. J. Eaglesham, G. H. Gilmer, H.-J. Gossmann, M. Jaraiz, C. S. Rafferty and P. A. Stolk, "Ion implantation and transient enhanced diffusion," IEDM Tech. Digs, pp.77-80 (1995)
- [77] C. S. Rafferty, G. H. Gilmer, M. Jaraiz, D. J. Eaglesham, and H.-J. Gossmann, "Simulation of cluster evaporation and transient enhanced diffusion in silicon," Appl. Phys. Lett., vol.68, no.17, pp.2395-2397 (1996)
- [78] E. Vandenbossche, H. Jaouen and B. Baccus, "Modeling Arsenic Activation and Diffusion during Furnace and Rapid Thermal Annealing," IEDM Tech. Digs., pp.81-84 (1995)
- [79] S. M. Hu, "Kinetics of Interstitial supersaturation during oxidation of silicon," Appl. Phys. Lett., **43**(5), p.449-451 (1983)
- [80] A. M. Agarwal and S. T. Dunham, "Consistent quantitative model for the spatial extent of point defect interactions in silicon," J. Appl. Phys., vol.78, no.9, pp.5313-5319 (1995)
- [81] B. E. Deal and A. S. Grove, "General Relationship for the Thermal Oxidation of Silicon," J. Appl. Phys., vol.36, pp.3770-3778 (1965)
- [82] Y. Miyamoto and A. Oshiyama, "Atomic and electronic structures of oxygen on Si(100) surfaces: Metastable adsorption sites," Phys. Rev. B, vol.41, no.8, pp.12680-12686 (1990); Phys. Rev. B, vol.43, no.11, pp.9287-9290 (1991)
- [83] A. Oshiyama, Y. Miyamoto, M. Hane and A. Ishitani, "Microscopic Theory of Oxidation of Si and For-

- mation of Si/SiO₂ Interface, ” International Workshop on Computational Materials Science (Tsukuba, Japan) August 23-24, pp. 1-8 (1990)
- [84] M. Hane, Y. Miyamoto, and A. Oshiyama, “Atomic and Electronic Structures of an interface between silicon and β -cristobalite,” *Phys. Rev. B*, vol.41, no.18, pp.12637-12640 (1990)
- [85] A. Ourmazd, D. W. Taylor, J. A. Rentschler, and J. Bevk, “Si-SiO₂ transformation: interfacial structure and mechanism,” *Phys. Rev. Lett.*, vol.59, no.2, pp.213-216 (1987)
- [86] P. H. Fuoss, L. J. Norton, S. Brennan, and A. Fischer-Colbrie, “X-ray scattering studies of the Si-SiO₂ interface,” *Phys. Rev. Lett.*, vol.60, no.7, pp.600-603 (1988)
- [87] H. Kageshima, K. Shiraishi, and S. Uematsu, *Japan J. Appl. Phys.*, 38, p.L971 (1999)
- [88] M. Hiroi, T. Ikezawa, M. Hane and H. Matsumoto, ”A Pair-diffusion Model for Arsenic in Silicon considering Arsenic Deactivation-induced Interstitial-Silicon Emission,” *Mat. Res. Soc. Symp. Proc.*, Vol.469, pp.371-376 (1997)
- [89] T.D. de la Rubia and M.-J. Caturla, ”Atomic-scale simulations of arsenic ion implantation and annealing in silicon,” *ECS spring meeting abstracts* ,p.478 (1996)
- [90] J. L. Hoyt and J. F. Gibbons, “Rapid Thermal Annealing of As in Si,” *Mat. Res. Soc. Symp.*,**52**, pp.15-22 (1986)
- [91] D. Mathiot, “Modeling of low thermal budget redistribution of arsenic in silicon: dynamic clustering,” *ECS proceedings*, vol.95-5, pp.13-20 (1995)
- [92] P.M. Rousseau, P.B. Griffin, S.C. Kuehne and J.D. Plummer, ”Device implications of enhanced diffusion caused by the electrical deactivation of arsenic,” *IEDM Tech. Digs.*, pp.861-864 (1994)
- [93] M. Hiroi, T. Ikezawa, M. Hane and A. Furukawa, ”Evaluation of Excess Interstitial Silicon Amount Using Delta-doped Boron Markers Grown by UHV-CVD,” *Proc. SISPAD*, pp.63-66 (1999)
- [94] H. Sakamoto, S. Kumashiro, M. Hiroi, M. Hane, and H. Matsumoto, ”Simulation of Reverse Short Channel Effects with a Consistent Point-Defect Diffusion Model,” *Proc. SISPAD*, pp.137-140 (1997)
- [95] R. Subrahmanyam, M. Orłowski and G. Huffman, “Simulation and experimental study of the dynamics of arsenic clustering and precipitation including ramp-up and ramp-down conditions,” *IEDM Tech. Digs.*, pp.749-752 (1990)
- [96] A. G. O’Neill, C. Hill, J. King and C. Please, “A new model for the diffusion of arsenic in polycrystalline silicon,” *J. Appl. Phys.*, vol.64, no.1, pp.167-174 (1988)
- [97] A. D. Sadovnikov, “One-dimensional modeling of high concentration boron diffusion on polysilicon-silicon structure,” *Solid-State Electronics*, vol.34, no.9, pp.969-975 (1991)
- [98] K. Sakamoto, K. Nishi, T. Yamaji, T. Miyoshi and S. Ushio, “Complete process modeling for VLSI Multilayer structure,” *J. Electrochem. Soc.*, vol.132, no.10, pp.2457-2462 (1985)
- [99] S. Kamohara, T. Kobayashi, M. Sugaya and S. Yamamoto, “New models for the simulation of polysilicon impurity diffusion sources for a wide range of process conditions,” *IEEE Bip. Circuits and Tech. Meeting*, pp.126-129 (1992)
- [100] B. J. Mulvaney, W. B. Richardson and T. L. Crandle, “PEPPER — A process simulator for VLSI,” *IEEE Trans. on Computer-aided design*, vol.8, no.4, pp.336-349 (1989)
- [101] F. Lau, “Modeling of polysilicon diffusion sources during rapid optical annealing,” *Appl. Phys. A*, vol.54, pp.139-146 (1992)
- [102] M. Mandurah, K. C. Saraswat, C. R. Helms and T. I. Kamins, “Dopant segregation in polycrystalline silicon,” *J. Appl. Phys.*, vol.51, no.11, pp.5755-5763 (1980)
- [103] T. Kamin, *Polycrystalline Silicon for Integrated Circuit Applications*, Kluwer Academic Publishers, Boston (1988)
- [104] M. Y. Tsai, F. F. Morehead, J. E. Baglin and A. E. Michel, “Shallow junctions by high-dose As implants in Si: experiments and modeling,” *J. Appl. Phys.*, vol.51, no.6, pp.3230-3235 (1980)
- [105] Y. Wada and S. Nishimatsu, “Grain growth mechanism of heavily phosphorus-implanted polycrystalline

- silicon," J. Electrochem. Soc., vol.125, no.9, pp.1499-1504 (1978)
- [106] L. Mei, M. Rivier, Y. Kwark and R. W. Dutton, "Grain-growth mechanisms in polysilicon," J. Electrochem. Soc., vol.129, no.8, pp.1791-1795 (1982)
- [107] B. Swaminathan, K. C. Saraswat, R. W. Dutton and T. I. Kamins, "Diffusion of arsenic in polycrystalline silicon," Appl. Phys. Lett., vol.40, no.9, pp.795-798 (1982)
- [108] J. Kodate, M. Miyake and S. Konaka, "Diffusion for uniforming ion implanted As profile in polysilicon," Fall Meeting, The Japan Soc. of Appl. Phys., 18a-ZT-1 (1992)
- [109] N. Lifshitz, "Solubility of implanted dopants in polysilicon: phosphorus and arsenic," J. Electrochem. Soc., vol.130, no.12, pp.2464-2467 (1983)
- [110] F.H. Stlinger and T.A. Weber, "Computer simulation of local order in condensed phases of silicon," Phys. Rev. B 31, p.5262 (1985)
- [111] G. H. Gilmer, T.D. de la Rubia, D.M. Stock and M. Jaraiz, "Diffusion and interactions of point defects in silicon: molecular dynamics simulations," Nulc. Inst. Meth., B 102, pp.247-255 (1995)
- [112] T. Sinno, Z. K. Jiang, and R. A. Brown, "Atomistic simulation of point defects in silicon at high temperature," Appl. Phys. Lett., vol.68, no.21, pp.3028-3030 (1996)
- [113] M. Hane, T. Ikezawa and A. Furukawa, "Molecular dynamics calculation studies of interstitial-Si diffusion and arsenic ion implantation damage," IEICE vol.E83-C, no.8, pp.1247-1252 (2000)
- [114] A. Nakano, P. Vashishta and R. K. Kalia, "Parallel multiple-time-step molecular dynamics with three-body interaction," Comp. Phys. Comm., vol.77, pp.303-312 (1993)
- [115] M. Nastar, V. V. Bulatov and S. Yip, "Saddle-point configurations for self-interstitial migration in silicon," Phys. Rev. B, vol.53, no.20, pp.13521-13527 (1996)
- [116] K. Kato, "Silicon self-interstitial migration paths and barrier energies by the critical-path method," J. Phys.: Condens. Matter, vol.5, pp.6387-6406 (1993)
- [117] L.A. Marques, L. Pelaz, J. Hernandez and J. Barbolla, "The Role of Incomplete Interstitial-Vacancy Recombination on Silicon Amorphization," Proc. SISPAD, pp.26-29 (2001)
- [118] J. Kim, J.W. Wilkins, F.S. Khan, and A. Canning, "Extended Si {311} defects," Phys. Rev. B, vol.55, pp.16186-16197 (1997)
- [119] Y. H. Lee, "Silicon di-interstitial in ion-implanted silicon," Appl. Phys. Lett., vol.73, no.8, pp.1119-1121 (1998)
- [120] J. Kim, F. Kirchhoff, W.G. Aulbur, J.W. Wilkins, F.S. Khan, and G. Kresse, "Thermally Activated Reorientation of Di-interstitial Defects in Silicon," Phys. Rev. Lett., vol.83, no.10, pp.1990-1993 (1999)
- [121] I. Kwon, R. Biswas, C.Z. Wang, K.M. Ho, and C.M. Soukoulis, "Transferable tight-binding models for silicon," Phys. Rev. B, vol.49, no.11, pp.7242-7249 (1994); L. Goodwin, A. J. Skinner and D. G. Pettifor, Europhys. Lett., vol.9, no.7, pp.701-706 (1989)
- [122] M. Hane, T. Ikezawa and G. H. Gilmer, "Di-interstitial Diffusivity and Migration Path Calculations Based on Tight-Binding Hamiltonian Molecular Dynamics," Proc. SISPAD, pp.119-122 (2000)
- [123] B. Sadigh, T.J. Lenonsky, S.K. Theiss, M.-J. Caturla, T.D. de la Rubia, and M.A. Foad, "Mechanism of Boron Diffusions in Silicon: An *Ab Initio* and Kinetic Monte Carlo Study," Phys. Rev. Lett., **83**, pp.4341-4344 (1999)
- [124] W. Windl, M.M. Bunea, R. Trunpf, S.T. Dunham and M.P. Masquelier, "First-Principles Study of Boron Diffusion in Silicon," Phys. Rev. Lett., vol.83, no.21, pp.4345-4348 (1999)
- [125] J. Zhu, T.D. de la Rubia, L.H. Yang, C. Mailhoit and G.H. Gilmer, "*Ab initio* pseudopotential calculations of B diffusion and pairing in Si," Phys. Rev. B 54, pp.4741-4747 (1996)
- [126] T.J. Lenonsky, B. Sadigh, S.K. Theiss, M.-J. Caturla, and T.D. de la Rubia, "*Ab initio* energetics of boron-interstitial clusters in crystalline Si," Appl. Phys. Lett., **77**, pp.1834-1836 (2000)
- [127] X.-Y. Liu, W. Windl, and M. P. Masquelier, "*Ab initio* modeling of boron clustering in silicon," Appl. Phys. Lett., **77**(13), pp.2018-2020 (2000)

- [128] S.K. Theiss, M.-J. Caturla, T.J. Lenonsky, B. Sadigh, T.D. de la Rubia, M.D. Giles, and M.A. Foad, "First-principles-based Predictive Simulations of B Diffusion and Activation in Ion Implanted Si," Proc. SISPAD, pp.18-22 (2000)
- [129] M. Hane, T. Ikezawa and G.H. Gilmer, "Monte Carlo Impurity Diffusion Simulation Considering Charged Species," Proc. SISPAD, pp.18-21 (2001)
- [130] M. Hane, T. Ikezawa, K. Takeuchi and G.H. Gilmer, "Monte Carlo Impurity Diffusion Simulation Considering Charged Species for low thermal budget sub-50nm CMOS process modeling," IEDM Tech. Digs., pp.843-846 (2001)
- [131] M. Jaraiz, G. H. Gilmer, J. M. Poate, and T. D. de la Rubia, "Atomistic calculations of ion implantation in Si: Point defect and transient enhanced diffusion phenomena," Appl. Phys. Lett., **68**, pp.409-501 (1996)
- [132] M.J. Caturla, "Toward a predictive atomistic model of ion implantation and dopant diffusion in silicon," Comp. Mat. Sci., **12**, pp.319-332 (1998)
- [133] A. Asenov, A.R. Brown, J.H. Davies, and S. Saini, "Hierarchical Approach to Atomistic 3-D MOSFET Simulation," IEEE Trans. Computer-Aided Design of IC and Systems, vol.18, no.11, pp.1558-1565 (1999)
- [134] M. Jaraiz, L. Pelaz, E. Rubio, J. Barbolla, G.H. Gilmer, D.J. Eaglesham, H.J. Gossmann, J.M. Poate, "Atomistic Modeling of Point and Extended Defects in Crystalline Materials," Mat. Res. Soc. Symp. Proc. 532, pp.43-53 (1998)
- [135] M. Hakara, M.J. Puska, and R.M. Neiminen, "First-principles calculations of interstitial boron in silicon," Phys. Rev. B, vol.61, no.12, pp.8155-8161 (2000)
- [136] T. Ito, T. Iinuma, A. Murakoshi, H. Akutsu, K. Suguro, T. Arikado, K. Okumura, M. Yoshioka, T. Owada, Y. Imaoka, H. Murayama and T. Kusuda, "Flash Lamp Anneal Technology for Effectively Activating Ion Implanted Si", Extended Abstracts of SSDM, pp.182-183 (2001)
- [137] A. Asenov, "Random Dopant Induced Threshold Voltage Lowering and Fluctuations in Sub-0.1 μm MOSFET's: A 3-D Atomistic Simulation Study," IEEE Trans. Electron Devices **ED-45**, pp.2505-2513 (1998)
- [138] D. Vasileska, W. J. Gross and D. K. Derry, "Modeling of deep-submicrometer MOSFETs: Random impurity effects, threshold voltage shifts and gate capacitance attenuation," Extended Abstracts IWCE-6, pp.259-262 (1998)
- [139] D. J. Frank, Y. Taur, M. Jeong and H.-S. P. Wong, "Monte Carlo Modeling of Threshold Variation due to Dopant Fluctuations," Symp. of VLSI Tech. Digs. pp.169-170 (1999)
- [140] K. Takeuchi, R. Koh and T. Mogami, "A Study of the Threshold Voltage Variation for Ultra-Small Bulk and SOI CMOS," IEEE Trans. on Electron Devices," **ED-48**, no.9, pp.1995-2001 (2001)
- [141] Y. Oda, Y. Ohkura, K. Suzuki, S. Ito, H. Amakawa, and K. Nishi, "Statistical Threshold Voltage Fluctuation Analysis by Monte Carlo Implantation Method," IEICE Trans. on Electronics, vol.E86-C, no.3, pp.416-426 (2003)
- [142] K. Tanaka, S. Kumashiro, H. Katoh, N. Tanabe, T. Kurobe, and M. Fukuma, "Three dimensional arbitrary shape description for process and device simulators," NASECODE-VI, pp.317-322 (1989)
- [143] N. Sano, K. Matsuzawa, M. Mukai and N. Nakayama, "Role of Long-range and Short-range Coulomb Potentials in Threshold Characteristics under Discrete Dopants in Sub-0.1 μm Si-MOSFETs," IEDM Tech. Digs. pp.275-278 (2000)
- [144] N. D. Arora *et al.*, IEEE Trans. Electron Devices, **ED-29**, p.292 (1982); W. R. Thurber *et al.*, J. Electrochem. Soc., **127**, p.1807 (1980)
- [145] P. Oldiges, Q. Lin, K. Petrillo, M. Sanchez, M. Jeong and M. Hargrove, "Modeling line edge roughness effects in sub 100 nanometer gate length devices," Proc. SISPAD, pp.131-134 (2000)
- [146] T. Linton, M. Chandhok, B.J. Rice and G. Schrom, "Determination of the Line Edge Roughness Specification for 34nm Devices," IEDM Tech. Digs., pp.303-306 (2002)

- [147] J.A. Croon, G. Storms, S. Winkelmeier, K. Pollentier, M. Ercken, S. Decoutere, W. Sansen, and H.E. Maes, "Line Edge Roughness: Characterization, Modeling and Impact on Device Behavior," IEDM Tech. Digs., pp.307-310 (2002)
- [148] S. Kaya, A.R. Brown, A. Asenov, D. Magot, and T. Linton, "Analysys of statistical fluctuations due to line edge roughness in sub-0.1 μ m MOSFETs," Proc. SISPAD, pp.78-81 (2001)
- [149] T. Ezaki, T. Ikezawa, and M. Hane, "Investigation of Realistic Dopant Fluctuation Induced Device Characteristics Variation for sub-100nm CMOS by using Atomistic 3D Process/Device Simulator," IEDM Tech. Digs., pp.311-314 (2002)
- [150] M. Hane and T. Ikezawa, "Atomistic Impurity Diffusion Simulation of Shallow Junction Fabrication Processes and Dopant-induced Intrinsic Fluctuations," Proc. International Workshop on Junction Technology, pp.75-80 (2002)
- [151] Unpublished (<http://www.selete.co.jp/>)
- [152] K. Tanaka, A. Notsu and A. Furukawa, "A Three-dimensional Mesh Generation Method with Precedent Triangulation of Boundary," IEICE Trans. Electronics, E83-C, p.1343 (2000)

原著論文

主論文に関連する原著論文

1. M. Hane and M. Fukuma, "Ion Implantation Model considering Crystal Structure Effects," IEEE Trans. Electron Devices, 33(9), pp.1959-1963 (1990)
2. M. Hane, Y. Miyamoto, and A. Oshiyama, "Atomic and Electronic Structures of an interface between silicon and β -cristobalite," Phys. Rev. B, 41(18), pp.12637-12640 (1990)
3. M. Hane and H. Matsumoto, "A Model for Boron Short Time Annealing after Ion Implantation," IEEE Trans. Electron Devices, 40(7), pp.1215-1222 (1993)
4. M. Hane and S. Hasegawa, "Dynamic-Clustering and Grain-Growth Kinetics Effects on Dopant Diffusion in PolySilicon," IEICE Trans. on Electronics, E77-C(2), pp.112-117 (1994)
5. M. Hane, T. Ikezawa, and A. Furukawa, "Molecular Dynamics Calculation Studies of Interstitial-Si Diffusion and Arsenic Ion Implantation Damage," IEICE Trans. on Electronics, E38-C(8), pp.1247-1252 (2000)
6. T. Ezaki, T. Ikezawa, A. Notsu, K. Tanaka, and M. Hane, "Three Dimensional MOSFET Simulation for Analyzing Statistical Dopant-Induced Fluctuations Associated with Atomistic Process Simulator," IEICE Trans. on Electronics, E36-C(3), pp.409-415 (2003)

その他の論文

1. T. Uchida, H. Aoki, M. Hane, S. Hasegawa, and E. Ikawa, "Model for Al Etch-rate Enhancement at Low Temperatures," Jpn. J. Appl. Phys., Vol.32, Part.1, No.12B, pp.6095-6101 (1993)
2. T. Kinoshita, M. Hane, and J.P. McVittie, "Notching as an example of charging in uniform high density plasma," J. Vac. Sci. Technol., B 14(1), pp.560-565 (1996)
3. M. Hane, T. Ikezawa, and H. Matsumoto, "A Fast Monte Carlo Ion Implantation Simulation Based on Statistical Enhancement Technique and Parallel Computation", NEC Research and Development, Vol.37, No.2, pp.170-178 (1996)
4. Y. Kawakami, Y. Yamamoto, K. Tanaka, M. Hane and Y. Watanabe, "Neutron Soft-Error Simulation for Semiconductor Memory Devices," NEC Research and Development, Vol.43, no.2, pp.146-152 (2002)

国際会議

1. M. Hane and K. Hane, "Finite and Boundary Element Approach to Process Simulation with Conjugate Gradient-based Method," Proceedings of the Fifth International Conference on the Numerical Analysis of Semiconductor Devices and Integrated Circuits, pp.219-224 (1987)
2. M. Hane and M. Fukuma, "Ion Implantation Model considering Crystal Structure Effects," International Electron Devices Meeting (IEDM), pp.648-651 (1988)

3. M. Hane and M. Fukuma, "Recoil Atom Simulation using Monte Carlo Method," 1990 VLSI Process/Device Modeling Workshop, pp.100-101 (1990)
4. M. Hane and H. Matsumoto, "A Model for Boron Short Time Diffusion After Ion Implantation," International Electron Devices Meeting (IEDM), pp. 701-704 (1991)
5. M. Hane and S. Hasegawa, "Dynamics-Clustering and Grain-Growth Kinetics Effects on Dopant Diffusion in Polysilicon," 1993 International Workshop on VLSI Process and Device Modeling (1993 SISPAD), pp.52-53 (1993)
6. M. Hane, T. Kinoshita, and J.P. McVittie, "Modeling of Notching Caused by Aspect Ratio Dependent charging During High Density Plasma Etching," Electrochemical Society Proceedings vol.95-5, pp.43-52 (1995)
7. M. Hane, C.S. Rafferty, T. Ikezawa, and H. Matsumoto, "Boron diffusion model refinement and its effect on the calculation of reverse short channel effects," 1996 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), pp.15-16 (1996)
8. M. Hane, T. Ikezawa, M. Hiroi, and H. Matsumoto, "Dopant diffusion model refinement and its impact on the calculation of reverse short channel effect," International Electron Devices Meeting (IEDM), pp. 803-806 (1996)
9. M. Hane, T. Ikezawa and H. Matsumoto, "Advanced Process Modeling For Submicron MOSFETs," 1996 International Electron Devices and Materials Symposia (IEDMS), D5-1, pp.329-336 (1996) (Invited)
10. M. Hane, T. Ikezawa, and H. Matsumoto, "Simulation of Secondary Ion Mass Spectrometry (SIMS) for Steep Dopant Distribution Profiling," International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), pp.133-136, (1997)
11. M. Hane, T. Ikezawa, and A. Furukawa, "Molecular Dynamics Calculation Studies of Interstitial-Si Diffusion and Arsenic Ion Implantation Damage," International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), pp.47-50 (1999)
12. M. Hane, T. Ikezawa and G. H. Gilmer, "Di-interstitial Diffusivity and Migration Path Calculations based on Tight-Binding Hamiltonian Molecular Dynamics, International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), pp.119-122 (2000)
13. M. Hane, T. Ikezawa and G. H. Gilmer, "Monte Carlo Impurity Diffusion Simulation Considering Charged Species," International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), pp.18-21 (2001)
14. M. Hane, T. Ikezawa, K. Takeuchi and G. H. Gilmer, "Monte Carlo impurity diffusion simulation considering charged species for low thermal budget sub-50nm CMOS process modeling," International Electron Devices Meeting (IEDM), pp.843-846 (2001)
15. M. Hane and T. Ikezawa, "Atomistic Impurity Diffusion Simulation of Shallow Junction Fabrication Processes and Dopant-induced Intrinsic Fluctuations, The Third International Workshop on Junction Technology, pp.75-80 (2002) (Invited)
16. M. Hane and T. Ezaki and T. Ikezawa, "Practical Atomistic Dopant Diffusion Simulation of Shallow Junction Fabrication Processes and Intrinsic Fluctuations for sub-100nm MOSFETs," 3rd International Conference on Computational Nanoscience and Technology (ICCN) in Nanotech 2003, pp. 125-128 (2003) (Invited)
17. M. Hane, T. Ikezawa, and T. Ezaki, "Coupled Atomistic 3D Process/Device Simulation Considering Both Line-Edge-Roughness and Random-Discrete-Dopant Effects," International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), pp.99-102 (2003)
18. M. Hane, Y. Kawakami, H. Nakamura, T. Yamada, K. Kumagai, and Y. Watanabe, "New Comprehensive SRAM Soft Error Simulation Based on 3D Device Simulator Incorporating Neutron Nuclear Reactions," International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), pp.239-242 (2003)
19. M. Hane, T. Ikezawa, and T. Ezaki, "Atomistic 3D Process/Device Simulation Considering Gate Line-Edge-Roughness and Poly-Si Random Crystal Orientation Effects," 2003 International Electron Devices Meeting (IEDM), pp.241-245 (2003)
20. A. Oshiyama, Y. Miyamoto, M. Hane and A. Ishitani, "Microscopic Theory of Oxidation of Si and Formation of Si/SiO₂ Interface," International Workshop on Computational Materials Science (Tsukuba,

- Japan) August 23-24, pp. 1-8 (1990)
21. K. Uwasawa, T. Uchida, T. Ikezawa, M. Hane, T. Matsuki, H. Kato and K. Ishida, "A New Boron Diffusion Model Incorporating the Dislocation Loop Growth, International Electron Devices Meeting (IEDM), pp.873-876 (1994)
 22. T. Kinoshita, S. Ma, M. Hane and J. P. McVittie, "Effects of Ion Energy Distribution on Topography Dependent Charging, Symposium on VLSI Technology, pp.188-189 (1996)
 23. M. Hiroi, T. Ikezawa, M. Hane and H. Matsumoto, "A Pair-diffusion Model for Arsenic in Silicon considering Arsenic Deactivation-induced Interstitial-Silicon Emission, Mat. Res. Soc. Symp. Proc., Vol.469, pp.371-376 (1997)
 24. H. Sakamoto, S. Kumashiro, M. Hiroi, M. Hane, and H. Matsumoto, "Simulation of Reverse Short Channel Effects with a Consistent Point-Defect Diffusion Model, International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), pp.137-140, (1997)
 25. M. Hiroi, T. Ikezawa, M. Hane and A. Furukawa, "Evaluation of Excess Interstitial Silicon Amount Using Delta-doped Boron Markers Grown by UHV-CVD," International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), pp.63-66 (1999)
 26. T. Wada, H. Umimoto, M. Fujinaga, M. Kimura, T. Uchida, K. Suzuki, Y. Akiyama, M. Hane, M. Takenaka, N. Miura, and N. Kotani, "A 3-dimensional process simulator based on an open architecture, International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), pp.127-128 (1999)
 27. T. Ezaki, H. Nakasato, T. Yamamoto, and M. Hane, "Simulation of hot hole currents in ultra-thin silicon dioxides: The relationship between time to breakdown and hot hole currents, International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), pp.34-37 (2000)
 28. T. Ezaki, H. Nakasato and M. Hane, "Coupled Si and SiO₂ Monte Carlo Device Simulator for Accurate Gate Current Calculation," International Electron Devices Meeting (IEDM), pp. 485-488 (2001)
 29. T. Ezaki, T. Ikezawa, and M. Hane, "3D MOSFET Simulation for Analyzing Statistical Dopant-induced Fluctuations Associated with Atomistic Process Simulator," International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), pp.91-94 (2002)
 30. T. Ezaki, T. Ikezawa, and M. Hane, "Investigation of Realistic Dopant Fluctuation Induced Device Characteristics Variation for sub-100nm CMOS by using Atomistic 3D Process/Device Simulator," International Electron Devices Meeting (IEDM), pp. 311-314 (2002)

国内研究会他

1. 羽根、「高精度プロセスモデリング」、第42回半導体専門講習会(財団)半導体研究振興会、pp.91-124 (1995)
2. 羽根、「プロセスの Technology Computer-Aided Design (TCAD) の現状と展望」、応用物理、Vol.69, no.7 pp.839-843 (2000)
3. 羽根、「サブ100nm世代CMOSのプロセスデバイスモデリング」、第28回応用物理学会スクールB:サブ100nmCMOSトランジスタ技術の動向と展望、pp. 77-90 (2001)
4. 羽根、「シリコン中の拡散の分子動力学法とモンテカルロシミュレーションによる解析」、応用物理学会シリコンテクノロジー分科会、no.33, pp.2-7 (2001)
5. 池澤、羽根、古川、「多体散乱効果を考慮したサブkeVイオン注入のシミュレーション」、春季応用物理学会学術講演会 28a-L-2 (1998)

他応用物理学会学術講演会 12件。