

主 論 文 要 旨

報告番号	乙 第 号	氏 名	長田 健一
主 論 文 題 目： S R A M の 低 消 費 電 力 ・ 高 信 頼 ・ 高 速 化 回 路 技 術 に 関 す る 研 究			
(内容の要旨)			
<p>スタティックランダムアクセスメモリ(Static-random-access-memory; SRAM)は、単体のメモリとしてだけでなく、システム LSI に混載されるオンチップメモリとして使用され、システム LSI の性能を左右する重要なメモリとなっている。従って、SRAM の開発は、システム LSI 全般の技術開発に影響を与え、産業的にも経済的にも極めて大きな影響を与える研究分野であるといえる。本論文では、SRAM の低消費電力、高信頼、高速化技術について述べる。</p> <p>第 2 章では、動作時の消費電力を低減する方式について述べる。消費電力を低減するためには動作電圧を低減することが重要であり、メモリセルの拡散層やゲート層の形状を単純なパターンとし、セル内のトランジスタのアンバランスを生じにくくすることにより、低電圧動作を実現する横長メモリセル方式を提案する。また、システムの負荷が大きいときに周波数(動作電圧)を上げ、負荷が小さいときには周波数(動作電圧)を下げることで低消費電力化には効果的である。これを実現するためには、幅広い電圧での連続動作が必要であり、動作電圧に応じて最適な動作タイミングを発生する複数ダミービット線方式を提案する。</p> <p>第 3 章では SRAM では待機時の消費電力を低減する方法について述べる。先端プロセスを用いた場合、従来から問題となっているサブスレッショルド電流に加え MOS トランジスタのゲートトンネルリーク電流や GIDL(Gate-Induced Drain-Leakage)電流が増大する。これらのリーク電流を削減する技術として、従来のメモリセルでは接地電位に接続されていたソース線や電源電位に接続されていたビット線を、待機時に制御することによりゲートトンネルリーク電流や GIDL 電流を低減する電界緩和(Electric Field Relaxation; EFR)方式を提案する。</p> <p>第 4 章では、高信頼化技術について述べる。宇宙線中性子によるソフトエラーが、近年問題化してきており、特にこの対策技術について述べる。回路とデバイスのシミュレーションを組合せた新たな解析手法により、宇宙線中性子によって生じるマルチセルエラーの規則性を明らかとし、宇宙線中性子によって生じるマルチセルエラーを高効率で訂正するためのエラー訂正回路の設計ガイドラインについて提案する。また本検討から得られた知見を基に、第 2 章で提案した横長メモリセルで生じるマルチセルエラーをエラー訂正回路により高効率で訂正する、交互エラー訂正方式を提案する。</p> <p>第 5 章では、SRAM の高速化について述べる。高速化技術として、ビット線階層化によるキャッシュの 2 ポート化技術について提案する。ビット線階層化 2 ポート化技術は、ビット線をローカルビット線とグローバルビット線に分け、グローバルビット線をさらに読み出し用と書き込み用に分けることにより、読み出しと書き込みを同時に並行して行い、読み出しー書き込み連続動作を高速化する技術である。また、読み出しの高速化のために、タイミングインセンシティブセンスアンプ技術について提案する。これは、増幅率は小さいが活性化タイミングに鈍感であるアンプを複数接続することにより、活性化タイミングの正確な制御が不要で十分な増幅を得ることができる技術である。</p>			