

SRAMの低消費電力・高信頼・高速化

回路技術に関する研究

平成16年度

長田 健一

目次

第 1 章 序論	1
1.1 背景	1
1.2 SRAM の概要	4
1.3 本研究の目的と構成	6
第 2 章 動作時の低消費電力化技術	11
2.1 緒言	11
2.2 SRAM の安定性	12
2.2.1 スタティックノイズマージン	12
2.2.2 低電圧で動作を安定させる方法	14
2.3 横長メモリセル	14
2.4 複数ダミービット線方式	17
2.4.1 幅広い電圧動作実現の課題	17
2.4.2 ブロックダイアグラムと動作	18
2.4.3 タイミングダイアグラムと複数ダミービット線方式の効果	20
2.4.4 プリデコーダ回路とワードドライバ回路	22
2.5 試作結果	23
2.6 結言	28
第 3 章 待機時の低消費電力化技術	31
3.1 緒言	31
3.2 SRAM のスタンバイ電流低減方式	32
3.2.1 従来 SRAM のリーク電流	32
3.2.2 ゲートトンネルリーク電流と GIDL 電流	33
3.2.3 電界緩和(EFR)方式	35
3.3 チップ構成	37
3.4 試作結果	39
3.5 システム LSI への適用	41
3.6 結言	44
第 4 章 高信頼化技術	49
4.1 緒言	49

4.2	宇宙線中性子によるマルチセルエラー	50
4.3	マルチセルエラーの解析	52
4.3.1	マルチセルエラーの回路・デバイスレベルの結合シミュレーション	52
4.3.2	寄生バイポーラ効果によるマルチセルエラー	55
4.4	同時に発生する最大マルチセルエラー数	58
4.5	ECC 設計ガイドライン	62
4.6	実験結果	64
4.7	横長セルを用いた交互エラー訂正方式	65
4.8	ECC 回路方式	67
4.9	結言	71
第 5 章	高速化技術	75
5.1	緒言	75
5.2	キャッシュメモリ	76
5.2	高速ストア方式	78
5.3	階層化ビット線方式によるキャッシュの 2 ポート化	79
5.4	タイミングインセンシティブセンスアンプ方式	83
5.5	試作及び評価	87
5.6	結言	90
第 6 章	結論	93
6.1	本研究により明らかにされた事項	93
6.2	今後に残された課題	96
	謝辞	101
	研究業績	104

第 1 章

序論

1.1 背景

今日、大規模集積回路 (Large Scale Integration; LSI) は、携帯電話やコンピュータ (PC)、家電、自動車など身の回りのありとあらゆるものに搭載されている。その中で、高速・大容量メモリとして半導体ランダムアクセスメモリ (Random Access Memory; RAM) が高速にデータを処理するために用いられている。RAM はダイナミック RAM (Dynamic RAM; DRAM) とスタティック RAM (Static RAM; SRAM) に大別される。DRAM は図 1.1 に示すように、転送トランジスタ (Transfer Tr.) と容量 (Capacitor) で構成され、容量に蓄えられた電荷によりデータを記憶する。DRAM では、容量に蓄えられた電荷が時間と共に失われるため、一定の間隔でデータを読んで書き戻すリフレッシュと呼ばれる動作が必要となる。SRAM は、図 1.2 に示すように、2 つのインバータからなるラッチ (Latch) 回路と 2 つの転送トランジスタ (Transfer Tr.) とで構成され、ラッチでデータを記憶して、転送トランジスタによりデータの読み書きを行なう。

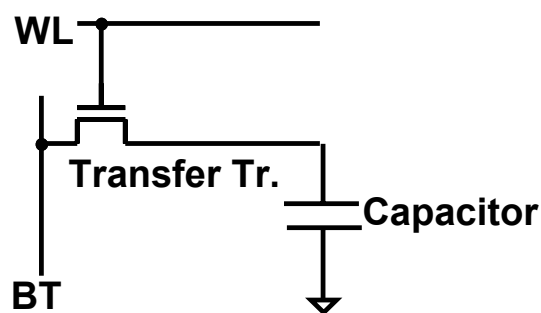


図 1.1 DRAM セル

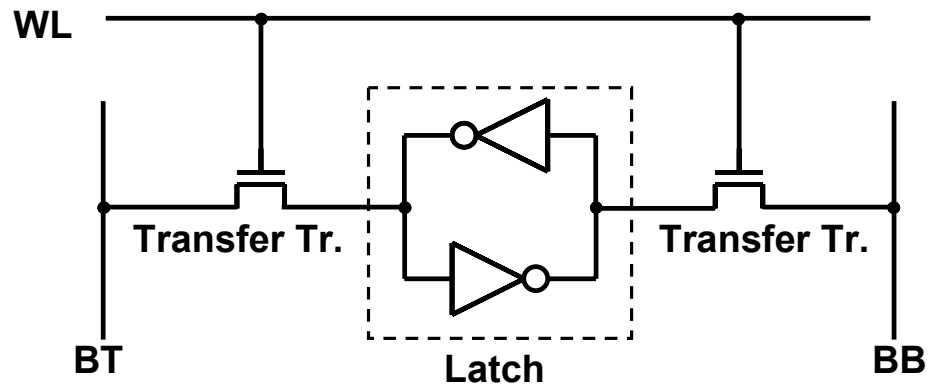


図 1.2 SRAM セル

DRAM は、セル面積が小さく、ビット単価が安いことが特徴であり、コンピュータの主記憶として主に用いられる。一方 SRAM は、リフレッシュが不要なため、低スタンバイ電流でデータを保持できることを利用して携帯電話のワークメモリや、アクセスが高速であることからワークステーションなどの 2 次キャッシュメモリとして使用される。

近年では、LSI の集積度が進むに連れて、異なる種類の回路要素を同一チップ上に集積できるようになり、これによってシステムを構成するのに必要な回路の多くが 1 つのチップ上に集積できるようになって来ている。例えば、図 1.3 に示すように、マイクロプロセッサ (Micro Processor Unit; MPU) やデジタル信号処理プロセッサ (Digital Signal Processor; DSP)、メモリ、外部インターフェース回路など様々な機能ブロックが同一チップ上に集積化されている。これら数種の回路が複合した構造を持つ LSI は特にシステムオンチップ (System-on-a-chip; SOC) と呼ばれ、わが国では、「システム LSI」とも言われ注目されている。システム LSI は、システムの要求する「機能」「性能」「価格」を同時に満たすシステムソリューションを、ネットワーク市場や携帯電話市場等の競争が激化する市場において短時間に提示するために必要不可欠なデバイスとなっている。

このようなシステム LSI では、キャッシュメモリやワークメモリとして SRAM が使用されるのが一般的である。これは、システム LSI で使用されるロジックと同一のプロセスを用いて作ることができるためである。DRAM は、ロジックプロセスに追加して容量を作る必要があるため、コストの増加が避けられず、限られた用途のみで使用されている。

オンチップメモリ(主に SRAM)のシステム LSI に占める割合は、今後プロセスの世代が進むにつれて、図 1.4 に示すように増大し、2013 年にはチップの 9 割以上を占めると予想されている[1]。また、オンチップメモリは、ほとんど毎サイクルアクセスされるため、アクセス速度や消費電力がシステム LSI の性能を左右することが多く、オンチップメモリつまり SRAM の性能向上が重要となっている。

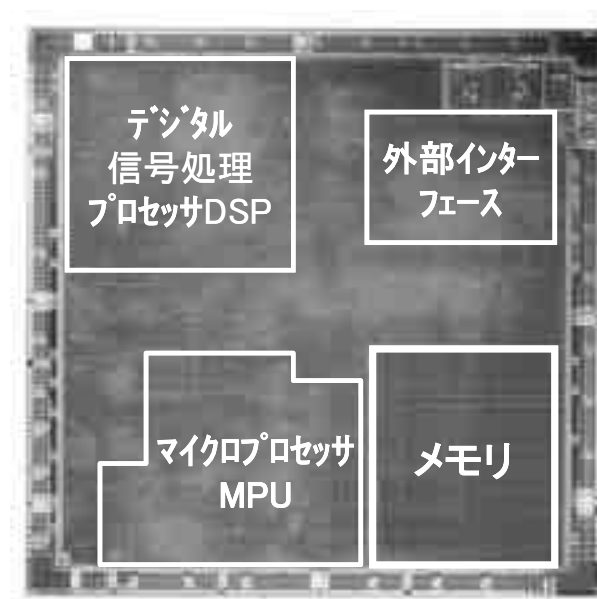


図 1.3 システム LSI の例

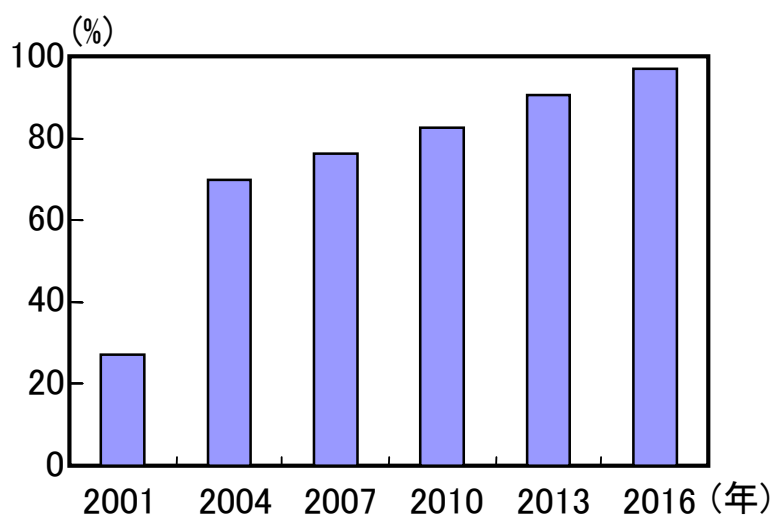


図 1.4 システム LSI に占めるメモリの面積占有率[1]

1.2 SRAM の概要

SRAM のメモリセルは図 1.5 に示すように、駆動 MOS トランジスタ (Driver MOS; Dr-MOS) MN1、MN2 と負荷 MOS トランジスタ (Load MOS; Ld-MOS) MP1、MP2 から構成される 2 個のインバータからなるラッチと、2 個の転送 MOS トランジスタ (Transfer MOS; Tr-MOS) MN3、MN4 で構成される。ラッチは 2 つの端子 (NL、NR) を持っており、それぞれ相補的に High/Low または Low/High の 2 つの安定状態をとることにより“0”または“1”の情報を定常的に保持することができる。Dr-MOS や Tr-MOS は一般的に N チャネル型 MOS トランジスタ (NMOS) が使用される。

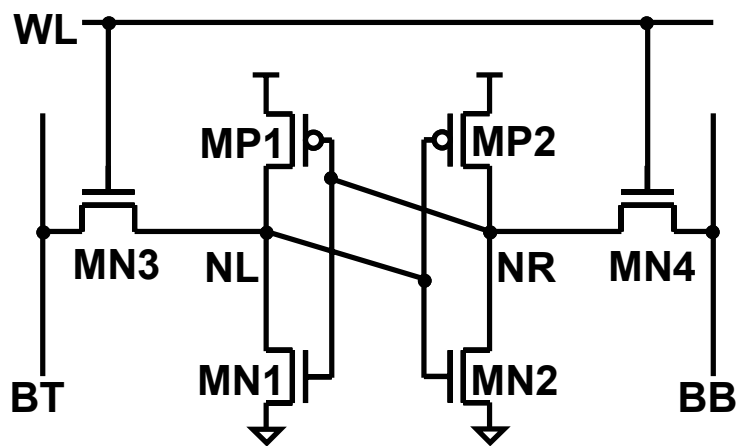


図 1.5 完全 CMOS 型 SRAM セル

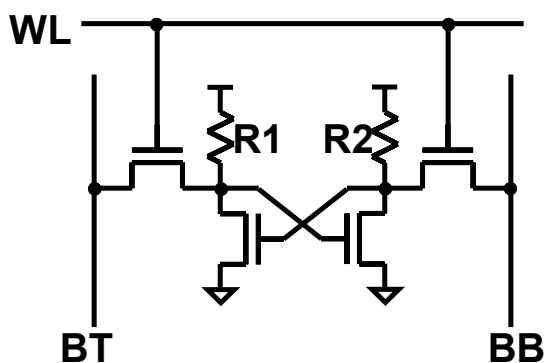


図 1.6 高抵抗負荷型 SRAM セル

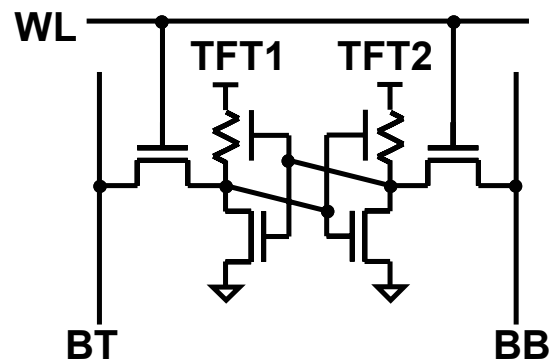
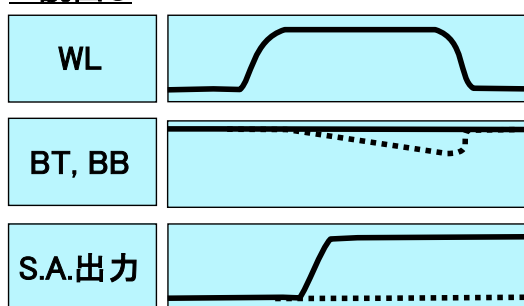


図 1.7 TFT 負荷型 SRAM セル

Ld-MOS は一般的には P チャネル型 MOS トランジスタ (PMOS) が使用されるが、メモリセルサイズを小さくするために高抵抗のポリシリコン R1、R2 を使った高抵抗負荷型セル (図 1.6) や、より小さな待機電流を実現するためにポリシリコン TFT (Thin Film Transistor) TFT1、TFT2 で形成した TFT 負荷型セル (図 1.7) も実用化されている。しかし、電源電圧が 3.3V 以下で加工寸法が $0.35\mu\text{m}$ 以下のプロセスでは、高抵抗負荷型セルや TFT 負荷型セルでは動作マージンを確保できないため、PMOS が使用されることが一般的となってきた。また、システム LSI に搭載される SRAM では、論理回路とのプロセスの整合性から PMOS が使用される。本論文では、 $0.35\mu\text{m}$ 以下のプロセスで主流となってきた NMOS と PMOS のみで構成される完全 CMOS 型 SRAM セル (6T-SRAM) について述べる。

SRAM の動作方式について、図 1.5 と 1.8 を用いて簡単に説明する。SRAM の記憶端子 (NL) は High に、記憶端子 (NR) は Low に設定されているとする。データの読出しは、ビット線 (BT、BB) を電源電圧にプリチャージし、その後ワード線 (WL) をローレベル ('L') からハイレベル ('H') にする。High である記憶端子 (NL) に接続されているビット線 (BT) は変化しないが、Low である記憶端子 (NR) に接続されているビット線 (BB) は電位が下がる。このビット線の電位差をセンスアンプ (S.A.) 等で増幅することによりデータを読み出すことができる。

1. 読出し



2. 書込み

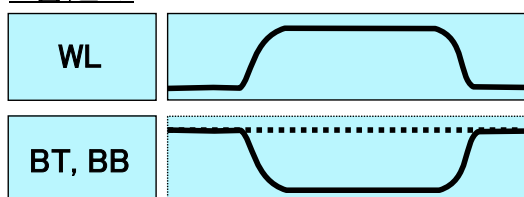


図 1.8 SRAM の動作方式

書き込みは、記憶素子 (NL) を Low に、記憶端子 (NR) を High にする場合について説明する。Low にしたい記憶素子 (NL) に接続されるビット線 (BT) を 'L' に、High にしたい記憶素子 (NR) に接続されるビット線 (BB) を 'H' にし、ワード線 (WL) を 'L' から 'H' にする。ある一定の時間この状態を維持することにより、記憶素子 (NL) は Low に、記憶素子 (NR) は High に遷移し、書き込みができる。

SRAM の開発には、プロセス技術、デバイス技術、回路技術、CAD (Computer Aided Design) 技術、アーキテクチャ技術、パッケージ技術などの多くの技術が要求される。特に回路技術は、物理的限界という枠の中で物理現象を巧みに利用して開発されるデバイス技術と、人間の知識の中で理論的に開発されるアーキテクチャ技術という、対照的な 2 つの技術を結びつける重要な分野である。SRAM はまた、システム LSI の構成要素の 1 つであり、CMOS ロジックプロセスを開発する上での不可欠な存在となっている。従って本論文で述べる SRAM の回路技術の開発は、システム LSI 全般の技術開発に影響を与え、産業的にも経済的にも極めて大きな影響を与える研究分野であるといえる。

1.3 本研究の目的と構成

本論文では、上に述べたような背景、研究経緯を踏まえ、SRAM にとって重要な技術課題である低消費電力、高信頼、高速化技術について、特に回路技術を中心に述べる。以下各章毎にその内容の概要を述べる。

第 2 章 動作時の低消費電力化技術

マイクロプロセッサのキャッシュメモリとして使用される SRAM は、ほとんど毎サイクルアクセスされ、マイクロプロセッサによって違いはあるが、消費電力の 15% 程度を占めている[2]。このため、携帯機器向けプロセッサ等に使用される SRAM では動作時の消費電力を低減することが強く要求される。消費電力を低減するためには、電源電圧を下げるのが効果的であり、SRAM でも電源電圧を下げて動作させることが要求される。また、単品の SRAM でも、携帯用機器等でバッテリーで駆動される場合は、動作電力を低減するために動作電圧を下げるのが要求される。

また、近年の傾向としてシステムの負荷が大きいときには動作電圧および周波数を上げ、負荷が小さいときには動作電圧および周波数を下げることによって、低電力化を実現する技術[3]が開発され実用化されている。これを実現するためにはSRAMのより低い電圧から高い電圧まで、幅広い電圧での連続動作が必要となる。

本章では、SRAMの動作時の低消費電力化技術として動作電圧の低減および幅広い動作電圧で連続動作を実現する回路技術について述べる。

まず始めに、SRAMセル動作の安定性を示す指標であるスタティックノイズマージンについて説明し、低電圧での安定動作を実現するための方法について詳しく述べる。続いて、低電圧での動作を実現するために横長メモリセル技術を、また、幅広い電圧範囲での連続動作を実現するため複数ダミービット線方式をそれぞれ提案する。横長メモリセル技術は、メモリセルの形状を単純なパターンとし、リソグラフィーでのマスクの合わせずれに鈍感でセル内のトランジスタのアンバランスを生じにくくすることにより低電圧動作を実現する技術である。複数ダミービット線方式は、複数のダミーセルを使うことにより動作電圧に応じて最適な動作タイミングを発生する技術である。

第3章 待機時の低消費電力化技術

SRAMは待機時に電圧を印加してデータを保持するため、トランジスタのリーク電流により電力を消費する。携帯機器で使用される場合、動作時間に比べて待機時間が圧倒的に長いため、待機時の電力も低減する必要がある。携帯電話等に単品で使用される場合には、バックアップ用のボタン電池でデータを保持する必要があり、チップ全体で $3\mu\text{A}/\text{Mbit}$ 以下のスタンバイ電流が要求される。また、マイクロプロセッサに使用される場合でも、携帯機器等で使用される場合には $30\mu\text{A}/\text{Mbit}$ 程度の電流が最近は必要となってきた[4]。

トランジスタのサブスレッショルド電流によるリーク電流を低減する方法はこれまで研究[5]がなされているが、プロセスの微細化に伴いSRAMセルでは、新たなリーク電流が顕在化し、これを低減する必要が生じてきている。本章では、先端プロセスを用いた場合の、SRAMセルのリーク電流成分に

ついて整理し、新しいリーク電流成分であるゲートトンネル電流や GIDL 電流の特性と低減方法について述べる。

続いて、プロセスを変更せず、スタンバイ電流を低減するために開発した、電界緩和(Electric Field Relaxation; EFR)方式について提案する。この電界緩和 (EFR) 方式は、従来のメモリセルでは接地電位に接続されていたソース線や電源電位に接続されていたビット線を待機時にのみ電位を変えることによりゲートトンネル電流や GIDL 電流を低減する技術である。

第 4 章 高信頼化技術

サーバーなどの産業用途や、多くの単体 SRAM チップを同時に使うようなシステム、また、マイクロプロセッサに搭載される SRAM であっても、自動車用途などでは高い信頼性が要求される。また汎用 SRAM では、用途が限定されていないため 1000FIT (1FIT は 10^9 秒に 1 つのデータ反転が生じる故障率を意味する。)の信頼度を要求される。

データの信頼性を低減させる現象として、アルファ線によるソフトエラー(保持データの反転)が従来から問題となっており、これまで多くの研究[6, 7]がなされてきた。アルファ線によるソフトエラーは、LSI を製造する際に使用される材料やパッケージに使用される材料の純度を高めたり、LSI 表面を有機材料で覆う等により対策が行なわれている。しかし、近年、宇宙線中性子によって生じるソフトエラーが顕在化し問題となっている。特に SRAM では、プロセスが微細化し、電源電圧が低くなると、メモリセルに蓄えられる電荷量が減少し、ソフトエラーが深刻化する。

本章では宇宙線中性子によるソフトエラーの対策技術、特に説明が進んでおらず対策が必要なマルチセルエラー(同時に複数のセルがフェイルするエラー)の対策技術について述べる。

まず、始めに、宇宙線中性子によって生じるマルチセルエラーについて検討・解析を行うため、回路とデバイスシミュレーションを組合せた新たな解析手法について論じる。次に本解析により明らかになった宇宙線中性子によって生じるマルチセルエラーの規則性について述べ、エラーを高効率で訂正するためのエラー訂正回路の設計ガイドラインについて提案する。

また本検討から得られた知見を基に、第 2 章で提案した横長メモリセルで生じるマルチセルエラーをエラー訂正回路により高効率で訂正する、交互エラー訂正方式について提案する。

第 5 章 高速化技術

コンピュータやワークステーションの外付け 2 次キャッシュメモリで使用される汎用 SRAM では、システムの性能を向上させるため高速動作が要求される。また、マイクロプロセッサ等に混載される SRAM でも、毎サイクルアクセスされ、アクセス時間がマイクロプロセッサの性能を決めるため、高速化は強く要求される。

本章ではマイクロプロセッサなどで、オンチップキャッシュメモリとして使用されることが多い SRAM の高速化について述べる。

キャッシュメモリのアーキテクチャレベルでの読み出しであるロード動作と書き込みであるストア動作について説明し、これまで 2 サイクル必要であったストア動作を 1 サイクルで行う高速化手法を提案する。さらにこれを実現する回路レベルの高速化技術である、ビット線階層化によるキャッシュの 2 ポート化技術について提案する。また、読み出しの高速化にはセンスアンプ技術が重要である。本章では従来型のセンスアンプの問題点を明らかにし、その問題点を解決するタイミングインセンシティブセンスアンプ技術について提案する。

ビット線階層化 2 ポート化技術は、ビット線をローカルビット線とグローバルビット線に分け、グローバルビット線をさらに読み出し用と書き込み用に分けることにより、読み出しと書き込みを同時に並行して行い、読み出しー書き込み連続動作を高速化する技術である。タイミングインセンシティブセンスアンプ技術は、増幅率は小さいが活性化タイミングに鈍感であるアンプを複数接続することにより、活性化タイミングの正確な制御が不要で十分な増幅を得ることができる技術である。

第 6 章 結論

本章では、第 2 章から第 5 章の各章で得られた結果を基に、第 1 章で述べた SRAM に対する 4 つの要求に対する課題を整理し解決策をまとめる。また今後に残された課題について述べる。

参考文献

- [1] T. Sakurai, "Perspectives on Power-Aware Electronics," in *Visuals Supplement IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, Feb. 2003, pp. 14–15.
- [2] L. T. Clark, E. Hoffman, M. Schaecher, M. Biyani, D. Roberts, and Y. Liao, "A scalable performance 32b microprocessor," in *Proc. IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, Feb. 2001, pp. 230–231.
- [3] T. D. Burd, et al., "A dynamic voltage scaled microprocessor system," *IEEE J. Solid-State Circuits*, vol. 35, pp. 1571–1580, Nov., 2000.
- [4] M. Yamaoka, Y. Shinozaki, N. Maeda, Y. Shimazaki, K. Kato, S. Shimada, K. Yanagisawa, K. Osada, "A 300MHz, 25 μ A/Mb leakage, on-chip SRAM module featuring process-variation immunity and low-leakage-active mode for mobile phone application processor," in *Proc. IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, Feb. 2004, pp. 494–495.
- [5] H. Mizuno, K. Ishibashi, T. Shimura, T. Hattori, S. Narita, K. Shiozawa, S. Ikeda, and K. Uchiyama, "A 18 μ A-standby-current 1.8V 200MHz Microprocessor with self substrate-biased data-retention mode," in *Proc. IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, Feb. 1999, pp. 280–281.
- [6] C. M. Hsieh, P. C. Murley, and R. R. O'Brien, "A field-funneling effect on the collection of alpha-particle-generated carriers in silicon devices," *IEEE Electron Device Lett.*, vol. EDL-2, no. 4, pp. 103–105, Apr. 1981.
- [7] P. M. Carter and B. R. Wilkins, "Influences on soft error rates in static RAMs," *IEEE J. Solid-State Circuits*, vol. 22, no. 3, pp. 430–436, Jun. 1987.

第 2 章

動作時の低消費電力化技術

2.1 緒言

いつでもどこでも欲しい情報が手に入るユビキタス社会に必要な携帯電話や携帯情報機器に搭載される LSI は、電池で駆動することが多く消費電力を低減することが強く要求される。

CMOS 回路の消費電力は、主として負荷の充放電によって生じる。負荷の充放電による消費電力 P_d は、負荷容量を C_L 、周波数を f_p 、電源電圧を V_{DD} とすれば、

$$P_d = C_L V_{DD}^2 f_p \quad (3.1)$$

で与えられ、電源電圧の 2 乗に比例して低電力化できるため、システム LSI では電源電圧を下げて動作させることにより消費電力を低減することが一般的である。また、近年の傾向としてシステムの負荷が大きいときには動作電圧および周波数を上げ、負荷が小さいときには動作電圧および周波数下げることによって、低消費電力化を実現する技術が開発され実用化されている[1]。消費電力をより低減するためには、より低電圧での安定な動作を実現することが必要であり、また高性能化のために、より幅広い電圧での連続動作が必要となる。本章では、SRAM の低電力化技術として低電圧動作化および幅広い電圧での連続動作を実現する回路技術について述べる。

まず始めに、SRAM セル動作の安定性を示す指標であるスタティックノイ

ズマージンについて説明し、低電圧での安定動作を実現するための方法について詳しく述べる。この結果を基に、低電圧での動作を実現するためにメモリセルの形状を単純なパターンとし、セル内のトランジスタのアンバランスを生じにくくする横長メモリセル技術を、幅広い電圧での連続動作を実現するため、複数のダミーセルを使って動作電圧に応じて最適な動作タイミングを発生する複数ダミービット線方式を提案する[2, 3]。

2.2 SRAM の安定性

2.2.1 スタティックノイズマージン

メモリセルの読み出し動作安定性を評価する指標であるスタティックノイズマージン(Static Noise Margin; SNM)[4]について説明する。SRAMセルでは、読み出し時にワード線を駆動すると、プリチャージしたビット線対から Low を記憶しているメモリセル内の記憶ノードへ電流が流れ込む。これによって記憶ノードの電位が上昇し、プロセスばらつき等でメモリセルのトランジスタ特性が対象でない場合はメモリセル内のデータが反転する。この読み出し時のメモリセル内の記憶ノードの上昇した Low 側と High 側の電圧差を SNM と呼ぶ。

SNM を計算する方法は、図 2.1 に示したように、ワード線 WL とビット線 (BL、BB) に電源電圧 V_{dd} を印加し、次の手順により計算する。

- (1) 内部ノード NR を 0V から V_{dd} まで変化させ、NL の電位を観測して NR-NL の関係をプロットする(図 2.2: V_{dd} が 1.1V の場合と 0.6V の場合を図示)。
- (2) 内部ノード NL を 0V から V_{dd} まで変化させ、NR の電位を観測して NL-NR の関係を同一のグラフにプロットする(図 2.2)。
- (3) 2つの曲線からなる図形(めがねカーブと呼ばれる)の、囲まれた領域に大きさが最大となるよう正方形を描く。めがねカーブは、それぞれの V_{dd} で描くことができる。
- (4) 対角線の距離を測定する(これが SNM となる)。

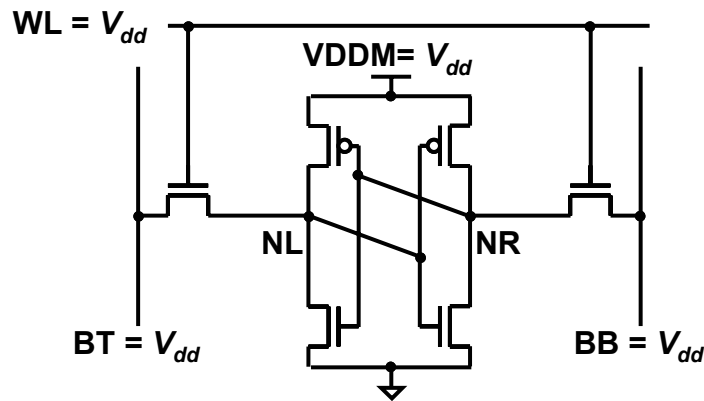


図 2.1 SNM の計算方法

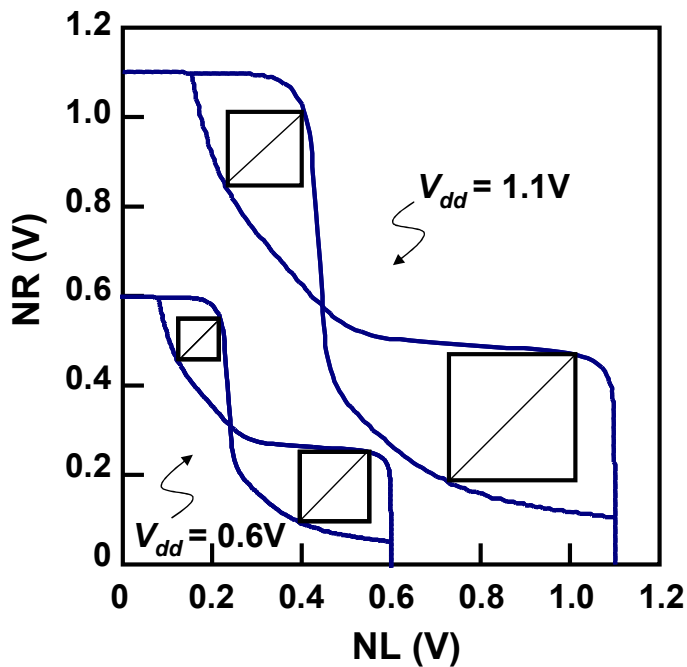


図 2.2 SNM の計算例
 $V_{dd} = 1.1V$ と $V_{dd} = 0.6V$ の場合

1つの電圧で正方形は2つ描くことができるので、SNMは2つ得られるが小さい方の値がワーストであり、通常SNMはこちらを指す。メモリセル内部のトランジスタのしきい値が左右対称であれば、2つの正方形は等しい大きさとなり、SNMも等しい。しきい値にアンバランスがあると正方形は大きさが異なり、SNMとしては小さくなる。また、しきい値電圧を下げたり、駆動MOSトランジスタ(Dr-MOS)の転送MOSトランジスタ(Tr-MOS)に対するゲート幅比(β レシオ)を小さくするとSNMは小さくなる。また、図2.2に示したように電源電圧を下げるだけでもSNMが小さくなり、低電圧での動作が困難となる。

2.2.2 低電圧で動作を安定させる方法

前節で述べたように低電圧での動作を安定させるためには、①トランジスタのしきい値を上げる。② β レシオを大きくする。③セル内のトランジスタの特性ばらつきを小さくする方法がある。①は、しきい値を上げることによりセル電流が低減し、更に低電圧では電流が小さくなるためアクセス速度が著しく低下してしまう。②は Dr-MOS のサイズを大きくするとセルサイズが大きくなるため、メモリセルのフリップフロップ部分の電源 VDDM を上げ Dr-MOS の駆動能力を上げるアレイ昇圧方式が提案されている[5,6]。しかし、この方法は必要な電源の種類が増加し、動作電圧を変えることを前提にすると制御が困難となる。③に関しては、ばらつきは一般的にプロセス起因のばらつきであり、プロセス世代が進むとばらつきは大きくなり SNM が悪化することが報告されている[7]。しかし、これを解決することが根本的な解決方法であるため、セル内トランジスタの特性ばらつきを改善する方式を検討した。

2.3 横長メモリセル

本節では低電圧での動作を実現するために開発した横長 SRAM セルについて説明する[2,3]。図 2.3 は従来の SRAM セル[8]と提案する横長 SRAM セルの拡散層(Diffusion)とゲート層(Poly-Si)の 2 セル分のレイアウトを示している。従来のメモリセルレイアウトは、ビット方向に長く、ウエル形状は、ワード線方向に形成されていた。また、拡散層がリング状のため微細化が進むと必須となる光学近接補正 (Optical Proximity Correction; OPC) の使用が困難で、ゲート層も 2 方向のため高度な微細化技術である位相シフト法の適用が難しいという問題があった。このため、シリコン基板に転写される形状のばらつきが大きくなり、この結果メモリセルのトランジスタのしきい値ばらつきが大きくなっていた。これにより十分な動作マージンを維持することができず、低電圧動作が困難となっていた。

新規に開発した横長のメモリセルでは、拡散層はビット線方向に、ゲート層は水平方向に直線で、ワード線方向に長い形状となっている。拡散層やゲート層が 1 方向のみの単純な形状であり、微細化技術である OPC や位相シフトなどの手法が容易に適用可能であり、微細化に適したセル

となっている。この結果、シリコン上に転写されるパターンのばらつきが低減され、トランジスタのしきい値ばらつきが小さい。さらに単純な形状なため、リソグラフィのマスク合わせずれによるトランジスタの特性ばらつきが生じにくく、この結果 SRAM セル内のトランジスタの特性にアンバランスが生じにくく低電圧での動作が可能となる。

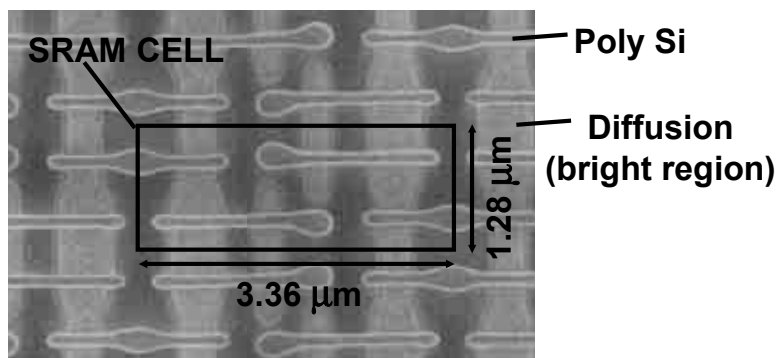
		従来の縦長SRAMセル	今回の横長SRAMセル
		形状	ビット線方向に長い
ウエル形状		ワード線方向	ビット線方向
拡散層		リング状	ビット線方向に1方向
ゲート層		2方向	ワード線方向に1方向
高度な微細化技術	光学近接補正	リング状形状のため使用難	単純形状のため適用容易
	位相シフト	ゲート層では適用が難	ゲート層での適用が容易
マスク合わせずれ耐性		バラツキ大	バラツキ小
特徴		微細化・低電圧化困難	微細化・低電圧化容易

図 2.3 従来メモリセルと横長メモリセルの比較

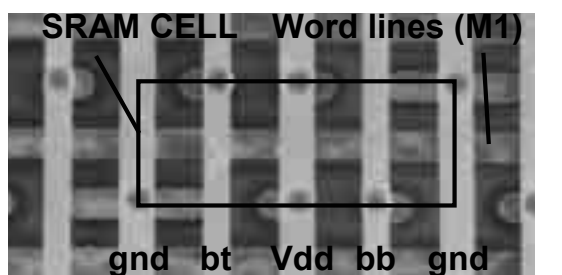
本メモリセルは、従来に比べウエルの境界が2つに増加している。従来ウエル境界での素子分離は LOCOS (Local Oxidation of Silicon) によって行っており、素子分離領域が大きかった。従ってウエル境界が2つ存在する本セルは従来セルに比べて大きくなっていった。しかし、近年では STI (Shallow Trench Isolation) と呼ばれる素子分離が一般的となり、素子分離が比較的小さい面積となったため本メモリセルの欠点が見えなくなり、使用が可能となったことが、本セルを実用化できた背景にはある。

図 2.4 には 0.18 μm で試作したメモリセルの SEM 写真を示している。図 2.4(b) は第 1 層のメタル層 (M1) と第 2 層のメタル層 (M2) を示している。第 1 層のメタルはワード線に使用され、第 2 層のメタルは、ビット線および電

源線に使用される。本メモリセルのスタティックノイズマージン(SNM)を測定した結果を図 2.5 に示した。2つの正方形の大きさが等しくバランスがよいことがわかる。0.3V でも有効なノイズマージンが観測されている。



(a)



(b)

図 2.4 横長セルの SEM 写真 (a)拡散層とポリシリコン層 (b)第 1 および第 2 メタル層

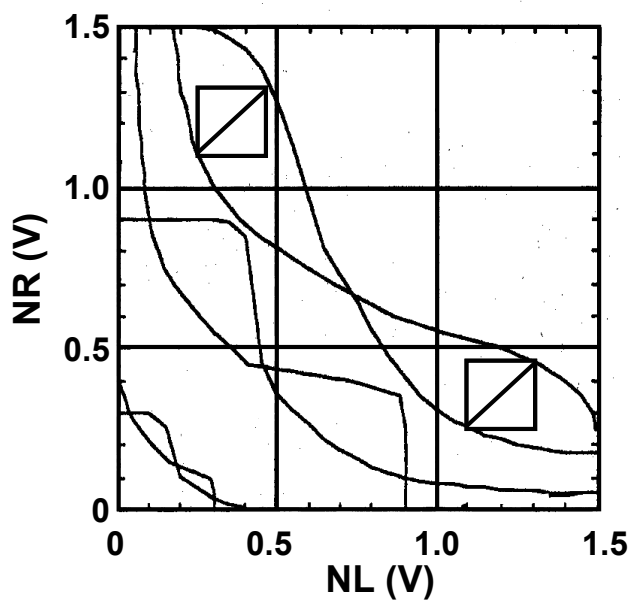


図 2.5 スタティックノイズマージンの測定結果 (typical 条件)

また、本横長メモリセルには、以下に示すメリットもある。

- (1) ワード線方向に長いため、ビット線が短く、ビット線の負荷容量が小さい。
- (2) ビット線が VDD 線と GND 線によってシールドされているので、ビット線間のクロストークが小さい。
- (3) VDD 線と GND 線がワード線と直交しており、各メモリセルのオン電流がそれぞれの VDD 線と GND 線に流れるため、VDD 線と GND 線上のノイズを低減できる。
- (4) ウエル方向がワード線と直角に形成されるため、同時に活性化される同一ワード線上のメモリセルは、ウエルを共有しておらず、メモリセルからウエルへのノイズ電流は各ウエルに分散し、ウエル電位の変動が小さい。このためウエル給電を、セル毎に形成する必要がなく、32あるいは64ワード毎に給電すれば十分となり、アレイの面積を低減できる。

ワード線が長くなるという欠点もあるが、この欠点を考慮しても上記利点により全体のアクセス時間を 13%改善する事ができる。

本セルは微細化・低電圧化に優れているため、本研究発表後、各社より多くの発表がなされ[9-12]、先端プロセスを用いた SRAM セルの標準技術となりつつある。

2.4 複数ダミービット線方式

2.4.1 幅広い電圧動作実現の課題

電源電圧が低くなると、高速化を維持するためには、MOSトランジスタしきい値を低くする必要がある。しかしながら、メモリセルは回路の大部分を占めるが、アクセスには通常 2 割程度しか影響しないため、リーク電流を低減する目的で、メモリセルのしきい値は周辺回路のしきい値に比べ高くするのが一般的である。本開発ではメモリセルのしきい値を 0.5V に設定した。一方周辺回路のしきい値は、0.4Vとした。図 2.6 はインバータゲート遅延の電圧依存性を示している。実線はメモリセルに使用されている 0.5V のしきい値のトランジスタによる遅延時間を示している。破線は、周

辺回路で使用される0.4Vのしきい値のトランジスタによる遅延時間を示している。電源電圧 1.5V では、0.5V のしきい値 MOS による遅延時間と 0.4V しきい値 MOS による遅延時間はほとんど同じである。しかし、電源電圧 0.5V では、2 つの遅延時間の上に大きな違いが生じる。

低電圧では、この遅延時間のずれにより、メモリセルがビット線を駆動する時間がセンスアンプを活性化する制御回路の遅延に比べ著しく遅くなり、センスアンプを最適なタイミングで活性化できなくなる。これを解決するために、活性化のタイミングを最適とする、複数ダミービット線方式を開発した。複数ダミービット線方式では、データを読み出すパスの中で高しきい値トランジスタで駆動される遅延時間の割合と、制御信号パスの中で高しきい値トランジスタで駆動される遅延時間の割合を等しくすることにより、各電圧でのデータ読み出しパスと制御信号パスの間のスキュー(skew)を相殺することが可能となる。

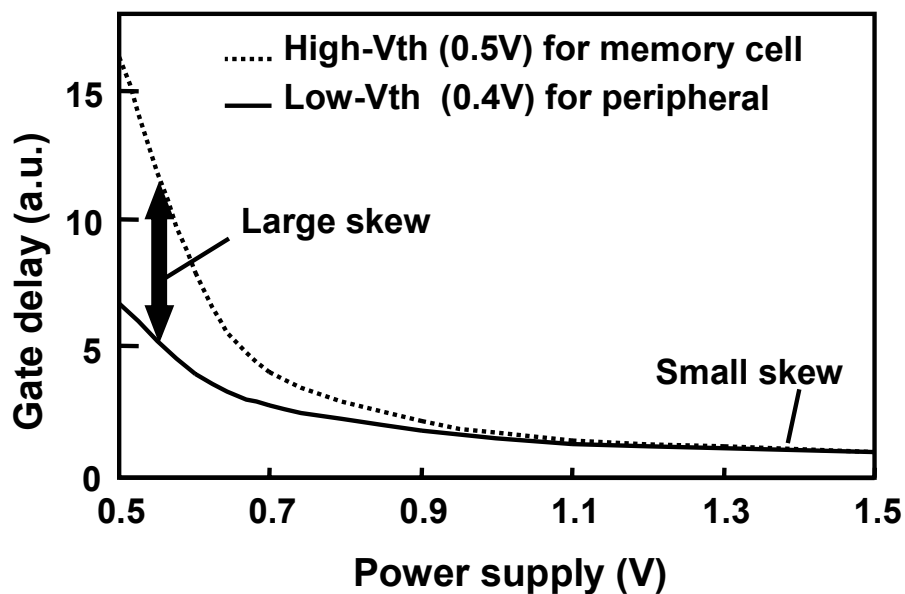


図 2.6 供給電圧とゲート遅延時間

2.4.2 ブロックダイアグラムと動作

開発したキャッシュメモリは 4 つのバンクから構成され、図 2.7 はさらにバンクの半分のブロックを示している。1 ブロックは 256 ワード×128 カラムで構成されている。クロック信号が入力されるとフリップフロップ(D-FF)内で

制御信号 (dec_en) が生成される。この信号によりプリデコーダ (predecoder) が活性化され、ワード線 (wl) が選択される。この結果メモリセル (MC) によってビット線 (bt, bb) 間に電位差が生じる。これがデータ読み出しパスである。

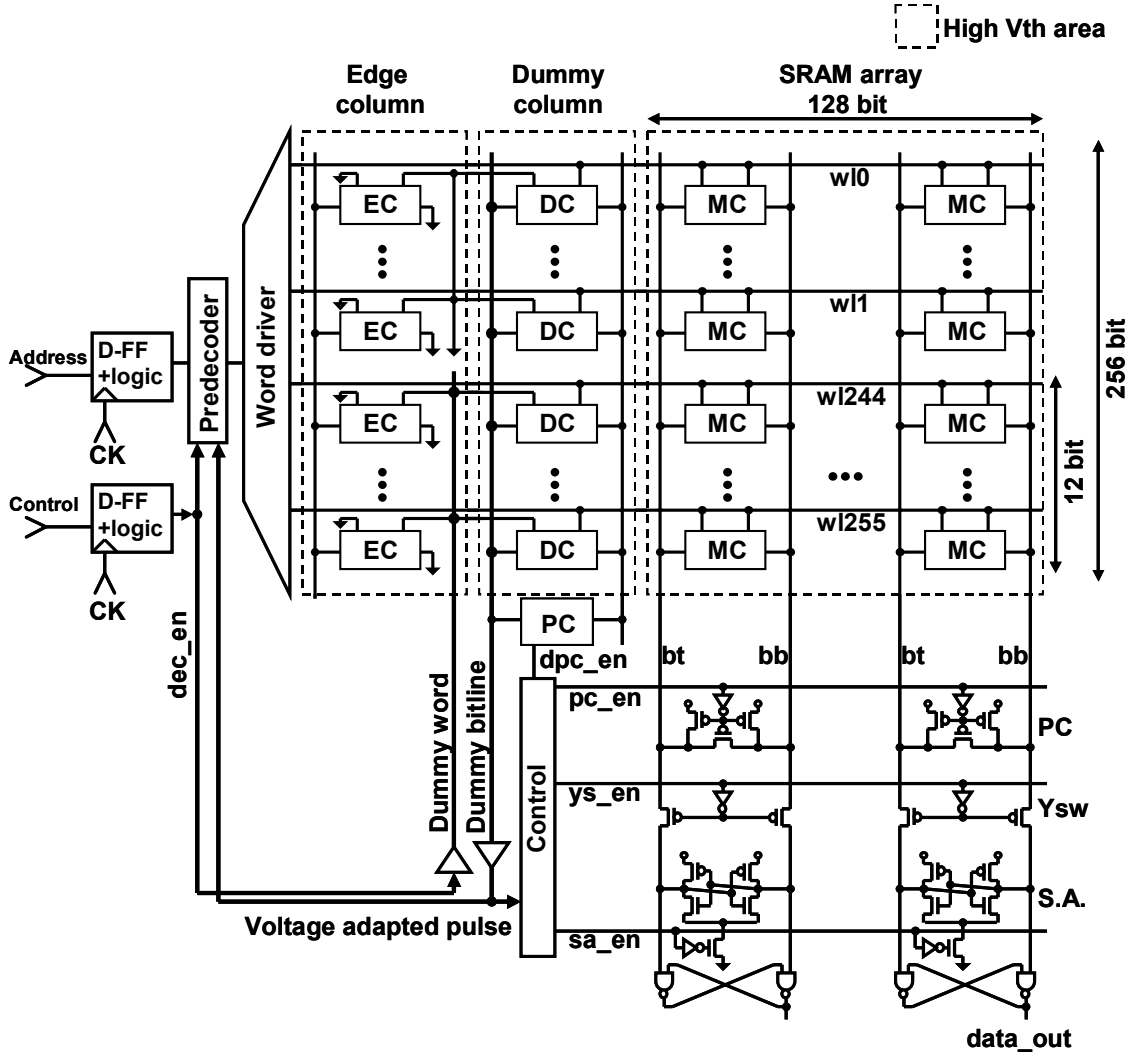


図 2.7 メモリアレイのブロック図

一方制御信号パスでは、制御信号 (dec_en) が、ビット線に平行なダミーワード線 (dummy word) を活性化させ、ダミーカラム (dummy column) 上にある 12 個のダミーセル (DC) が活性化されて、ダミービット線 (dummy bitline) が駆動される。ダミービット線の負荷容量は通常のビット線と同一である。ダミービット線は、電圧によってタイミングが変動する voltage-adapted pulse となり、センスアンプ活性化信号 (sa_en)、および

プリチャージリセット信号 (pc_en)、ワード線リセット信号生成に使用される。高しきい値のメモリセル(DC)による遅延がセンスアンプを活性化するパスに含まれている点が複数ダミービット線方式のポイントである。ダミーカラムセル(DC)とエッジカラムセル(EC)の回路図を図 2.8 に示した。ダミーカラムは電気的なダミーとして使用され、エッジカラムは光学的なダミーとして使用される。この回路構成により、拡散層とポリシリコン層のレイアウトが、通常の SRAM アレイおよびダミーカラム、エッジカラムで同一形状となり、ダミーセルの電流が通常の SRAM アレイのセル電流と同一となる。この回路では、ダミーワード線は複数のメモリセルを活性化するために、垂直方向にエッジカラムのビット線を流用して形成されている。ダミーワード線の容量は通常のワード線と異なるが、ワード線は周辺回路と同じしきい値のトランジスタにより駆動されるので問題はない。

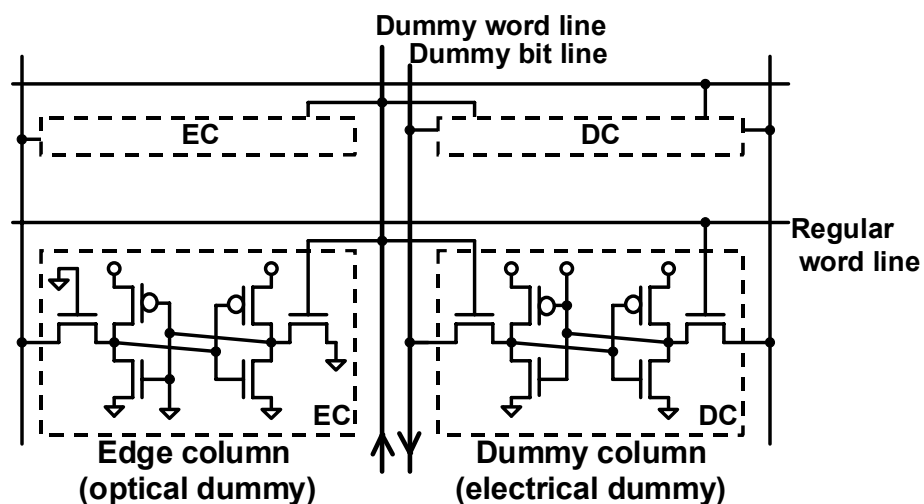


図 2.8 ダミー・エッジセルの回路図

2.4.3 タイミングダイアグラムと複数ダミービット線方式の効果

図 2.9 は電源電圧が 2.0V と 0.65V におけるタイミングダイアグラムを示している。2.0V では、アクセス時間(access time)の 24%がビット線駆動時間(bitline drive)である。しかし、メモリセルのみしきい値が高いため、0.65V では駆動時間が 48%に増大している。本回路では、高しきい値のダミーメモリセルが制御信号パスの一部を駆動するために、センスアンプが電圧に応じて最適なタイミングで活性化される。

1 ビットのダミーセルを使ったダミービット線方式は既に報告[13]があるが、メモリセル電流には図 2.10 に示すようなばらつきがあるため、ダミービット線で作られるタイミングにばらつきが生じていた。図 2.11 は活性化されるダミーセルの数と生成されるタイミングのばらつきとの関係を計算したものである。ダミーセルによるタイミングばらつきはアクセス時間で規格化している。メモリセル電流ばらつきは図 2.10 の分布から得られた標準偏差 4% を使って計算した。生成されるダミービット線のタイミングばらつきは、活性化されるダミーメモリセルの数を 1 ビットから本回路技術のように 12 ビットに増やすと、セル電流ばらつきが平均化されるために、17.5% から 5% に減少する。このばらつきの減少によりセンスアンプを活性化させるためのマージンを削減でき、アクセス時間が 12.5% 改善された。

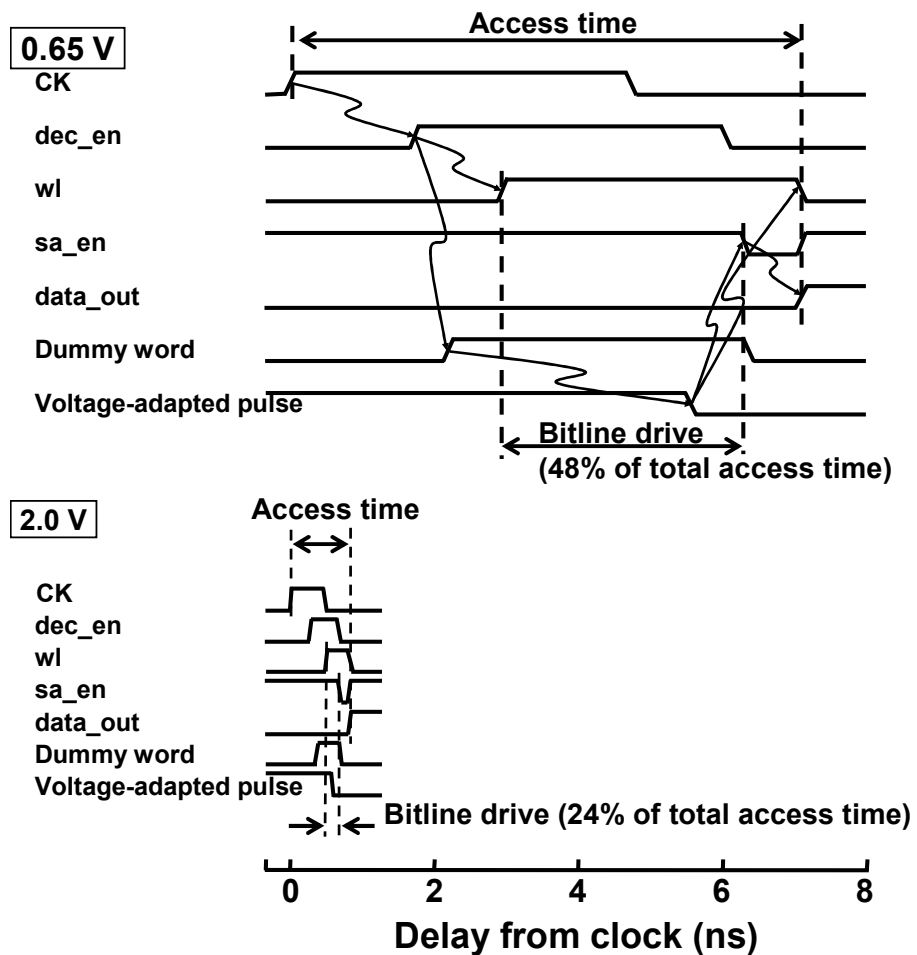


図 2.9 2.0V と 0.65V におけるキャッシュの動作タイミング

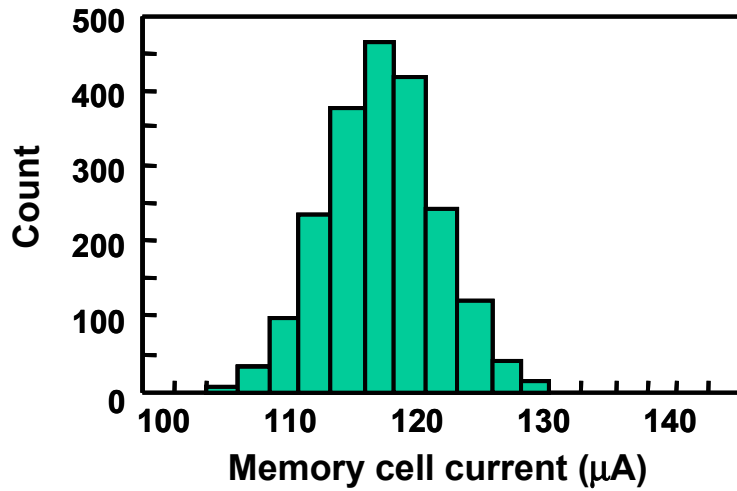


図 2.10 SRAM セル電流分布 (実測)

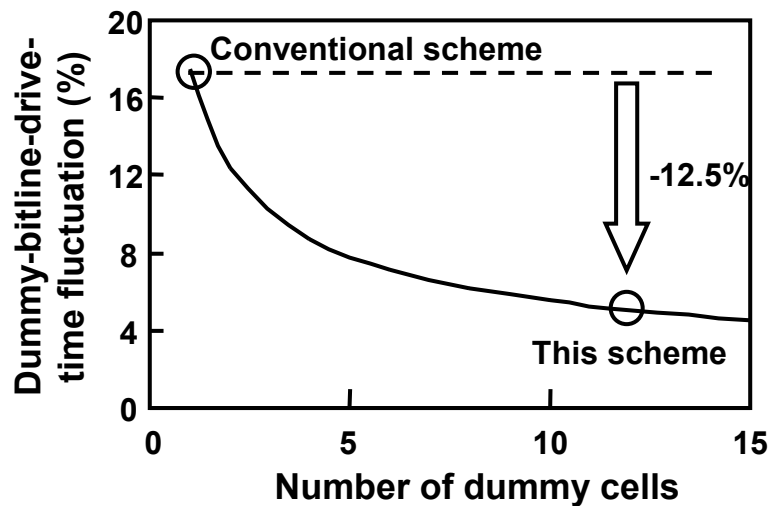


図 2.11 複数ダミーセル方式の効果

2.4.4 プリデコーダ回路とワードドライバ回路

図 2.12 にプリデコーダ回路 (predecoder) とワードドライバ回路 (word driver) を示した。ワード線リセットはプリデコーダ内で行われるため、ワードドライバ内でリセットする場合にくらべて、面積オーバーヘッドを小さくすることができる。

ワード線は、センスアンプが活性化されるとすぐに、voltage adapted pulse によりオフになる。Voltage adapted pulse によってリセットされるため、広い電圧範囲で動作しても、ワード線パルスは電源電圧に応じて最小と

なり、メモリセル電流による無駄な消費電力を削減できる。

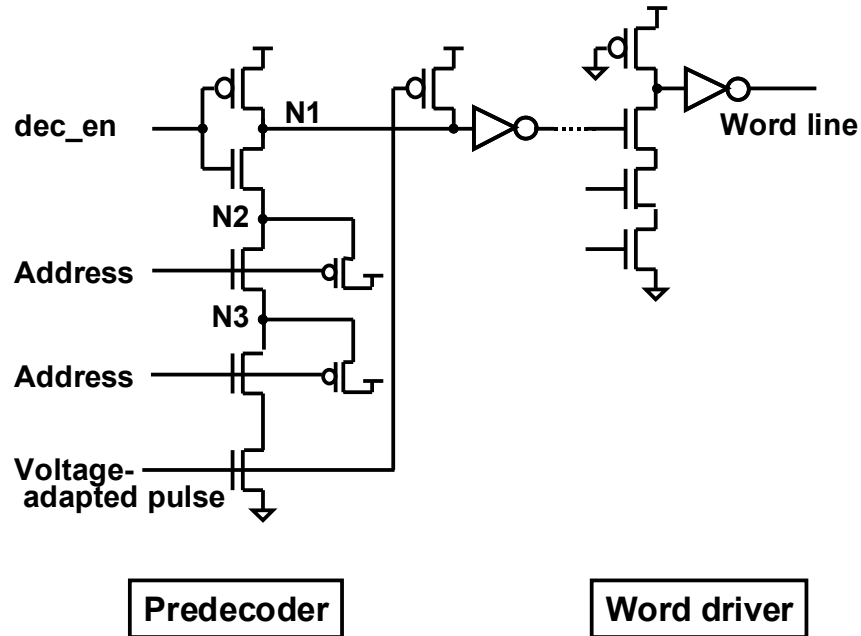


図 2.12 プリコーダ・ワードドライバ回路

リセットのために4つのNMOSトランジスタが直列に接続されているが、ノード N1 に接続されている PMOS トランジスタを4つから2つに削減して、N1 のプルダウンおよびワード線の立ち上げ速度を改善した。また、低電圧動作時、チャージシェアリングを避けるため、サイズの小さい PMOS トランジスタをノード N2 と N3 に接続した。

2.5 試作結果

32KB のキャッシュメモリを4層メタル配線 0.18 μm CMOS プロセスを使って試作した。トランジスタのゲート長は、0.14 μm である。メモリセルのしきい値は 0.5V、周辺回路のしきい値は 0.4V である。メタルピッチは 0.52 μm であり、メモリセルサイズは 4.3 μm^2 以下である。図 2.13 に試作したキャッシュメモリのチップ写真を示した。データアレイは4つの8KBのバンクから構成される。それぞれのバンクは256ワード線 \times 256カラムからなり、2つのアレイに分割されている。また中央にはTAGアレイが置かれている。キャッ

シュの面積は、 $3 \times 1.25 \text{ mm}$ であり、64ワード毎に基板への給電がなされている。複数ダミービット線方式による面積のオーバーヘッドは 0.5%以下である。

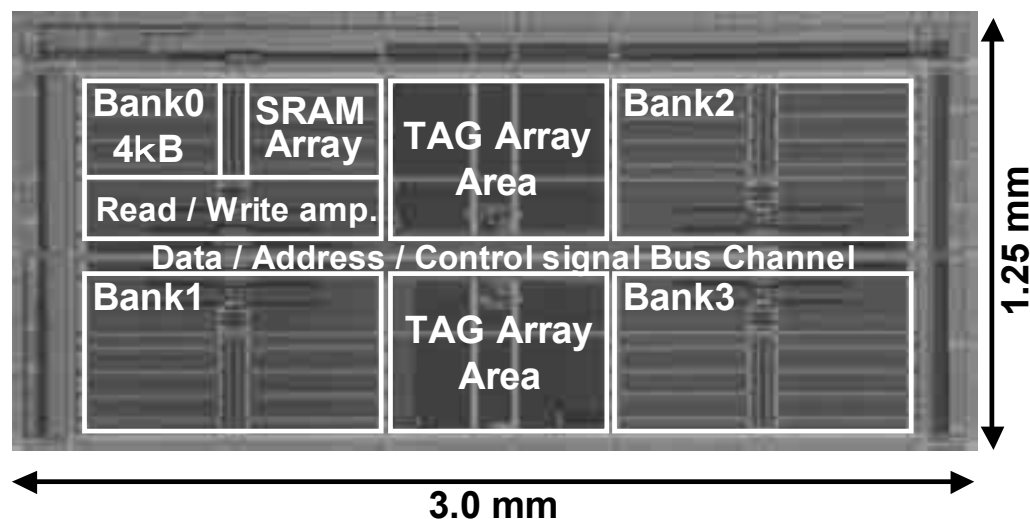


図 2.13 開発したキャッシュメモリのチップ写真

データアレイは低電力化のために、1バンクのみを活性化する。残りの3つのバンクは活性化しない。これにより約 30%の消費電力が削減される。この削減された消費電力は、おもに、コントロール回路およびビット線が駆動されないことによるものである。

図 2.14 に読み出し時の動作波形を示した。この動作波形はピコプローブを使って測定した。電源電圧 1.5V で、800MHz サイクルで動作し、クロック入力 (clock) からセンスアンプ出力 (data_out) までの遅延時間は 960ps であった。図 2.15 にはシムプロットを示した。このシムプロットはオンチップ PLL を使って測定した。テストチップは 0.65V で 120MHz から 2.0V で 1.04GHz まで動作した。

図 2.16 に Dr-MOS および Tr-MOS トランジスタの基板バイアス V_{bbm} を変えた場合の電圧とアクセス時間の関係を示した。 V_{bbm} に負の電圧を印加した場合、MOS トランジスタのしきい値は上昇し、逆に正の電圧を印加した場合、MOS トランジスタのしきい値は下がる。このようにメモリセルのしきい値のみが変動した場合でも、低電圧から高電圧まで連続的に動作する。これは、複数ダミービット線方式により最適なタイミングでセンスアンプを活性化できているためである。

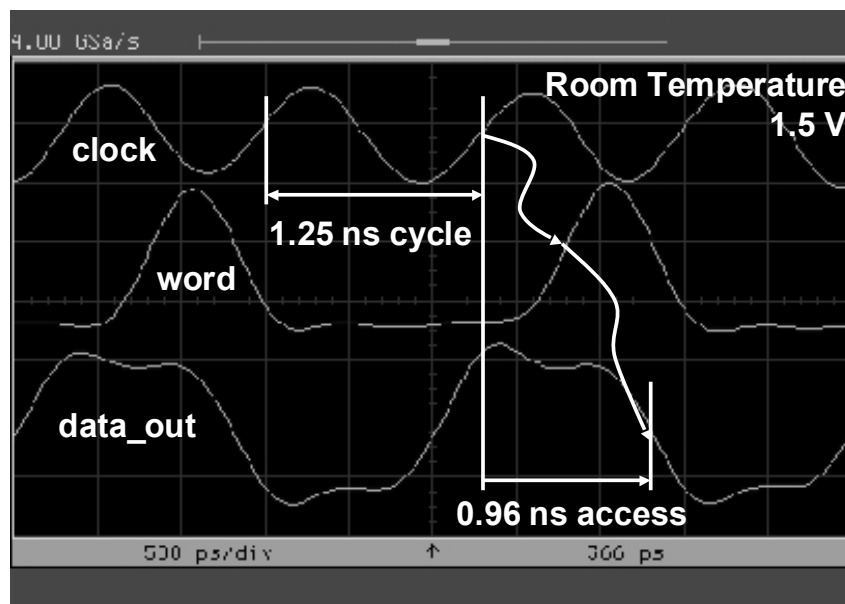


図 2.14 読出し動作波形の測定結果

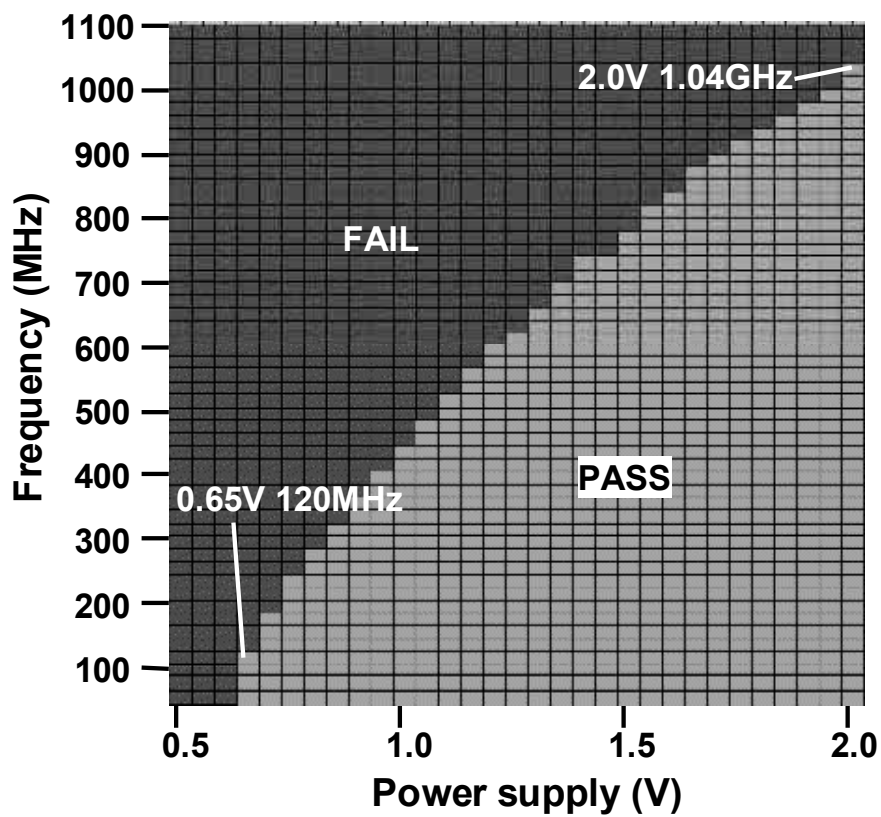


図 2.15 シムープロット

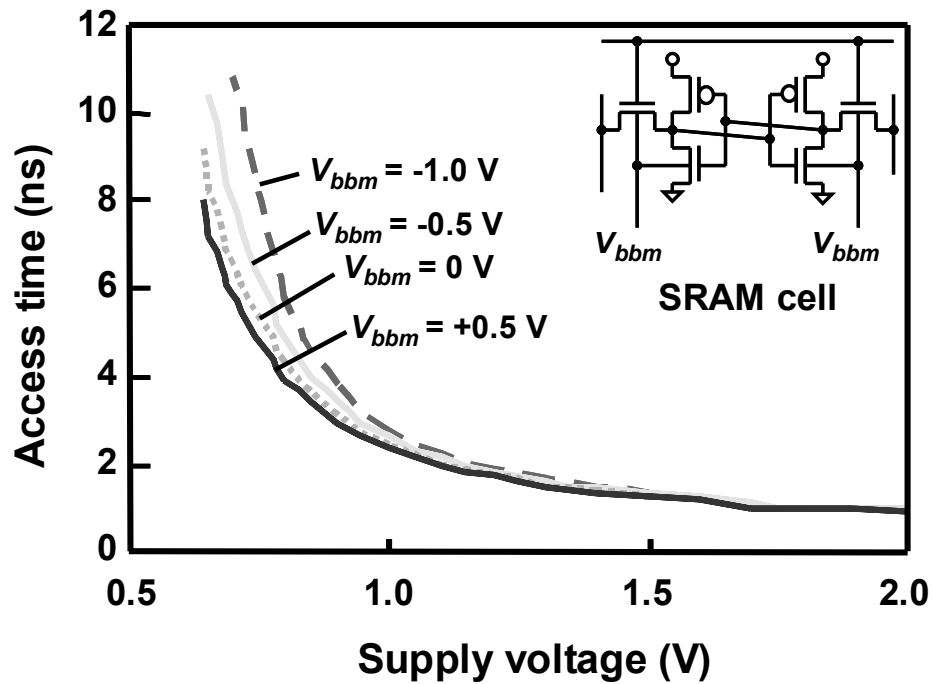


図 2.16 アクセス時間と供給電圧の関係

図 2.17 に消費電力の各周波数での測定結果を示した。この消費電力にはバス駆動の電力は含まれていない。消費電力測定は、各周波数毎に最低の電圧で測定した。また、電源電圧が 2.0V と一定な従来方式での消費電力も計算し示した。

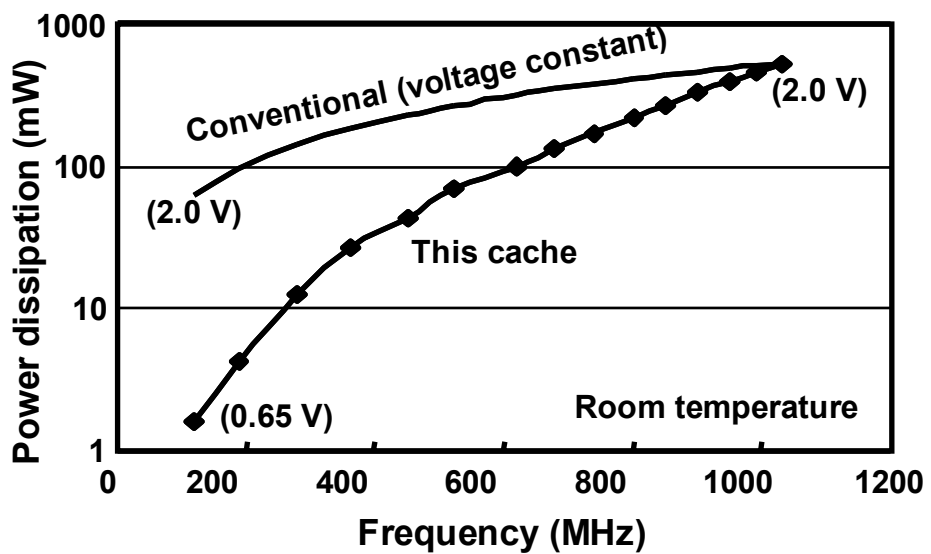


図 2.17 キャッシュメモリの消費電力の測定結果

消費電力は、120 MHz、0.65 V で、1.7 mW、1.04 GHz、2.0 V で、530 mW であった。消費電力は 120MHz で従来の電圧が一定な場合に比べ 97%削減される。

表 2.1 には試作キャッシュメモリの緒元を示した。キャッシュサイズは、3.75 mm² である。キャッシュメモリは 0.65V の場合、120 MHz 動作時の消費電力は 1.7 mW、2.0V では、1.04 GHz の動作を 530 mW の消費電力で達成する。構成は 4 ウエイセットアソシアティブ、1024 インデックである。

表 2.1 チップ緒元

Process	4-metal 0.18-μm enhanced CMOS
Threshold voltage	0.5 V: memory cell 0.4 V: peripherals
Metal pitch	0.52 μm
Cell size (6T)	1.28 x 3.36 μm
Cache size	3 x 1.25 mm
Supply voltage	0.65 V-2.0 V
Frequency	120 MHz-1.04 GHz
Power dissipation	1.7 mW-530 mW
Organization	Four-way-set associative 1024 index x 64 bit x 4 set

2.6 結言

本章では、SRAM の低電圧動作および幅広い動作を実現する回路方式について論じた。まず初めに、SRAM セル動作の安定性を示す指標であるスタティックノイズマージンについて説明し、低電圧でこの安定性を改善させる方式について整理した。低電圧で動作を安定させる方法として、①トランジスタのしきい値を上げる。② β レシオを大きくする。③セル内のトランジスタの特性ばらつきを小さくする方法があることを論じた。

この結果に基づき、本章では低電圧での動作を実現するため、リソグラフィでのマスク合わせずれに鈍感で、セル内のトランジスタの特性ばらつきを小さくできる横長メモリセル技術を提案した。横長メモリセルは、メモリセルのトランジスタばらつきを低減することができ、0.3V まで SNM が存在し、また、アクセスを 15% 改善することができる。

次に、幅広い電圧範囲での動作を実現するための問題点を明確にした。メモリセルと周辺制御回路ではトランジスタのしきい値が異なるため電源電圧を変えた場合に回路の遅延時間に差が生じ、センスアンプを正しく活性化できないことがわかった。この結果に基づき幅広い電圧範囲での動作を実現するため、動作電圧に応じて最適な動作タイミングを発生する複数ダミービット線方式を提案した。複数ダミービット線方式は、メモリセルと周辺回路でトランジスタしきい値が異なることによる遅延時間のずれを相殺し、12.5% アクセスを改善することができる。

本技術を使用して、0.18- μm CMOS プロセスにより 32KB のキャッシュメモリを試作した結果、以下の結論を得た。

- (1) 0.65V の低電圧から 2.0V まで連続動作することを確認した。
- (2) 0.65V の場合、120 MHz で動作し、2.0V では、1.04 GHz で動作することを確認した。
- (3) 0.65V、120 MHz 動作時の消費電力は 1.7 mW、2.0V、1.04 GHz 動作時の消費電力は 530 mW であり、最大で電力を 97% 削減できた。

参考文献

- [1] T. D. Burd, et al., “A dynamic voltage scaled microprocessor system,” *IEEE J. Solid-State Circuits*, vol. 35, pp. 1571–1580, Nov., 2000.
- [2] K. Osada, J. L. Shin, M. Khan, Y. Liou, K. Wang, K. Shoji, K. Kuroda, S. Ikeda, and K. Ishibashi, “Universal-vdd 0.65–2.0V 32kB cache using voltage-adapted timing-generation scheme and a lithographical-symmetric cell,” in *Proc. IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, Feb. 2001, pp. 168–169.
- [3] K. Osada, J. L. Shin, M. Khan, Y. Liou, K. Wang, K. Shoji, K. Kuroda, S. Ikeda, and K. Ishibashi, “Universal-vdd 0.65–2.0-V 32-kB cache using voltage-adapted timing-generation scheme and a lithographical-symmetric cell,” *IEEE J. Solid-State Circuits*, vol. 36, no. 11, pp. 1738–1744, Nov. 2001.
- [4] E. Seevinck, F. L. List, and J. Lohstroh, “Static-noise margin analysis of MOS SRAM cells,” *IEEE J. Solid-State Circuits*, vol. 22, no. 5, pp. 748–754, Oct. 1987.
- [5] M. Yamaoka, K. Osada, and K. Ishibashi, “0.4-V logic library friendly SRAM array using rectangular-diffusion cell and delta-boosted-array-voltage scheme,” in *Symp. VLSI Circuits Dig. Tech. Papers*, June 2002, pp. 170–173.
- [6] K. Itoh, et al., “A deep sub-V_t, single power-supply SRAM cell with multi-V_t, boosted storage node and dynamic load,” in *Symp. VLSI Circuits Dig. Tech. Papers*, June 1996, pp. 132–133.
- [7] A. J. Bhavnagarwala, T. Xinghai, and J. D. Meindl, “The impact of intrinsic device fluctuations on CMOS SRAM cell stability,” *IEEE J. Solid-State Circuits*, vol. 36, no. 4, pp. 658–659, Apr. 2001.
- [8] T. Uetake, et al., “A 1.0ns access 770MHz 36Kb SRAM macro,” in *Symp. VLSI Circuits Dig. Tech. Papers*, June 1999, pp. 109–110.
- [9] K. Tomita, K. Hashimoto, T. Inbe, T. Oashi, K. Tsukamoto, Y. Nishioka, M. Matsuura, T. Eimori, M. Inuishi, I. Miyanaga, M. Nakamura, T. Kishimoto, T. Yamada, K. Eriguchi, H. Yuasa, T. Satake, A. Kajiya, M. Ogura, “Sub-1 μm^2

- high density embedded SRAM technologies for 100 nm generation SOC and beyond,” in *Symp. VLSI Technology Dig. Tech. Papers*, June 2002, pp. 14–15.
- [10] M. Kanda, E. Morifuji, M. Nishigoori, Y. Fujimoto, M. Uematsu, K. Takahashi, H. Tsuno, K. Okano, S. Matsuda, H. Oyamatsu, H. Takahashi, N. Nagashima, S. Yamada, T. Noguchi, Y. Okamoto, M. Kakurnu, “Highly stable 65nm node (cmos5) 0.56 μm^2 SRAM cell design for very low operation voltage,” in *Symp. VLSI Technology Dig. Tech. Papers*, June 2003, pp. 13–14.
- [11] F. Arnaud, F. Bocef, F. Salvetti, D. Lenoble, F. Wacquant, C. Regnier, P. Morin, N. Emonet, E. Denis, J.C. Oberlin, D. Ceccareiii, P. Vannier, G. Imbert, A. Sicard, C. Perrot, O. Belmont, I. Guilmeau, P.O. Sasoulas, S. Delmedico, R. Palla, F. Levent, A. Beverina, V. DeJonghe, M. Broekaan, L. Pain, J. Todeschini, M. Charpin, Y. Laplanche, D. Neira, V. Vachellerie, B. Borot, T. Devoivre, N. Bicaïs, B. Hirschberger, R. Pantel, N. Revii, C. Parthasmthy, N. Planes, H. Brut, J. Farkas, J. Uginet, P. Stolk, M. Woo, “A functional 0.69 μm^2 embedded 6t-SRAM bit cell for 65mn cmos platform,” in *Symp. VLSI Technology Dig. Tech. Papers*, June 2003, pp. 65–66.
- [12] S-M. Jung, J. Lim, W. Cho, H. Cho, H. Hong, J. Jeong, S. Jung, H. Park, B. Son, Y. Jang, and K. Kim, “Soft error immune 0.46 μm^2 SRAM cell with MIM node capacitor by 65nm CMOS technology for ultra high speed SRAM,” in *IEDM Tech. Dig.*, Dec. 2003, pp. 289–292.
- [13] Bharadwaj S., et al., “A replica technique for word-line and sense control in low-power SRAM’s,” *IEEE J. Solid-State Circuits*, vol. 33, pp.1208–1219, Aug. 1998.

第3章

待機時の低消費電力化技術

3.1 緒言

携帯電話や携帯情報端末は前章で述べたように動作時の消費電力を低減することが重要であるが、SRAMでは待機時にデータを保持するため、待機時のリーク電流(スタンバイ電流)を低減することも強く要求される。例えば携帯電話で使用される単品の低電力SRAMでは $0.3\mu\text{A}/\text{Mb}$ 程度、オンチップのSRAMでも $30\mu\text{A}/\text{Mb}$ 程度のスタンバイ電流が要求される。しかしながらプロセスの微細化に伴いSRAMセルのリーク電流は増大し、低減することがますます困難となっている。本章ではSRAMの待機時の低消費電力化技術について述べる。

まず始めに、先端プロセスを用いた場合のMOSトランジスタのリーク電流について述べる。先端プロセスを用いた場合、従来から問題となっているサブスレッショルド電流に加えMOSトランジスタのゲートトンネルリーク電流やGIDL(Gate-Induced Drain-Leakage)電流が増大する[1-3]。次に、SRAMセルの成分毎の待機時のリーク電流について整理し、新しいリーク電流成分であるゲートトンネルリーク電流やGIDL電流の特性と低減方法について述べる。

以上の結果を基にして本章では、プロセスを変更せず、世界最小のスタンバイ電流を実現する[4-6]ために開発した、電界緩和(Electric Field Relaxation; EFR)方式[7,8]を提案する。この電界緩和(EFR)は、従来のメモリセルでは接地電位に接続されていたソース線や電源電位に接続

されていたビット線を待機時にのみ電位を変えることによりゲートトンネルリーク電流や GIDL 電流を低減する技術である。

3.2 SRAM のスタンバイ電流低減方式

3.2.1 従来 SRAM のリーク電流

従来データ保持時に流れる電流は、基本的には、オフ状態のトランジスタのチャンネル部分にドレインからソースに向かって流れるサブスレッショルドリーク(Subthreshold leakage)電流であった。サブスレッショルド電流を低減するにはメモリセルの基板バイアスを制御する方式[9]が有効であった。しかし、プロセスが微細化してくると、サブスレッショルド電流に加えて新たなリーク電流が顕在化してきた。先端プロセスを用いた場合の NMOS トランジスタのリーク電流を図 3.1 に示した。サブスレッショルドリーク電流に加え、ゲート電極からチャンネルに向かって流れるゲートトンネルリーク(Gate-tunnel leakage)電流や、ゲートドレイン間の電圧に依存して流れる GIDL 電流、pn 接合部に流れる接合トンネル(Junction tunnel)電流が顕在化してきている。ゲートトンネルリーク電流はチャンネルが形成されるオン状態のトランジスタでより大きくなるのが特徴である。

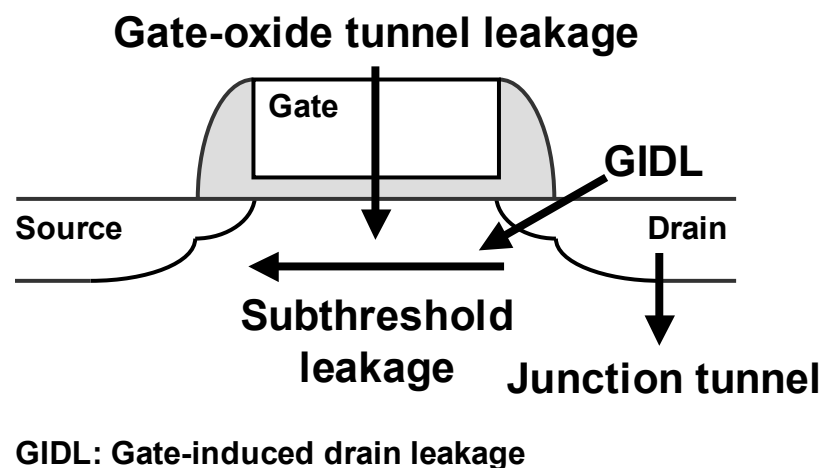


図 3.1 先端デバイスにおける NMOS トランジスタのリーク電流

このようなトランジスタを用いて SRAM セルを構成した場合のリーク電流を図

3.2 に示した。従来セルでは、ビット線(BT, BB)および電源線(VDDI)に 1.5V が、ワード線と接地線(VSSM)には 0V が印加され、オン状態のトランジスタに流れる 2 つのゲートトンネルリーク電流と、オフ状態のトランジスタに流れる 5 つの GIDL 電流と 3 つのサブスレッショルドリーク電流が主なリーク電流成分となっている。サブスレッショルドリーク電流を低減するには、しきい値の高い MOS トランジスタを使用することにより、アクセスは遅くなるが可能である。しかし、ゲートトンネルリーク電流や GIDL 電流は、簡単なデバイスの調整では低減することは困難である。このような電流を低減する回路技術として電界緩和(EFR)方式を開発した。

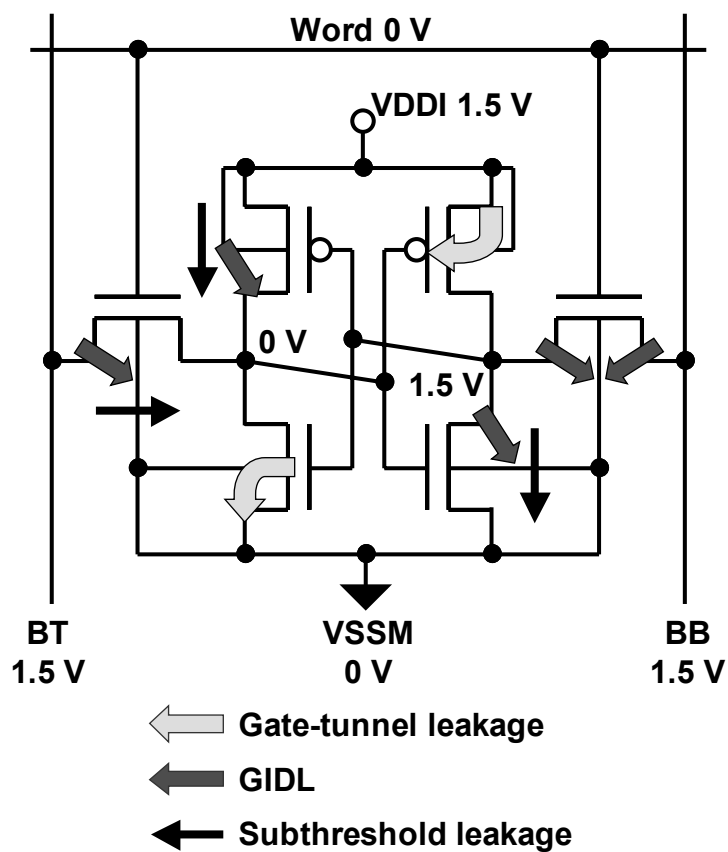


図 3.2 先端プロセスを使った場合の従来方式 SRAM のスタンバイリーク電流

3.2.2 ゲートトンネルリーク電流と GIDL 電流

この節では、ゲートトンネルリーク電流と GIDL 電流について述べる。図 3.3 にゲートトンネルリーク電流の酸化膜厚(T_{ox})と印加電圧の依存性を

示す。 T_{ox} が 2\AA 減少する毎にゲートトンネルリーク電流が約 1 桁増加することがわかる。今後微細化が進むとさらに酸化膜厚を薄くする必要があるため、この電流が全リーク電流の主成分の 1 つとなると予想される。この電流を低減する方法として High- k 絶縁膜を使う技術が開発されている [10,11]が、移動度が低下する等の副作用が大きく、実用化されるにはまだ多くの問題が存在する。一方、ゲートトンネルリーク電流はゲート電圧を下げると減少する。印加電圧を 0.5V (1.5V から 1.0V) 下げると、約 95% のリーク電流を削減することができる。これは、ゲートトンネルリーク電流が電界強度に依存するためであり [1, 2, 12, 13]、開発した電界緩和 (EFR) 方式はこの原理を利用している。

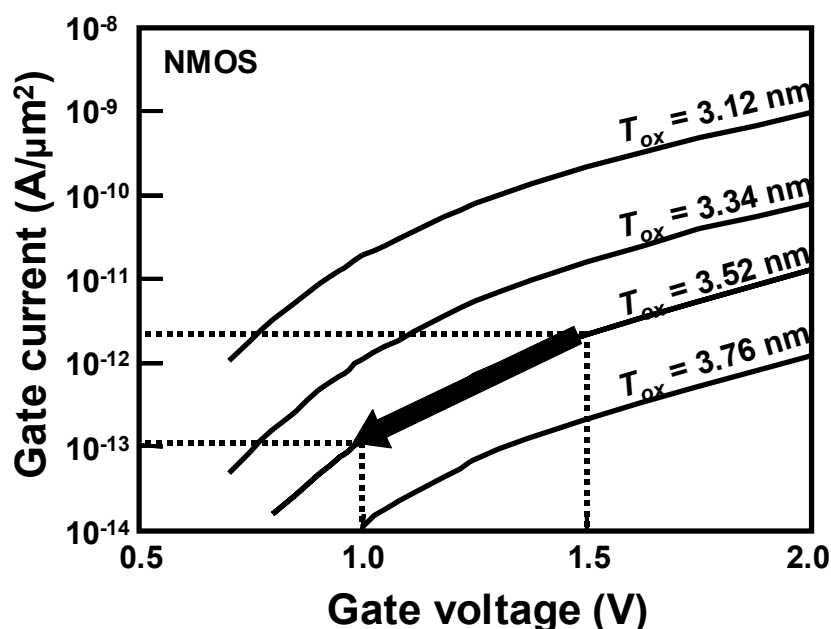


図 3.3 ゲート酸化膜(T_{ox})を変えたときのゲートトンネルリーク電流のゲート電圧依存性

また図 3.4 には、ドレイン電流のゲート電圧(V_g)の依存性の測定結果が示されている。実線はドレイン電圧(V_d)が 1.0V のときの電流であり、破線は 1.5V の時の波形である。 V_g が 0V 以上ではサブスレッショルドリーク電流が主なリーク成分であり、 V_g が 0V 以下では GIDL 電流が主な成分となる。非常に高いしきい値を使用しているため、 $V_g = 0\text{V}$ の時には、サブスレッショルドリーク電流は GIDL 電流に比べ非常に小さい値となる。従って

$V_g = 0V$ の時のオフ電流は GIDL 電流が主成分となっている。GIDL 電流 I_{GIDL} もまたゲート下の電界 F に強く依存する電流であり[3, 14]、

$$I_{GIDL} = A F^{5/2} \exp\left(\frac{-B}{F}\right) \quad (1)$$

と表される。ここで A と B はバンドギャップ E_c に依存し一定となる。この式は、 I_{GIDL} の対数が電界 F に反比例することを示している。電界 F は主にゲート-ドレイン電圧 V_{gd} に依存している。従って、GIDL 電流の大きさはゲート-ドレイン電圧 V_{gd} によって決定される。

図 3.4 に示したように、 V_{gd} を 1.5V から 1.0V に下げると、電界が緩和され約 90%の電流が低減できる。電界緩和方式はこの効果も使用している。

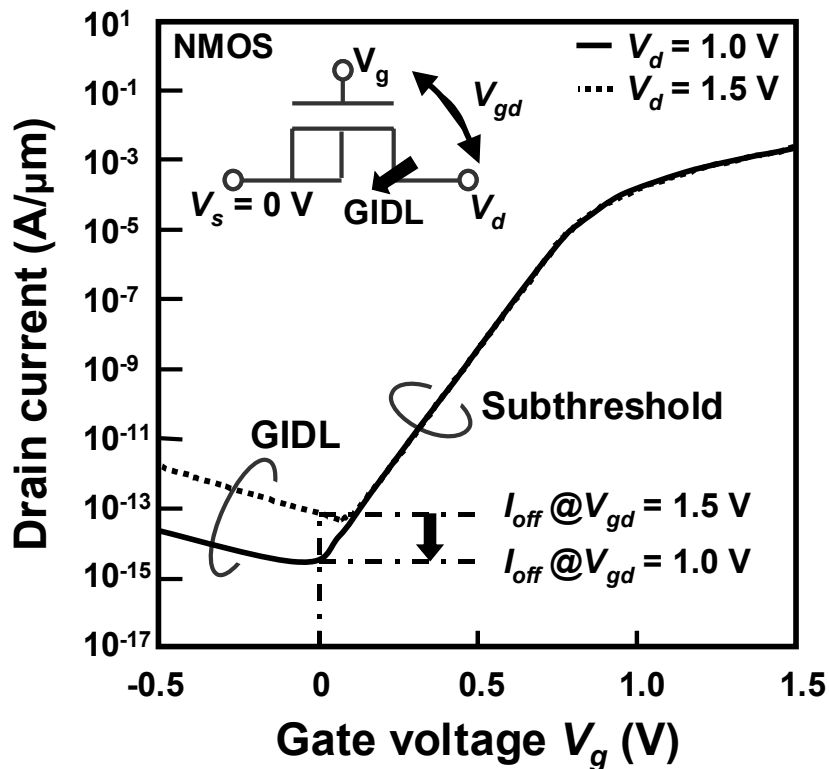


図 3.4 GIDL とサブスレッショルドドリーク電流

3.2.3 電界緩和(EFR)方式

電界緩和方式を図 3.5 に示した。ビット線(BT, BB)には 1.5V の代わり

に 1.0V が印可される。また、接地線(VSSM)は 0V の代わりに 0.5V が印加される。図中の黒い矢印で示した個所では、電界が 1.5V から 1.0V に緩和され、ゲートトンネルリーク電流や GIDL 電流が約 90%削減される。またグレーの矢印で示した個所はゲート(V_{gs})に 0.5V の負電圧が印可され、サブスレッショルドリーク電流をほとんど 0 にすることができる。破線の矢印で示した個所は V_{bb} 基板バイアスが印可されサブスレッショルドリーク電流が約 90%削減される。

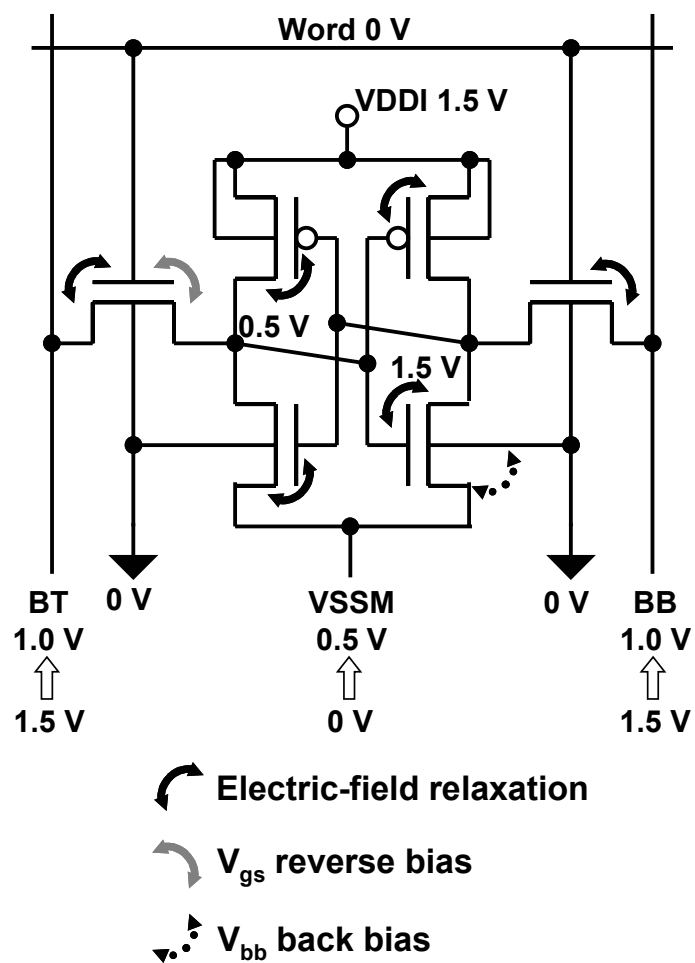


図 3.5 電界緩和方式

図 3.6 は、測定した従来方式と本方式 (EFR) での SRAM セルのスタンバイ電流を示している。プロセスはワーストであり、サブスレッショルドリーク電流と GIDL 電流は一緒に示されている。PMOSトランジスタは 1.0V と非常に高いしきい値を使用しているため 25°C および 90°C でサブスレッショル

ドリーク電流は GIDL 電流に比べ非常に小さい。NMOS トランジスタは 0.7V のしきい値を使用しているため、25°Cでは、GIDL 電流がサブスレッショルドドリーク電流より大きく、90°Cでは、逆にサブスレッショルドドリーク電流の方が大きくなっている。セルのリーク電流は 25°Cで 16.7fA であり、従来に比べて 82.5%低減した。90°Cでは、101.7fA であり、91.8%低減した。

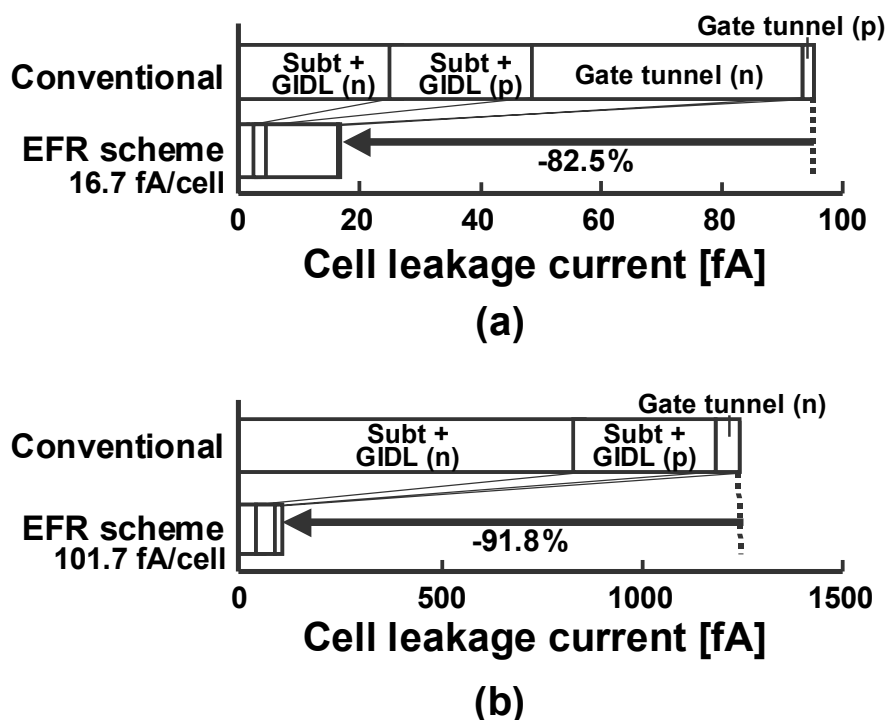


図 3.6 SRAM セルリーク電流の測定結果 (a) 25°C@worst (b) 90°C@worst

3.3 チップ構成

図 3.7 に試作した 16Mbit の SRAM チップの 1 つのメモリマツ部の回路図を示す。SRAM チップは 32 個のメモリマツで構成されている。各マツは 2048 ビットのワード線と 256 ビットのデータと 20 ビットのパリティにより構成される。さらにメモリマツは 4 つのバンクに分割されている。読み出し時のシミュレーション波形を図 3.8 に示した。アドレスが変化すると ATD パルスが生成されリセットされる。4.3ns のリセット時間の中に、選択された 1 つのバンクのメモリセルの接地電位 (VSSM) が 0.5V から 0V に引き下げられ、

一方ビット線(BT, BB)は、1.0V から 1.5V にマツレベルで制御される。その後ワード線がオンする。その後センスアンプの活性化により 128 ビットのデータと 10 ビットのパリティがローカルバス(LBUS)に読み出される。このデータはエラー訂正回路とセレクタを通過して、16 ビットの訂正されたデータとして読み出し用グローバルバス RGBUS に転送される。

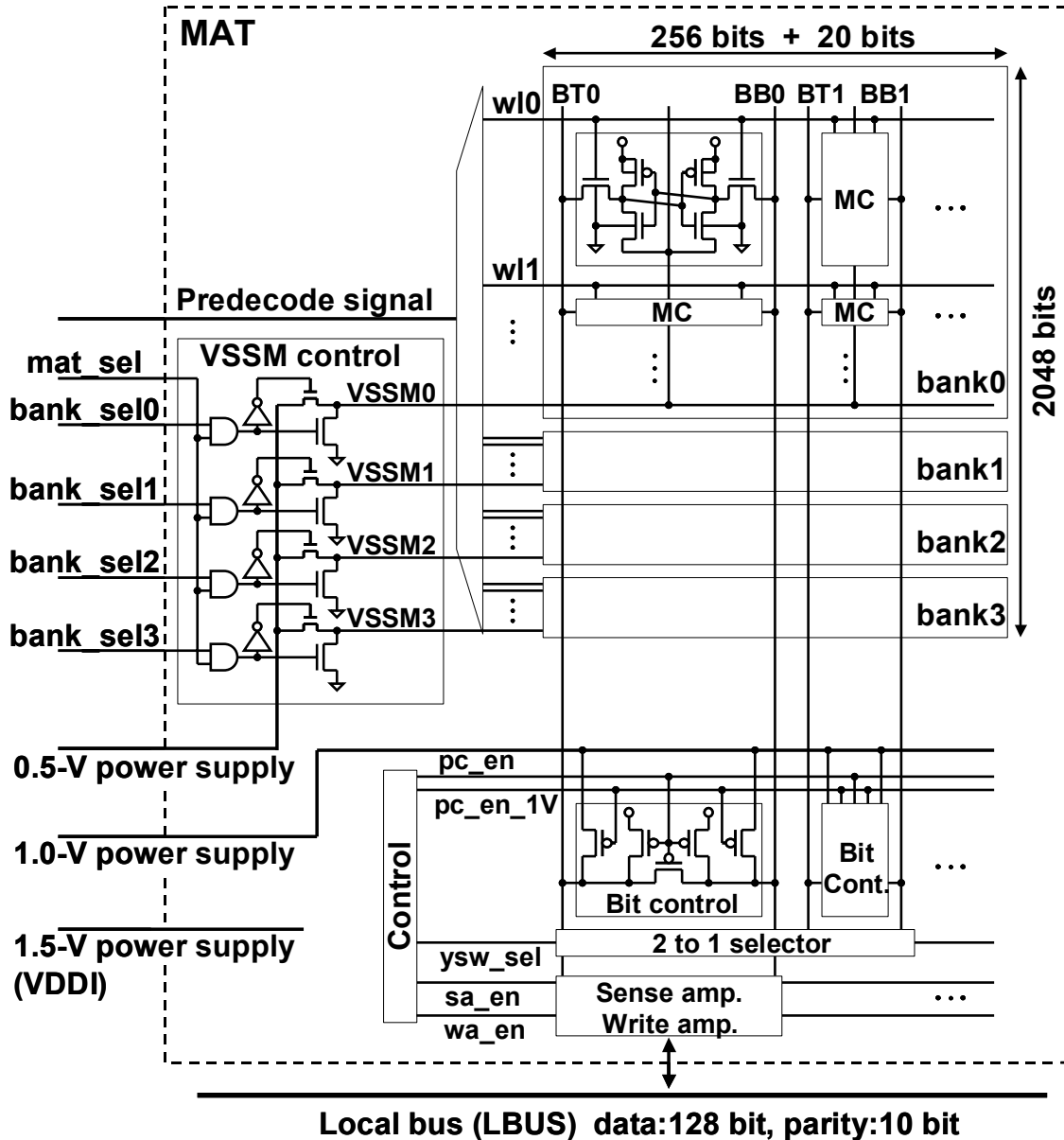


図 3.7 メモリマツのブロック図

ノイズを低減するために、VSSM はマツレベルでなくマツを 4 分割したバンクレベルで制御される。この制御方法により接地線のノイズを 32mV

まで低減することができた。この結果は電源ネットを使ったシミュレーションにより確認した。また、VSSM はメタルの第 3 層を用いて補強している。アクセスが終了すると、VSSM は 0.5V に約 500 μ s かけてゆっくり戻り、ビット線は 1.0V に約 100ms かけてゆっくり戻る。

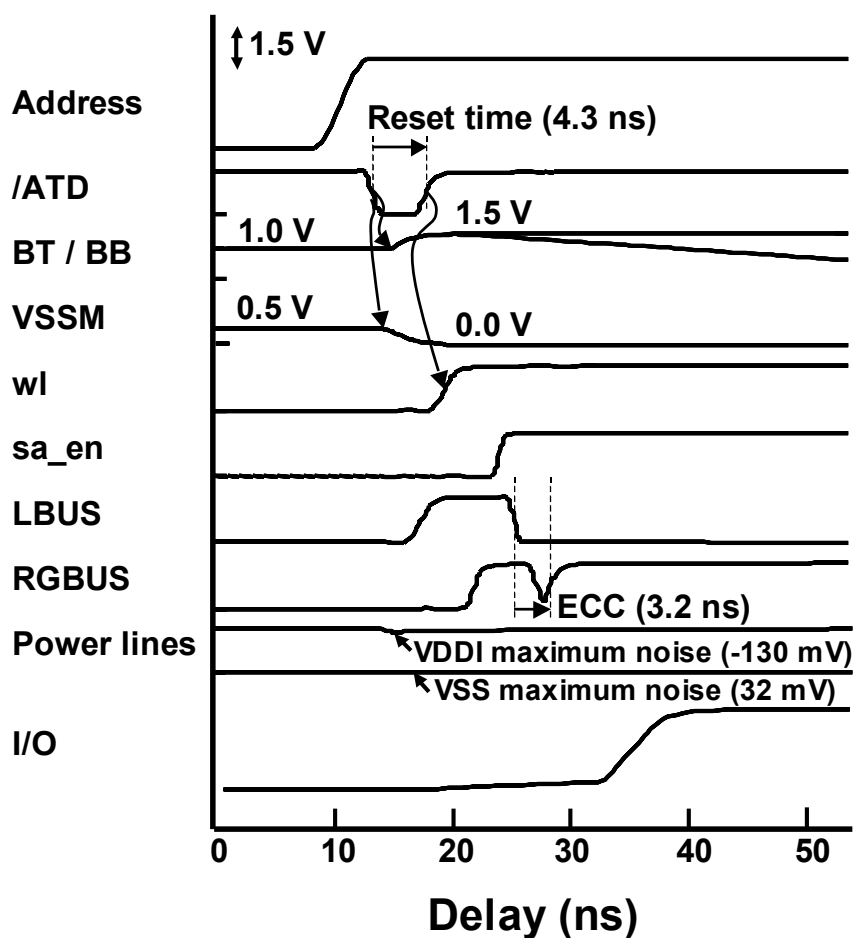


図 3.8 読出し時動作波形

3.4 試作結果

3 層 AL 配線の 0.13 μ m CMOS プロセスにより SRAM を試作した。プロセスとデバイスの概略を表 3.1 に示した。トランジスタのゲート長は 0.14 μ m である。メモリセルのしきい値は、NMOS で 0.7V、PMOS で 1.0V である。一方周辺回路は高速動作のため 0.3V のしきい値を使用した。内部回路の酸化膜は 3.7nm であり、インターフェース部の酸化膜は 8.4nm を使用した。セルサイズは 0.92 \times 2.24 μ m である。Tr-MOS と Ld-MOS のゲー

ト幅は $0.18\mu\text{m}$ で、Dr-MOS のゲート幅は $0.24\mu\text{m}$ である。試作したチップの写真を図 3.9 に示した。

試作したチップの面積は 56.2mm^2 である。試作したチップのシムアップロットを図 3.10 に示す。テストチップは 3.3V で 27ns で動作した。試作チップの緒元を表 3.2 にまとめた。 25°C でセルリーク電流は 16.7fA であり、チップリーク電流は $0.5\mu\text{A}$ 、電源回路のリーク電流は $0.13\mu\text{A}$ であった。アクセス時間は 27ns で、消費電力は 70ns 動作時 19mW であった。

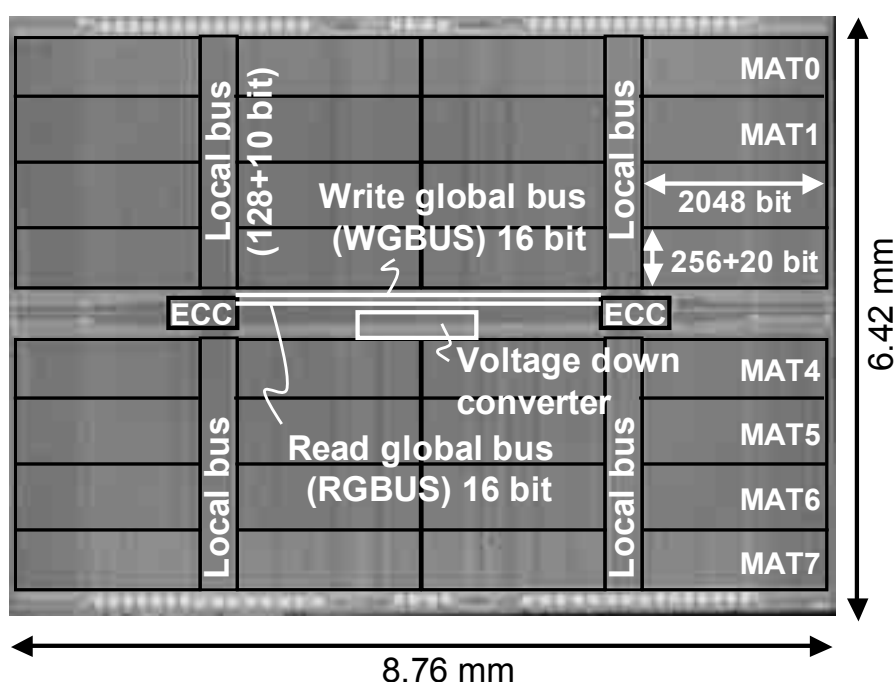


図 3.9 チップ写真と構成

表 3.1 プロセス・デバイス特性

Process	3-metal $0.13\text{-}\mu\text{m}$ CMOS
Threshold voltage	0.7 V: nMOS in memory cell 1.0 V: pMOS in memory cell 0.3 V: peripherals
Gate oxide	3.7 nm (electrical): internal 8.4 nm (electrical): external
Cell size (6T)	$0.92 \times 2.24 \mu\text{m}$

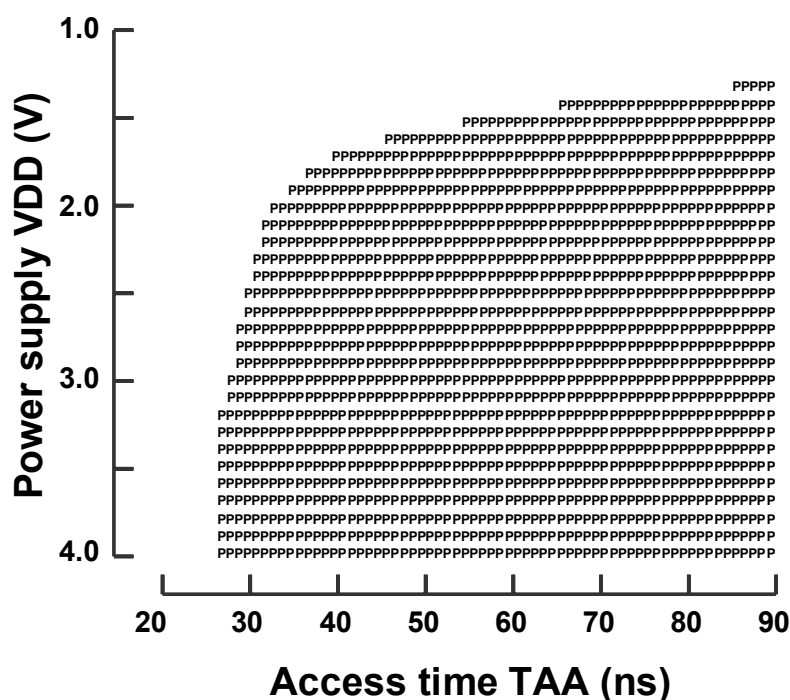


図 3.10 シムープロット

表 3.2 チップ緒元

Density	16 Mbit
Chip size	56.2 mm²
Cell leakage	16.7 fA @25° C
Chip leakage	0.5 μA @25° C
Converter leakage	0.13 μA @25° C
Supply voltage	1.5 V: internal (VDDI) 3.3 V: external (VDD)
Access time	27 ns
Power dissipation	19 mW (70-ns cycle)

3.5 システム LSI への適用

これまで述べてきた技術は、単体の低電力 SRAM 用に開発された技術であるが、システム LSI に混載される SRAM にも適用している[15, 16]。本節では携帯電話のアプリケーションプロセッサ[17]のオンチップワーク RAM として開発された SRAM モジュールについて説明する。本 SRAM では、メモリセルだけでなく周辺回路の電源線も制御し、低リーク化を実現している。

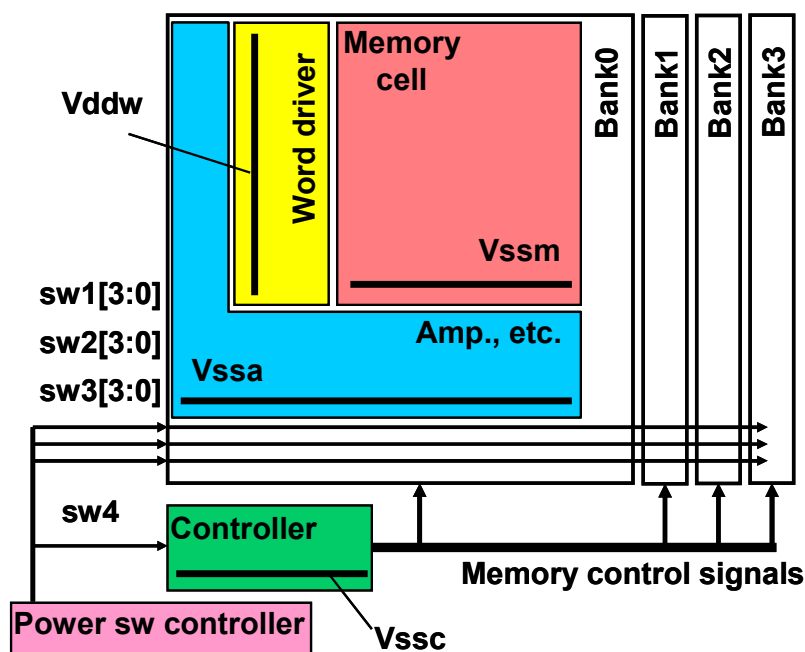


図 3.11 オンチップメモリへの応用例

全体の構成図を図 3.11に示す。モジュールは 4 つのバンクで構成されており、1 つのバンクは 256bit×256bit で構成されている。センスアンプ・ライトアンプは 4 カラムに 1 つの割合で配置されている。

この SRAM は、高速動作モードと待機モード、低リーク動作モードの機能を有している。低リーク動作モードとは、SRAM モジュールが、低速で動作しながらリーク電流を極限まで低減するモードである。

各バンク内は 3 つの電源線を制御する。SRAM セルの接地線 V_{ssm} とワードドライバの電源線 V_{ddw} 、センスアンプ・ライトアンプおよびデコーダ用の接地線 V_{ssa} である。 V_{ssm} と V_{ssa} には大きな容量がついているため、高速モードでは常に 0V とし、待機モードでは常に 0V より高い電圧としリーク電流を低減する。低速動作状態の低リーク動作モードでは、アクセスされたバンクの V_{ssm} と V_{ssa} のみを毎サイクル 0V に駆動し、アクセス終了後は、0V より高い電圧にゆっくり戻すことによりリーク電流を削減する。

一方 V_{ddw} は、待機モードでは常に電源電圧より低い電圧とすることによりリーク電流を低減する。高速動作モードおよび低リーク動作モード時には、アクセスされたバンクの V_{ddw} が毎サイクル電源電圧に駆動され、アクセス終了後は、電源電圧より低い電圧にゆっくり戻される。ワードドライ

バのみ電源線を制御するのは、メモリがアクセスされない状態では、全ワード線を 0V とする必要があるためである。また、メモリの周辺回路を制御する回路 Controller の接地電位 V_{SSC} は、高速モードおよび低リーク動作モードでは 0V とし、待機モードでは 0V より高い電圧に設定される。

試作した 1MbitSRAM モジュールのチップ写真とプロセス・デバイス特性を図 3.12 に示す。0.13 μm の CMOS プロセスを用いており、電源電圧は 1.2V で、周辺回路のトランジスタのしきい値は 0.3V、メモリセルの NMOS は 0.4V、PMOS は 0.55V を使用している。試作チップは、高速動作モードでは 1.2V で 300MHz で動作する。図 3.13 にそれぞれのモードでのリーク電流の測定結果を示す。本方式の採用により高速動作モードでのリーク電流を 25%、低リーク動作モードでのリーク電流を非アクセス時 (NOP) で 90%、待機モードでのリーク電流を 95%低減できている。

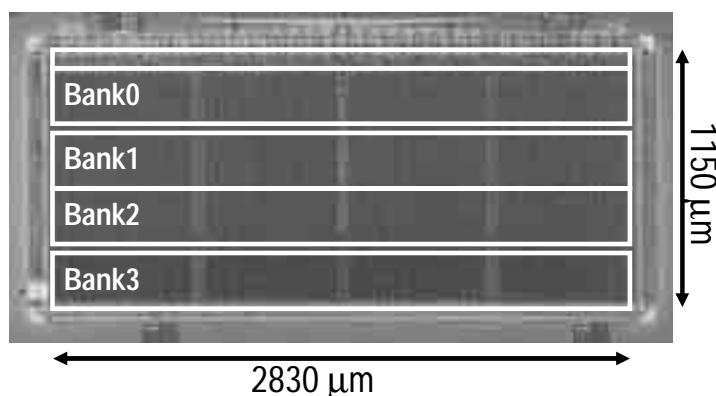


図 3.12 チップ写真

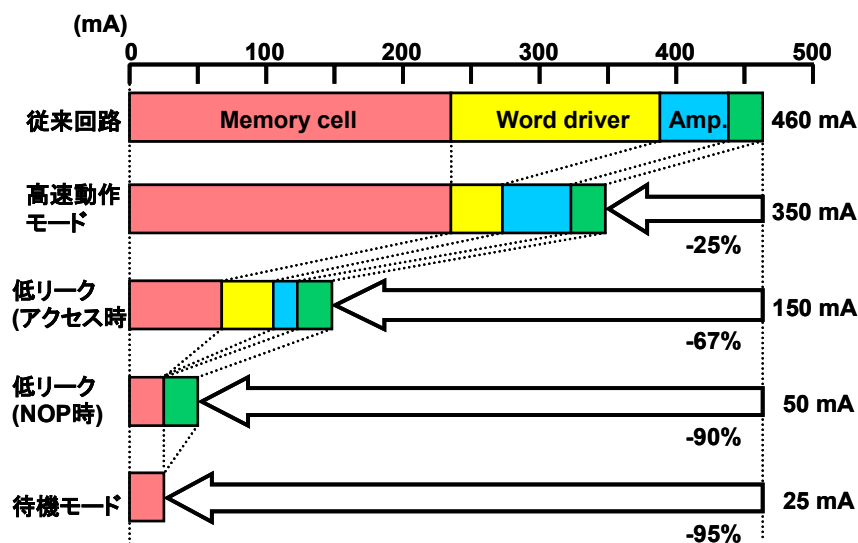


図 3.13 低消費電力化の効果

3.6 結言

本章では SRAM の待機時の低消費電力化について論じた。先端プロセスを用いた場合、従来から問題となっているサブスレッショルドリーク電流に加え MOS トランジスタのゲートトンネルリーク電流や GIDL(Gate-Induced Drain-Leakage)電流が顕在化する。このような MOS トランジスタを用いた場合の待機時の SRAM セルの成分毎のリーク電流について整理した。

続いて、新しいリーク電流成分であるゲートトンネルリーク電流や GIDL 電流の特性と低減方法についてまとめた。ゲートトンネルリーク電流は、酸化膜厚(T_{ox})が 2\AA 減少する毎に約 1 桁増加するが、ゲート酸化膜に印加される電圧を 1.5V から 1.0V に下げると、約 95%のリーク電流を削減することができる特性がある。また、GIDL 電流はゲートドレイン電圧に依存し、このが 1.5V から 1.0V に低下すると、電界が緩和され約 90%の電流が低減できる。

以上の結果を基にして本章では、プロセスを変更せず、スタンバイ電流の低減が可能な、電界緩和(Electric Field Relaxation; EFR)方式[7,8]について提案した。この電界緩和 (EFR) は、従来のメモリセルでは接地電位に接続されていたソース線を待機時には接地電位より高く、電源電位に接続されていたビット線は待機時に電源電位より低くすることにより、メモリセルのトランジスタに印加されている電圧を下げ、ゲート酸化膜やゲートドレイン間の電界を緩和することによりゲートトンネルリーク電流や GIDL 電流を低減する技術である。

本技術を使用して、 $0.13\text{-}\mu\text{m}$ CMOS プロセスにより 16Mbit の SRAM を試作した結果、以下の結論を得た。

- (1) 25°C で、メモリセルのリーク電流を従来方式に比べ 82.5%低減し、 16.7fA を実現した。
- (2) 90°C で、メモリセルのリーク電流を従来方式に比べ 91.8%低減し、 101.7fA を実現した。
- (3) 25°C で、電源回路を含めて 16Mbit で、 $0.5\ \mu\text{A}$ のスタンバイ電流

を実現した。

本技術は、単体の低電力 SRAM 用に開発された技術であるが、システム LSI に使用される SRAM にも適用している。

参考文献

- [1] S.-H. Lo, D. A. Buchanan, Y. Taur, and W. Wang, "Quantum-mechanical modeling of electron tunneling current from the inversion layer of ultra-thin-oxide nMOSFET's," *IEEE Electron Device Lett.*, vol. 18, no. 5, pp. 209-211, May 1997.
- [2] D. J. Frank, "Device scaling, leakage currents, and Joint technology and system optimization," presented at the VLSI Circuits Symp. Short Course, June 2002.
- [3] M. Rosar, B. Leroy, and G. Schweeger, "A New model for the description of gate voltage and temperature dependence of gate-induced drain leakage (GIDL) in the low electric field region," *IEEE Trans. Electron Devices*, vol. 47, no. 1, pp. 154-159, Jan. 2000.
- [4] K. Nii, H. Makino, Y. Tujihashi, C. Morishima, Y. Hayakawa, H. Nunogami, T. Arakawa, and H. Hamano, "A low-power SRAM using auto-backgate-controlled MT-CMOS," in *Proc. Int. Symp. Low Power Electronics and Devices*, Aug. 1998, pp. 293-298.
- [5] H. Yamauchi, T. Iwata, H. Akamatsu, and A. Matsuzawa, "A 0.5 V single power supply operated high-speed boosted and offset-grounded data storage (BOGS) SRAM cell architecture," *IEEE Trans. VLSI Syst.*, vol. 5, no. 4, pp. 377-387, Dec. 1997.
- [6] D. H. Kim, S. J. Kim, B. J. Hwang, S. H. Seo, J. H. Choi, H. S. Lee, W. S. Yang, M. S. Kim, K. H. Kwak, J. Y. Lee, J. Y. Joo, J. H. Kim, K. Koh, S. H. Park, and J. I. Hong, "Highly manufacturable 32Mb ULP-SRAM technology by using dual gate process for 1.5V Vcc operation," in *Symp. VLSI Technology Dig. Tech. Papers*, June 2002, pp. 118-119.
- [7] K. Osada, Y. Saitoh, E. Ibe, and K. Ishibashi, "16.7-fA/cell tunnel-leakage-suppressed 16-Mbit SRAM for handling cosmic-ray-induced multi-errors," in *Proc. IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, Feb. 2003, pp. 302-303.

- [8] K. Osada, Y. Saitoh, E. Ibe, and K. Ishibashi, "16.7-fA/cell tunnel-leakage-suppressed 16-Mbit SRAM for handling cosmic-ray-induced multi-errors," *IEEE J. Solid-State Circuits*, vol. 38, no. 11, pp. 1952-1957, Nov. 2003.
- [9] H. Kawaguchi, Y. Itaka, and T. Sakurai, "Dynamic leakage cut-off scheme for low-voltage SRAM's," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 1998, pp. 140-141.
- [10] H.-H. Tseng, M.E. Ramon, L. Hebert, P.J. Tobin, D. Triyoso, J.M. Grant, Z.X. Jiang, D. Roan, S.B. Samavedam, D.C. Gilmer, S. Kalpat, C. Hobbs, W.J. Taylor, O. Adetutu, and B.E. White, "ALD HfO₂ using heavy water (D₂O) for improved MOSFET stability," in *IEDM Tech. Dig.*, Dec. 2003, pp. 83-86.
- [11] Z. Ren, M.V. Fischetti, E.P. Gusev, E.A. Cartier, and M. Chudzik, "Inversion channel mobility in high-k high performance MOSFETs," in *IEDM Tech. Dig.*, Dec. 2003, pp. 793-796.
- [12] J. Maserjian, "Tunneling in thin MOS structures," *J. Vac. Sci. Technol.*, vol. 11, no.6, pp. 996-1003, Nov./Dec. 1974.
- [13] J. Sune, P. Olivo, and B. Ricco, "Quantum-mechanical modeling of accumulation layers in MOS structure," *IEEE Trans. Electron Devices*, vol. 39, no. 7, pp. 1732-1739, July 1992.
- [14] G. A. M. Hurkx, D. B. M. Klaassen, and M. P. G. Knuvers, "A new recombination model for device simulation including tunneling," *IEEE Trans. Electron Devices*, vol. 39, no. 2, pp. 331-338, Feb. 1992.
- [15] M. Yamaoka, Y. Shinozaki, N. Maeda, Y. Shimazaki, K. Kato, S. Shimada, K. Yanagisawa, and K. Osada, "A 300-MHz, 25-uA/Mbit-leakage on-chip SRAM module featuring process-variation immunity and low-leakage-active mode for mobile-phone application processor," in *Proc. IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, Feb. 2004, pp. 494-495.
- [16] M. Yamaoka, Y. Shinozaki, N. Maeda, Y. Shimazaki, K. Kato, S. Shimada, K. Yanagisawa, and K. Osada, "A 300-MHz 25-uA/Mb-leakage on-chip SRAM module featuring process-variation immunity and low-leakage-active mode for

mobile-phone application processor,” *IEEE J. Solid-State Circuits*, vol. 40, no. 1, pp. 186–194, Jan. 2005.

- [17] T. Kamei, M. Ishikawa, T. Hiraoka, T. Irita, M. Abe, Y. Saito, Y. Tawara, H. Ide, M. Furuyama, S. Tamaki, Y. Yasu, Y. Shimazaki, M. Yamaoka, H. Mizuno, N. Irie, O. Nishii, F. Arakawa, K. Hirose, S. Yoshioka, T. Hattori, “A resume-standby application processor for 3G Cellular phones,” in *Proc. IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, Feb. 2004, pp. 336–337.

第 4 章

高信頼化技術

4.1 緒言

ソフトウェアは信頼性を劣化させるため、これまで多くの研究がなされてきた。アルファ線によるソフトウェア現象に関しては、既にメカニズムがほぼ解明され、放射線源が含まれていない純度の高い材料を用いることにより問題とならないレベルとなっている[1, 2]。しかしながら最近では、宇宙線中性子によって生じるソフトウェアが問題となっている[3]。図 4.1 はさまざまな文献値を基に SRAM と DRAM のソフトウェア率 (Soft Error Rate; SER) をプロットしたものである。DRAM はプロセスの世代が進んでも 1 セル当たりの電荷量はほとんど変化しないが、電荷の発生源であるセルトランジスタの拡散層面積は減少するため、SER は世代とともに減少していく。一方 SRAM では、プロセスが微細化し電源電圧が低くなると、メモリセルに蓄えられる電荷量が減少し、SER が悪化する。特に今後は前章で述べたように低スタンバイ電流化のため電圧を低減する必要があり、ソフトウェアは深刻な問題となる。本章ではこの宇宙線中性子によるソフトウェアの対策技術 (特に解明が進んでおらず対策が必要なマルチセルエラーの対策技術) について述べる。

まず始めに、宇宙線中性子によって生じやすいマルチセルエラーについて説明する。次に、これまでほとんど解明されていないマルチセルエラーについて検討・解析を行うため回路とデバイスシミュレーションを合わせた新たな解析手法[8, 9]について提案する。次に本解析手法を用いて明ら

かになった宇宙線中性子によって生じるマルチセルエラーの法則について述べ、宇宙線中性子によって生じるマルチセルエラーをエラー訂正回路により高効率で訂正するための設計ガイドラインを提案する。

また本検討に基づいて、第 2 章で提案した横長セルを用いた場合に、宇宙線起因のマルチセルエラーをエラー訂正回路により高効率で訂正可能にする交互エラー訂正方式[10, 11]を提案する。

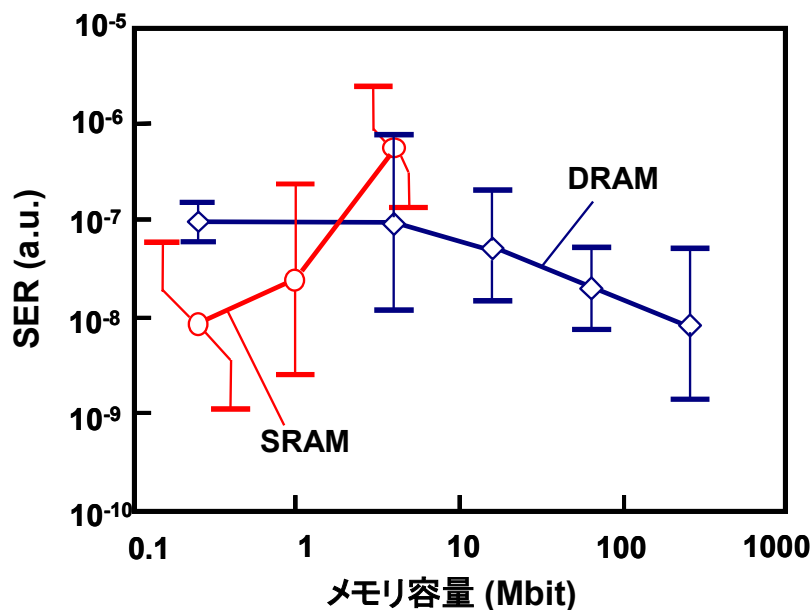


図 4.1 ソフトエラーの文献値でのトレンド

4.2 宇宙線中性子によるマルチセルエラー

宇宙線中性子は、図 4.2 に示すように銀河系中心からの超高エネルギー重イオン線が地球の磁場や太陽磁場の影響を受け地球に飛来し、大気と核反応して発生し、地上に降り注ぐ。東京海面まで到達する中性子の放射量は約 20 個/cm²/h であり、海面からの高度が高いほど放射量が多い。図 4.3 に示したように中性子が、ULSI デバイスに入射すると、シリコン中の原子と核反応を引き起こし 2 次イオンが放出され、この 2 次イオンがシリコン中に電子-正孔対を発生させる。2 次イオンはアルファ線に比べて数倍～数十倍以上の電荷を発生させ、ラッチアップ[4]や複数のセルが時にソフトエラーを起こすマルチセルエラーを引き起こす[5]。ラッチア

ップに関しては既に多くの研究がなされており、電源電圧が2V以下の先端プロセスでは問題を引き起こさないことが報告されている[4]。しかしながら、宇宙線中性子によって生じるマルチセルエラーのメカニズムはいまだにほとんど解明されていない。

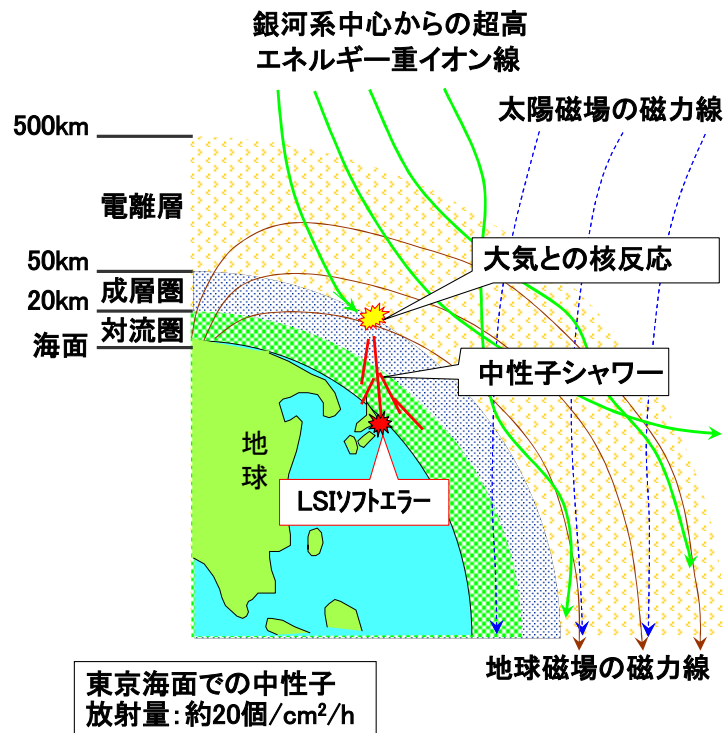


図 4.2 宇宙線中性子ソフトエラーメカニズム

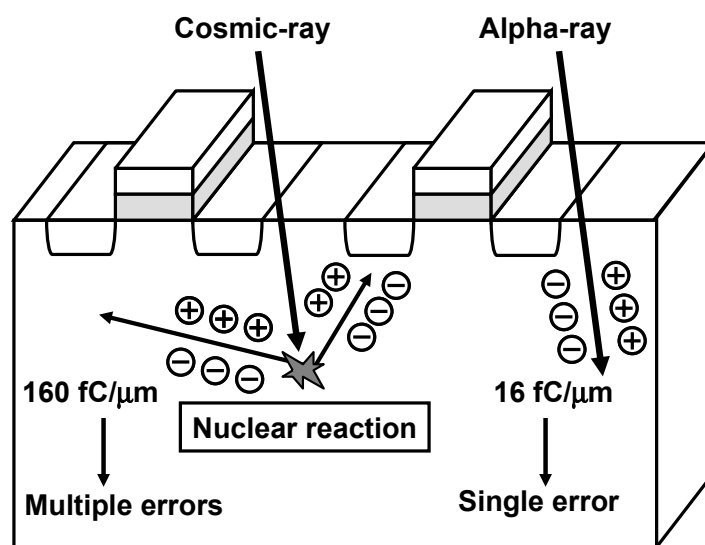


図 4.3 宇宙線中性子によって発生する電荷

ソフトエラーを低減するにはエラー訂正回路 (Error Checking and Correction; ECC)[6, 7] が、チップレベルあるいはシステムレベルで使用される。一般的な ECC 回路ではパリティビットを使ってそれぞれのアドレスで 1 ビットのエラーを訂正することができる。図 4.4 に示したようにマルチセルエラーが同時に同じアドレス(a3)に生じた場合 (エラーパターン A) には、ECC 回路では訂正できない。しかしながら、同時に発生するエラーであっても異なるアドレス(a0, a1, a2)に属する場合には訂正することができる (エラーパターン B)。従って、中性子により同時にエラーが生じやすいセルには別のアドレスを割り当てることにより、ECC 回路によるエラーの訂正効率を上げることができる。

本章では、宇宙線中性子によって生じるマルチセルエラーのメカニズムを解明し、中性子により同時にエラーが生じやすいセルの規則性を明らかとし、ECC 回路による効率的なエラー訂正方式を提案する。これにより、ソフトエラー率を低減する。

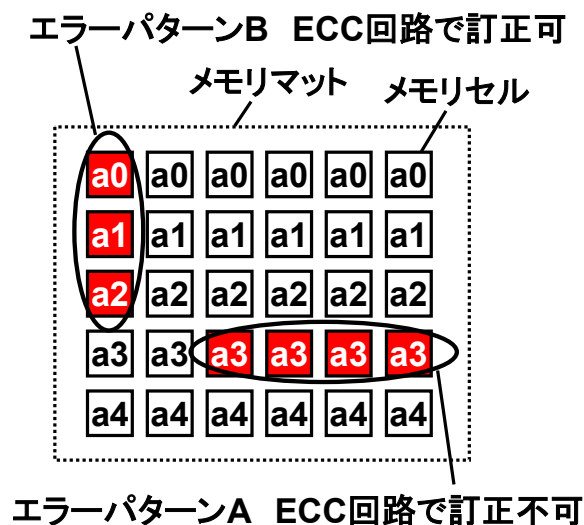


図 4.4 マルチエラーとエラー訂正の関係

4.3 マルチセルエラーの解析

4.3.1 マルチセルエラーの回路・デバイスレベルの結合シミュレーション

回路レベルで宇宙線中性子によるマルチセルエラーをシミュレーションするための回路モデルを、図 4.5 に示した。回路モデルは、2 つのメモリセ

ル(Cell_0, Cell_1)からなり、ノード NR0 と NL1 は初期状態として“H”状態が与えられる。NMOSトランジスタの基板ノードはお互いに接続され、寄生 p ウェル抵抗(Rwell)に接続される。この p ウェル抵抗はウェル給電(Well tap)に接続される。メモリセル Cell_0 のノード NR0 へ宇宙線中性子によって発生した 2 次イオンを入射させ、反対側のセル(Cell_1)への影響を観察する。図 4.5 の回路の一部を図 4.6 に示すように、3 次元デバイスシミュレータ用にモデル化した[12]。計算の高速な収束のため単純なモデルとしている。インバータ回路 INV_0 の PMOSトランジスタは抵抗(R0)で置き換え、NMOSトランジスタは 2 つの n+拡散層(D0, S)で置き換える。同様の置換えを回路 INV_1 でも行う。領域 S は共通ソース領域であり、接地電位に接続される。p+拡散層はウェル給電を形成し GND に接続している。寄生 P ウェル抵抗(Rwell)と寄生バイポーラトランジスタが P ウェルの中が存在している。

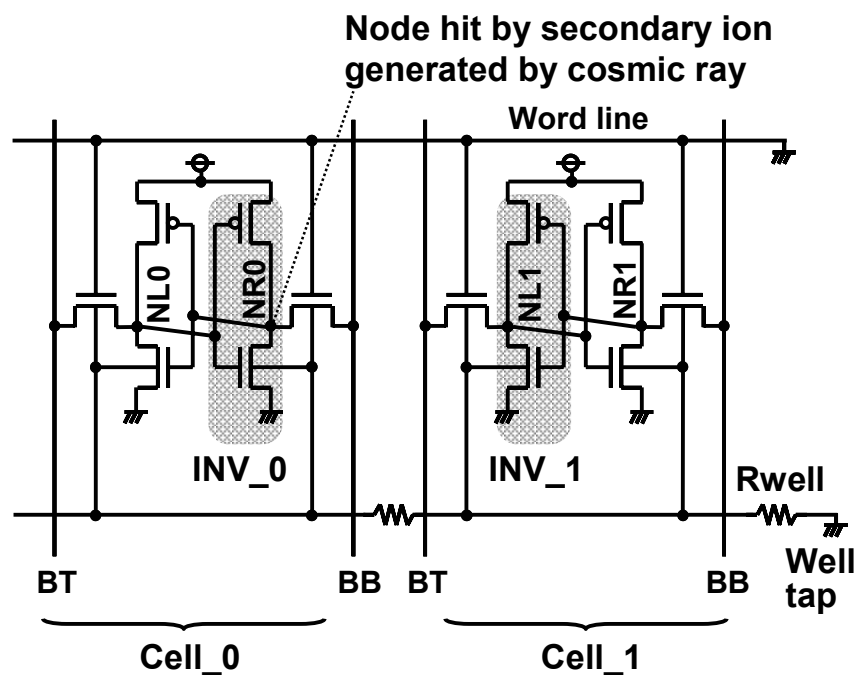


図 4.5 回路シミュレーションで使用する回路モデル

宇宙線中性子によって生成した 2 次イオンが拡散層 D0 (Cell_0 の NR0 に対応) に入射した場合について、3 次元デバイスシミュレータ (Computer Aided Device DEsign in THree dimensions;

CADDETH)[13]を使ってシミュレーションした。その他の入射パターンはソフトウェアにほとんど影響を与えないため[14]、本検討では無視した。CADDETH のシミュレーションではポアソン方程式と電流連続の式を用いて過渡解析モードで計算が実行される。

シミュレーションにより得られた D0(NR0)の電圧を、図 4.7(a)に実線で示した。この D0 の電圧波形を図 4.5 に示したセル Cell_0 の NR0 に電圧源として入力し、回路シミュレーションを行った。この結果得られた逆側ノード NL0 の電圧波形を図 4.7(a)に破線として示した。NL0 と NR0 のレベルは中性子が入射後、約 100ps で反転する。これはこの時刻でソフトウェアが発生したことを示している。また、デバイスレベルのシミュレーションにより D1(NL1)の波形も取得し、図 4.7(b)に実線で示した。同様に、計算された D1 の電位波形を図 4.5 の Cell_1 の NL1 に電圧源として入力し回路シミュレーションを行った。この結果得られた反対側のノード NR1 の電圧波形を図 4.7(b)に破線として示した。NL1 と NR1 の電圧レベルは宇宙線入射後 700ps 後に反転している。これもこの時刻でソフトウェアが生じたことを意味する。2 つのセルともソフトウェアが観測されたが内部ノード NL1 の電位は NR0 の電位よりゆっくりと低下している。

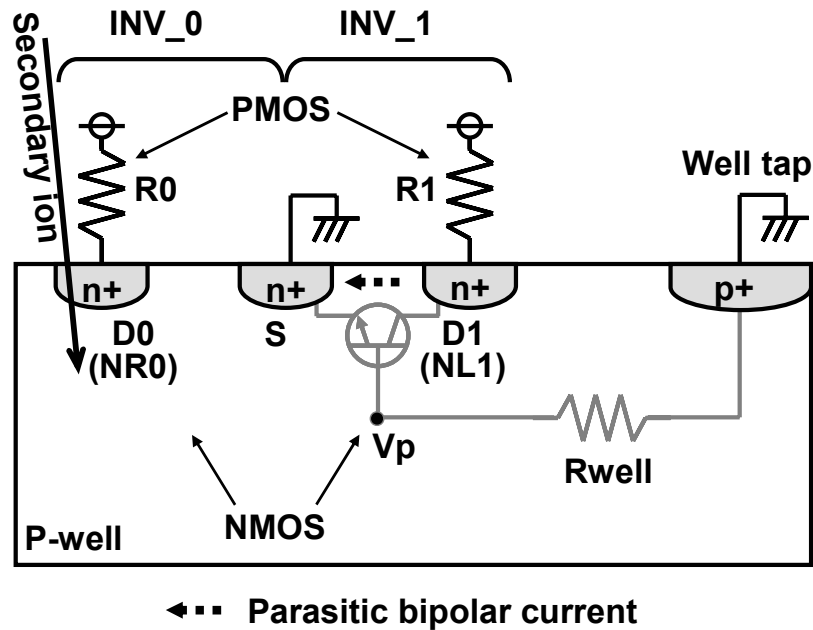


図 4.6 デバイスシミュレーションで使用されるデバイスモデル

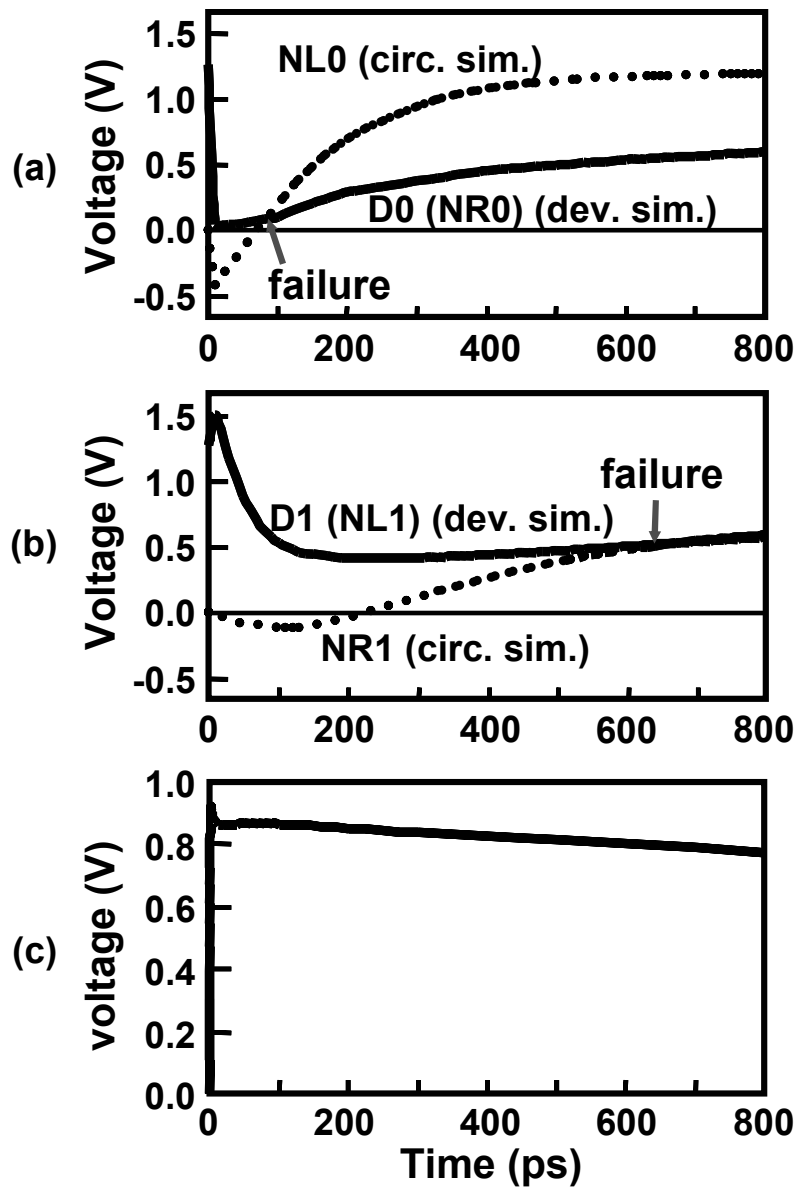


図 4.7 デバイス・回路レベルシミュレーションにおけるノードとウエル電位(a)宇宙線が入射したセル Cell_0 (b) 隣接セル Cell_1 (c) pウエル電位(D1とSの中間地点 V_p)

4.3.2 寄生バイポーラ効果によるマルチセルエラー

デバイスシミュレータのキャリア密度やデバイス各部の電位を解析して、宇宙線がヒットしたセル Cell_0 はファネリング[1]により、隣接セル Cell_1 は寄生バイポーラ効果によりデータが反転していることがわかった。このメ

カニズムを図 4.6 を使って説明する。

2次イオンがNR0をヒットした後、多数の電子-正孔対が発生し、ファネリング現象[1]により電子がNR0に高速に収集される。この現象は10ps程度続き、NR0の電圧を0V低下させる。この結果、セルCell_0のデータが反転する。一方生成した正孔はpウェルに留まり、pウェルの電圧(Vp)を図4.7(c)に示すように0.9V程度まで浮き上がらせる。この浮き上がったpウェルにより寄生バイポーラ素子がオンし、NL1からSに向かって電流が流れ、NL1の電圧はゆっくりと低下する。この結果、セルCell_1のデータが反転する。これが寄生バイポーラ効果によるマルチセルエラーのメカニズムである。

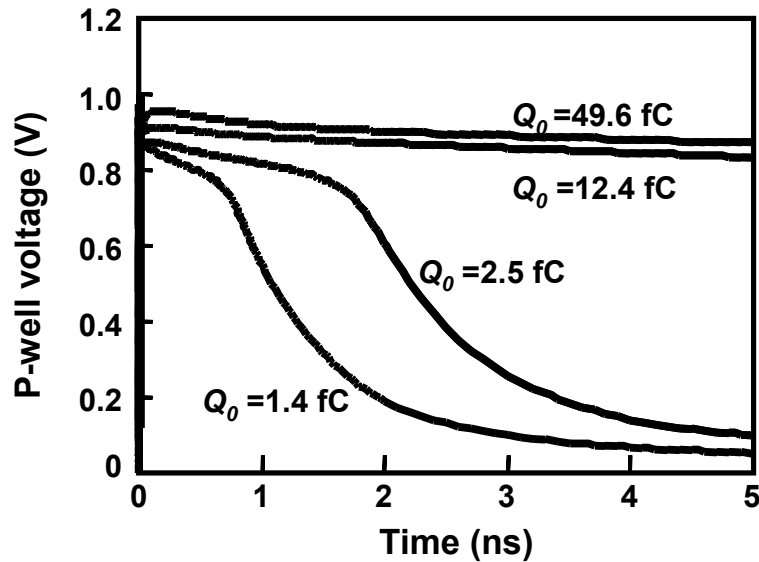


図 4.8 宇宙線中性子入射後のpウェル電位の Q_0 依存性

宇宙線はアルファ線に比べて約10倍程度の電荷を発生させるので[5, 15]、発生電荷を変えてデバイスレベルのシミュレーションを再実行した。発生した電荷量は、粒子がヒットした拡散層の空乏層域内で発生した電荷量 Q_0 と相関があるので、この Q_0 を発生する電荷の目安値として使用した。バイポーラ素子のオン・オフはpウェルの電位により決まるので、この電位を観測し図4.8に示した。宇宙線中性子が入射した後、pウェルの電位はほぼ1.0Vまで上昇し、その後低下する。pウェルの最大電位はビルトインポテンシャル(built-in potentialまたはpn接合の真性バリアポテンシャル(intrinsic barrier potential))によって決まるので1.0Vを超えるこ

とはない。図 4.9 はpウェルが上昇しているフローティング時間 (pウェル電位が上昇してから 0.85V 以下になるまでの時間で定義) の Q_0 依存性を示す。図 4.10 はピーク電位の Q_0 依存性を示している。フローティング時間は Q_0 に強く依存し、 Q_0 とともに増加する。これは次のように説明される。 Q_0 が大きいときは、より多くの電子-正孔対がpウェル内で生成される。このためpウェルから D0 へ電子を供給できる時間も長くなり、また、pウェル内に正孔が残留する時間も長くなる。この結果フローティング時間が長くなる。しかしながら、ビルトインポテンシャルによりピーク電位は 1.0V を超えることはなく、 Q_0 にはほとんど依存しない。我々はこの新しく発見した効果を電池効果と名づけた。この効果により寄生バイポーラ素子がオンする。

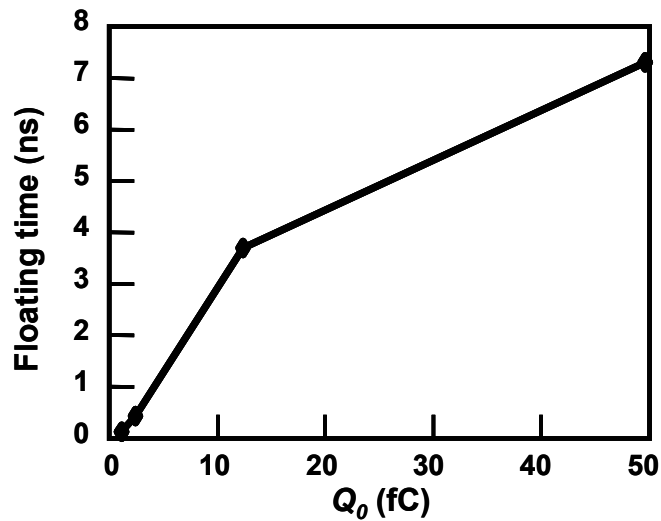


図 4.9 pウェルフローティング時間の Q_0 依存性

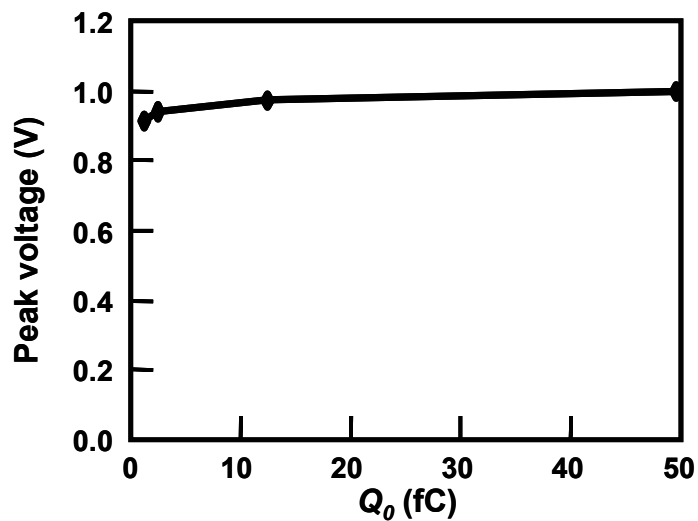
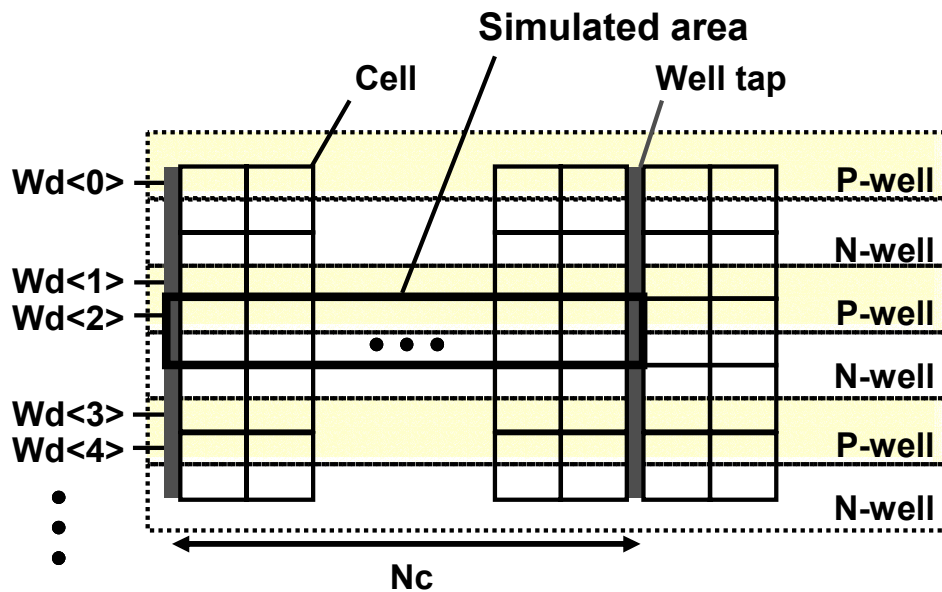


図 4.10 pウェルピーク電圧の Q_0 依存性

ここまでの検討により、宇宙線の入射した LSI では、電池効果と呼ぶ効果により寄生バイポーラ素子がオンし、隣接セルがフェイルするマルチセルエラーのメカニズムが解明できた。

4.4 同時に発生する最大マルチセルエラー数

この章では、ECC 回路を搭載するシステムのアーキテクチャを検討するために、前章で述べたメカニズムにより最大何ビットのエラーが同時に発生するかを解析する。寄生バイポーラ動作は連続した 1 つのウエルで、ウエル給電で挟まれた領域で生じる。そこでワード線方向でウエル給電によってはさまれた図 4.11 に示す領域を回路シミュレーション用にモデル化(図 4.12)した。この領域ではウエル給電によって分離されたウエルを、複数のメモリセルで共有している。 N_c はウエル給電間に挟まれたセル数であり、ここでは 16 である。



N_c : Number of cells between well taps

図 4.11 メモリアレイのモデル化領域

回路モデルで使用される SRAM セルには寄生バイポーラ素子をそれぞれ、SRAM セルの NMOS トランジスタに平行に接続した(図 4.13)。これはトランジスタモデルに寄生バイポーラ効果が含まれていないからである。バイポーラトランジスタの電流増幅率は 30 とした。各 NMOS の p ウエル

(PWELL<n>)端子は図 4.12 に示すようにシリコン基板のpウェル寄生抵抗(R_p)と寄生容量(C_p)にそれぞれ接続される。 R_p は1セルあたり1K Ω であり、 C_p は1セルあたり1fFを使用した。中心のセル<7>に宇宙線が入射する場合が Worst Case であるので、この場合についてシミュレーションを行った。前節でデバイスレベルのシミュレーションで取得したpウェルの電位波形を電圧源としてノード(PWELL<7>)へ入力し、回路レベルシミュレーションを行った。セル<7>はファネリングによりフェイルし、隣接セルは、寄生バイポーラ効果によりフェイルする。

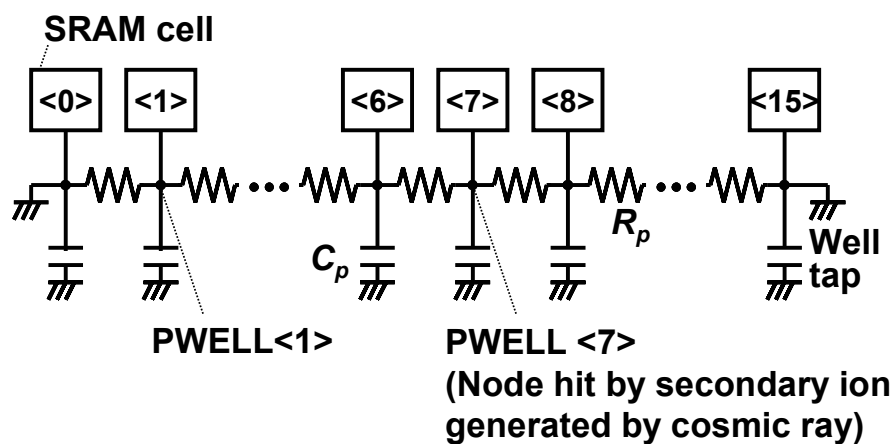


図 4.12 $N_c = 16$ における等価回路

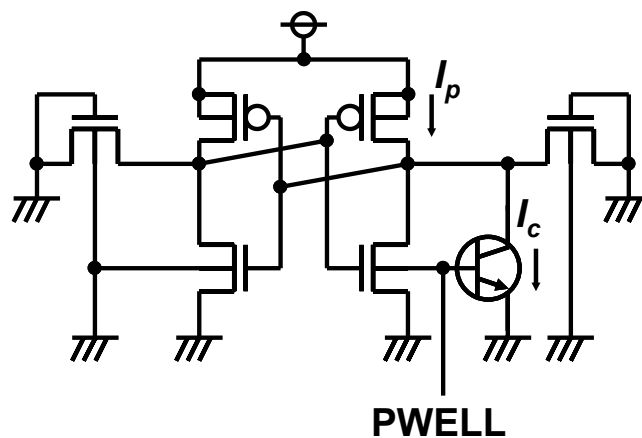


図 4.13 SRAM セルの等価回路

図 4.14 はセルのエラー数と PMOS 電流 I_p と寄生バイポーラ電流 I_c の比の関係を示したものである。パラメータとして発生電荷量 Q_0 も変えている。 I_p はドレイン電極とゲート電極に 1.2V 印加した場合のドレイン電流で

ある。 I_c はコレクター電極に1.2V、ベース電極に1.0Vを印加した時のコレクター電流である。エラー数は電流比 I_c / I_p および Q_0 の増加により増加する。しかし、決して3ビットを超えることはない。これは図 4.15(a)を使って以下のように説明される。

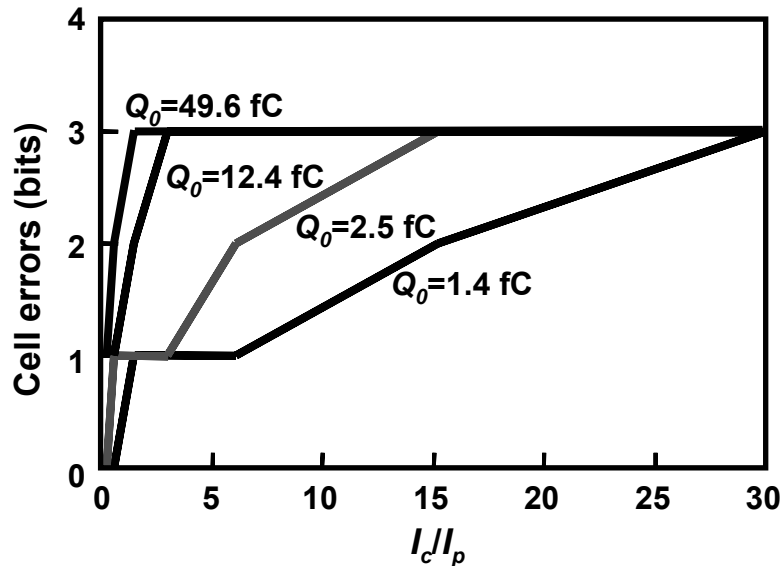


図 4.14 エラー数の I_c / I_p 比依存性 (Q_0 はパラメータ)

電池効果によりセル<7>のpウエル電位は1.0Vを超えることがない。ウエル給電の隣のセル<0>のウエル電位は0Vであり、そのほかのセルのpウエル電位は0Vから1.0Vの間の値となり、抵抗分割により図 4.15(a)に示すようにそれぞれ電位が決まる。各セルではpウエル電位が0.85Vを超えたときに寄生バイポーラトランジスタがオンしソフトエラーが発生するが、本構成ではpウエルが0.85V以上になるのはセル<6><7><8>のみであるため、エラーは最大で3ビットしか生じない。また、図 4.15(b)には宇宙線中性子の入射セル依存性を見るために、異なるセル<1>に中性子が入射する場合を示している。この場合もワーストケースであり、エラーの最大数は同様に3ビットとなる。図 4.16は1つの宇宙線中性子によって生じるマルチエラーが最大値で何ビットとなるかを計算したもので、ウエル給電間に存在するセル数(N_c)との関係で示している。最大数は N_c のみに依存しプロセス世代に依存しない。これはpウエル電位が0.85V以上になるセル数が N_c の値のみに依存するからである。

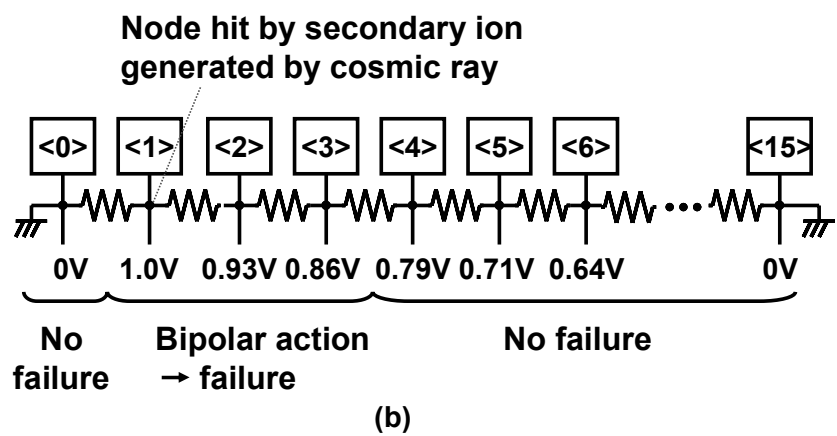
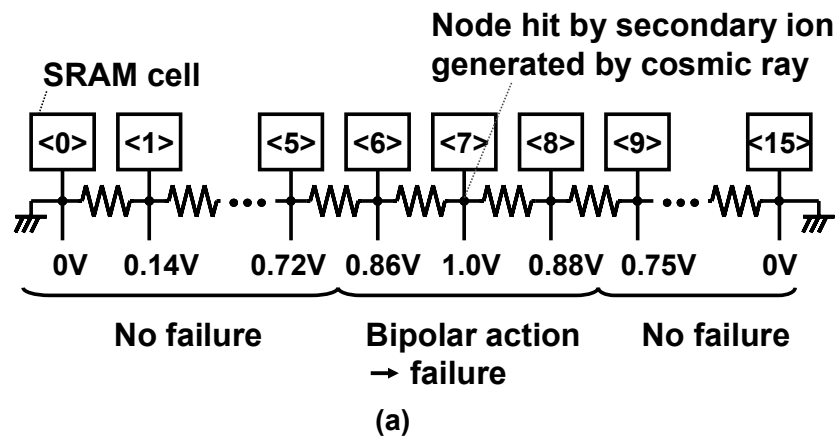


図 4.15 最大エラー数の法則説明図 (a) 宇宙線が cell<7>に入射した場合 (b) 宇宙線が cell<1>に入射した場合

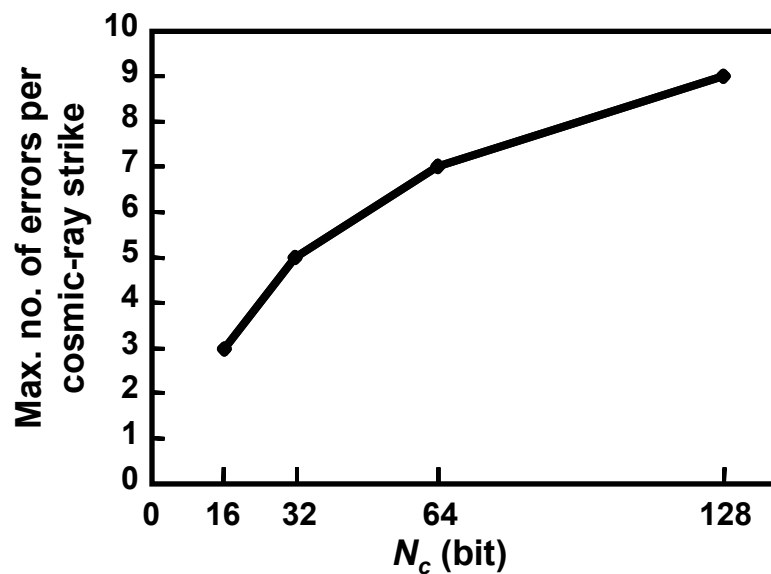


図 4.16 最大エラー数の N_c 依存性

4.5 ECC 設計ガイドライン

この節では、前節で示した最大マルチセルエラー数の N_c 依存性を基に ECC を使用する場合の設計ガイドラインを提案する。宇宙線中性子によるマルチセルエラーを ECC 回路により訂正するためには、マルチセルエラーが発生したセルから、同時にデータを読み出さないことが重要である。 N_c が 16 ビットの時は、ワード方向の最大の連続エラー数が 3 ビットであるから 3 カラム置きにデータを同時に読み出せばすべてのエラーを ECC 回路で訂正できることになる。これを実現するためには 3 対 1 のセレクターを使って対応するアドレスを割り当てればよい。実際には 4 対 1 セレクターを使うのが一般的である。 N_c が 64 ビットの場合では、7 カラム置きに同時にセルからデータを読み出せば、すべてのエラーを ECC 回路で訂正することができる。これを実現するためには 7 対 1 のセレクターを使って対応するアドレスを割り当てればよい。実際には 8 対 1 セレクターを使うのが一般的である。このようにして N_c により同時に読み出すことができるセルの距離を決めることができる。これが提案する ECC の設計ガイドラインである。一般的な N_c でのガイドラインを表 4.1 にまとめた。この表から逆に、使用するカラムセレクターから N_c の値を決定することも可能である。

表 4.1 デザインガイドライン

Column selector	N_c
4 to 1	16
8 to 1	32
8 to 1	64
16 to 1	128

次に、この提案したデザインガイドラインに従った場合の SRAM の消費電力と面積の見積もりを行った。SRAM は、図 4.17 に示した 32KB の構成を使った。この SRAM は 8 つのブロック BLK から構成されている。それ

ぞれのブロックは 256 のワード線と 128 ビットのカラムで構成される。データは 32 ビット単位で読み書きされると仮定した。 N_c が 16 のとき、図に示したように 4 対 1 セレクターが使われるので、128 のセルつまり、1 ブロック分のセルを活性化させる必要がある。一方 N_c が 64 であれば 8 対 1 セレクターを使う必要があるので、256 セルの活性化が必要となり、2 ブロック分のセルを活性化させる必要がある。それゆえ $N_c = 16$ ビットで 4 対 1 セレクターを使って構成したメモリアレイでは $N_c = 64$ ビットで 8 対 1 のセレクターで構成したメモリアレイに比べ、消費電力は小さくなる。しかし、前者はチップ当たり 2 倍のセンスアンプの数が必要となるため面積が増大する。消費電力と面積の N_c 依存性を図 4.18 にまとめた。 N_c の増加に伴い消費電力が増加し面積が小さくなる。

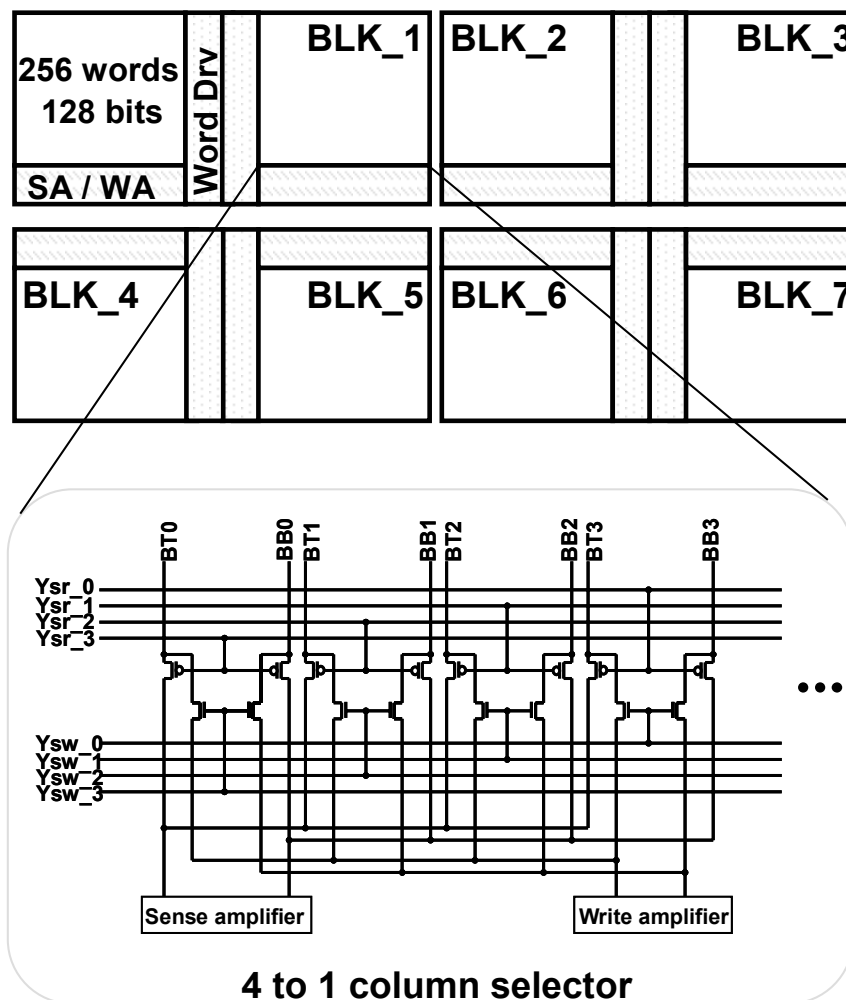


図 4.17 32KB SRAM のフロアプランと N_c が 16-bit の時のカラム選択回路

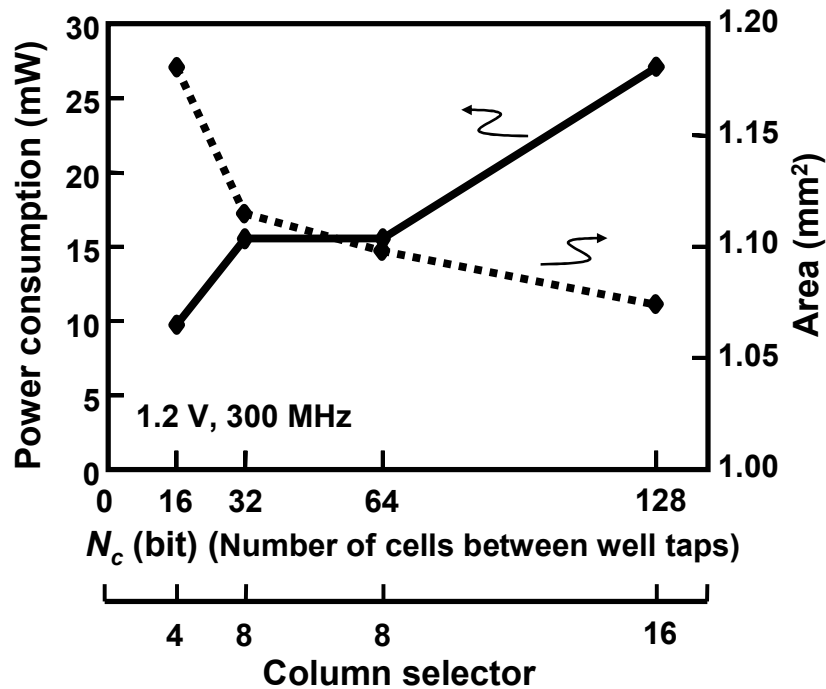


図 4.18 32KB SRAM の消費電力と面積の N_c 依存性

4.6 実験結果

設計ガイドラインを適用した SRAM を、 $0.13\mu\text{m}$ CMOS プロセスを用いて試作した。ウエル給電間におかれたセル数は 16 ビット ($N_c = 16$) である。試作したチップに中性子線の強制加速試験を東北大学の CYRIC と Uppsala 大学の TSL で行った。強制照射によって生じるマルチセルエラーのエラーの数とその頻度を図 4.19 に示した。我々のシミュレーションではエラー数の最大値は 3 ビットであった。観測したマルチエラーのうち 96.5% が 3 ビット以下であった。しかし 4 ビット以上のエラーも観測された。これは p ウエル給電が完全に接地されていないため宇宙線が入射したときに多少浮き上がるためであると考えられる。ガイドラインでは 3 対 1 セレクターを使用することを示唆した。この場合ソフトエラー率を 88% 低減することが可能である。実際には 4 対 1 セレクターを使用するので、ソフトエラー率はほとんど 100% 低減できる。

図 5.20 はマルチセルエラーとシングルエラーの発生頻度の比を示している。16 ビット毎にウエル給電を置いたメモリセルアレイではセル毎にウエル給電を持つメモリアレイに比べてマルチセルエラー発生率が 5 倍程度

増加する。これは、マルチセルエラーに影響を与えるのが寄生バイポーラ効果であるという我々の検討を裏付ける結果である。

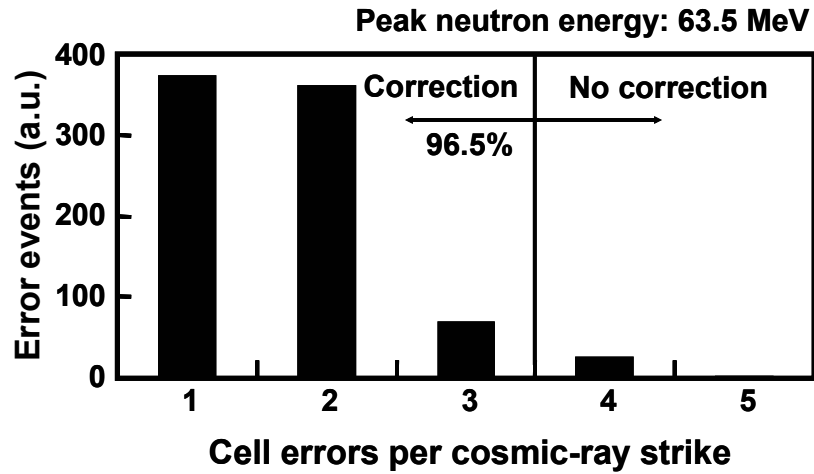


図 4.19 マルチエラーのエラー数と発生数(実測)

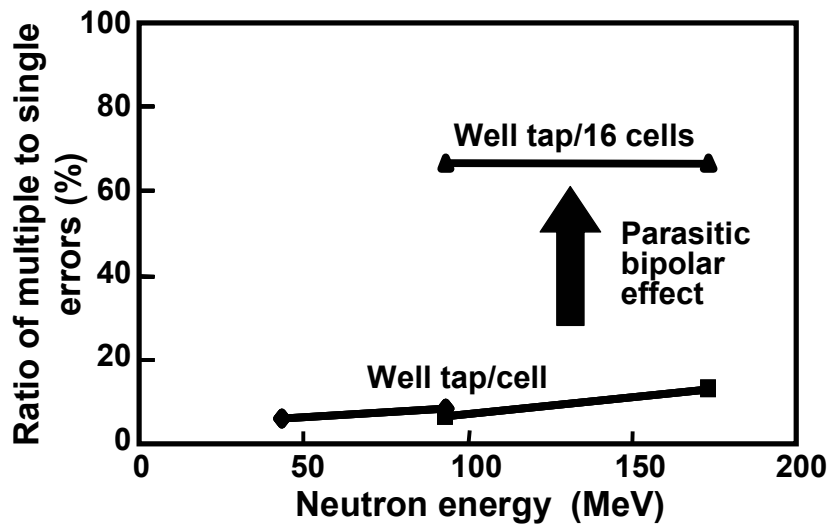


図 4.20 マルチ/シングルエラー数比の測定結果

4.7 横長セルを用いた交互エラー訂正方式

本節ではこれまでの検討結果を踏まえ、低電圧動作が可能であるとして2章で提案した横長セル[16, 17]に最適な ECC 回路方式を提案する。前章の検討の結果から、宇宙線中性子によるマルチセルエラーのパター

ンは、同一ウエルを共有するメモリで発生する。横長セルでは、図 4.21 に示すように p ウエルと n ウエルがビット線に平行に形成され、ビット線方向のメモリセルが同一ウエルを共有しており、ワード線方向では最大 2 つのセルが同一ウエルを共有する構造である。従って、ほとんどのマルチセルエラーはビット線に平行に生じ、ワード線方向のマルチセルエラーは最大でも 2 ビットであることが予測される。実際にこれまでの観測の結果、これ以外のマルチエラーパターンは観測されていない。

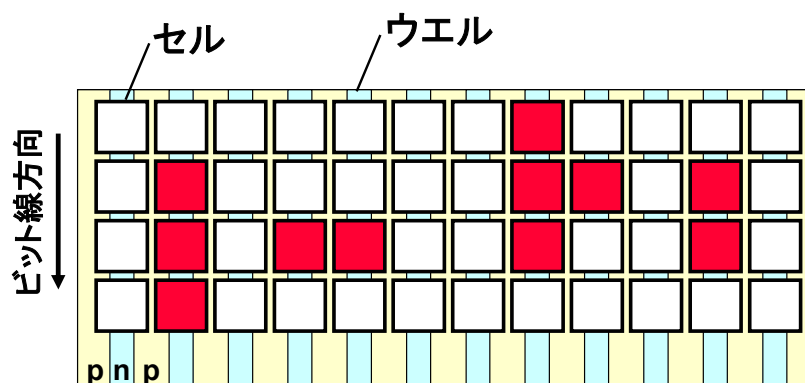


図 4.21 マルチエラーとソフトエラーの関係

このようなフェイルパターンを基に、エラー訂正回路を搭載した場合に最適なアドレス割り当て方式である交互エラー訂正方式を考案した(図 4.22)。各ワード線はデータおよびパリティ部を含め異なるアドレスのセルを交互に並べて構成される。例えばワード線 Word<0>は、アドレス a0、a1 を交互に並べて構成される。この結果、隣り合うすべてのセルは異なるアドレスを持つ。図 4.22 の「multi-error A」のような 2 ビットのマルチエラーも異なるアドレスを持つためエラー訂正回路により訂正が可能となる。また「multi-error B」のような 3 ビットのマルチエラーも同様に訂正が可能となる。

第 3 章で説明した 16MbitSRAM には、交互エラー訂正回路も搭載されている。この試料を用いて中性子の強制照射実験を東北大学の CYRIC で行なった。中性子のピークエネルギーは 63.5MeV であり、中性子の総照射量は $6.14 \times 10^8 / \text{cm}^2$ であった。SER の測定結果を図 5.23 に示す。全部で約 2000 個のエラーが生じたが、1 つの中性子により同一アドレスにマルチエラーが生じることはなかった。この結果、エラー訂正回路を持たない場合に比べ SER を 99.5%低減することを確認した。

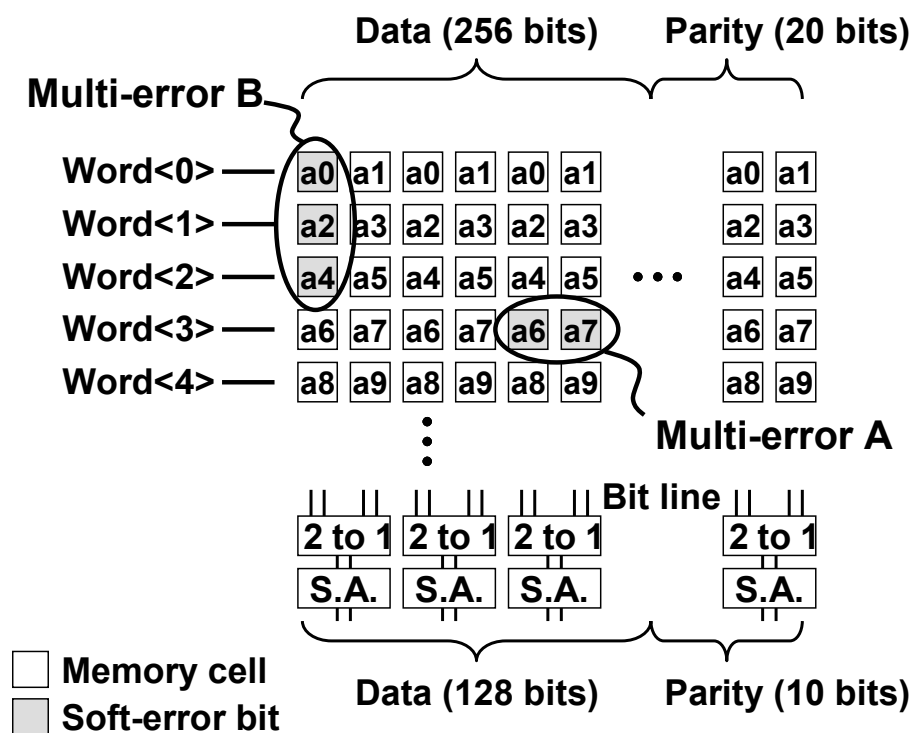


図 4.22 宇宙線中性子によるマルチエラーを対策した物理アドレス配置

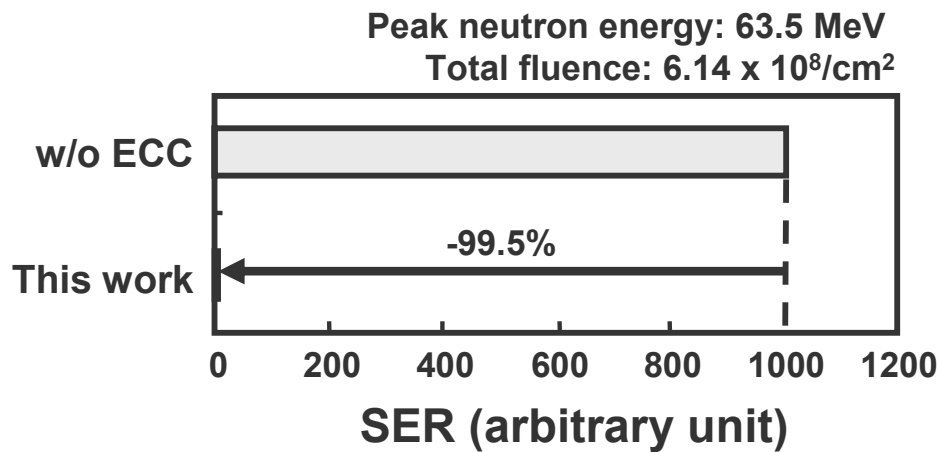


図 4.23 中性子強制照射時におけるソフトエラー率

4.8 ECC 回路方式

第 3 章で説明した 16MbitSRAM に搭載した ECC の回路方式について説明する。図 4.24 に示すように今回開発した ECC 方式は、128bit のデ

ータと 10bit のパリティビットを用いて 1 ビットのエラーを訂正して、128bit のデータを出力する。ただし、外部とのデータ入出力は 16bit 単位のため、選択回路により 16bit を選択し出力する。図 4.25 は、何ビット毎にパリティビットを割り当てると面積のオーバーヘッドを最小にできるかを計算したものである。外部との入出力単位である 16bit 毎にパリティを割り当てる場合は、5bit のパリティビットが必要となり、パリティビット用のメモリセルが増大し面積ペナルティが大きくなる。また 256bit 以上毎にパリティビットを割り当てると、内部のバスの本数が増大し、これによる面積オーバーヘッドが顕著となる。従って 128bit 毎にパリティビットを割り当てる方式が最も面積を小さくすることができる。しかしながら、外部とのデータのやり取りは 16bit のため、書き込み時に問題が発生する。これは、パリティを発生するためには 128bit 必要なためであり、書き込み時にも、書き込みをしないビットを読む必要が生じる。この方式を図 4.26 に示した。書き込み時には、まずデータを読み出し、パリティを生成・エラー訂正を行い、データの一部を書き込みデータと置換え、パリティビットを生成し、最後に全てのデータを書き込む。

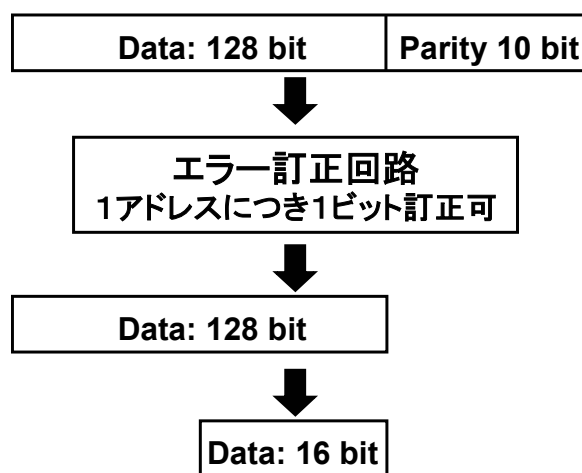


図 4.24 ECC アーキテクチャ

また、センスアンプの出力とエラー訂正回路は 138ビットのバスで接続する必要があるので、138 ビットバスによる消費電力と面積のオーバーヘッドを低減する必要がある。これを解決するため、バスを階層構造(図 4.27)にした。エラー訂正回路を 2 つ用いて、チップ全体のバスを、4 つの 138ビットローカルバスと、読み出し用と書き込み用の 2 つの 16ビットグローバルバスとに分割する。2 つのローカルバスが 1 つのエラー訂正回路に接続され

ており、2つのエラー訂正回路はグローバルバスで接続する。138本のバスはチップ全体を引き回す必要がなくなり、面積および消費電力を低減できる。エラー訂正回路の面積は 0.21mm^2 である。

以上述べてきた面積低減効果を図 4.28 にまとめた。16bit 毎にパリティを割り当てると ECC を使用しない場合に比べて面積は 36%増加するが、128 ビット毎に割り当てることにより、オーバーヘッドを 19%に低減でき、さらに、バスの階層化構造により、面積のオーバーヘッドを 10%まで低減することができた。また、バス階層化による消費電力の低減は 22%である。

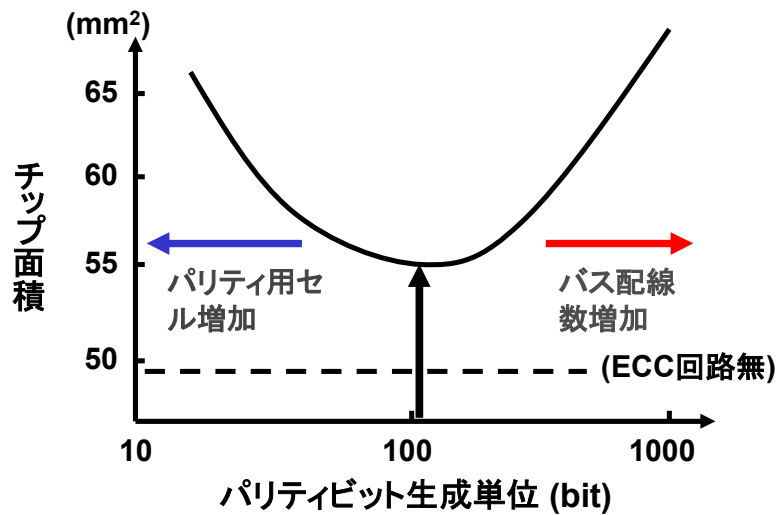


図 4.25 パリティビット生成単位とチップ面積

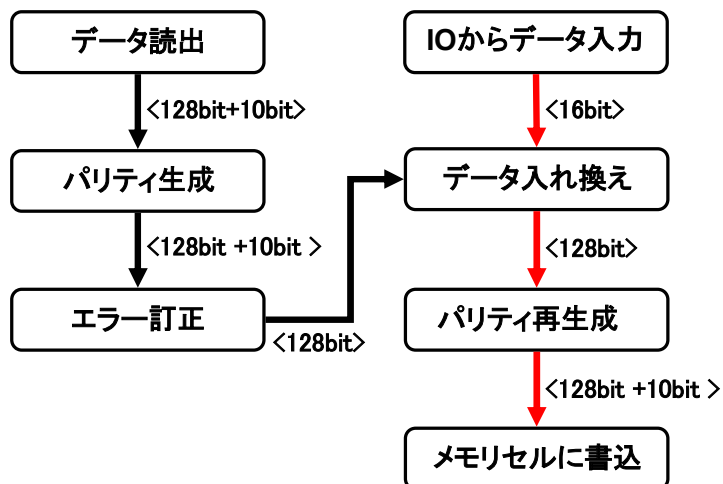


図 4.26 ECC を使った書き込み方法

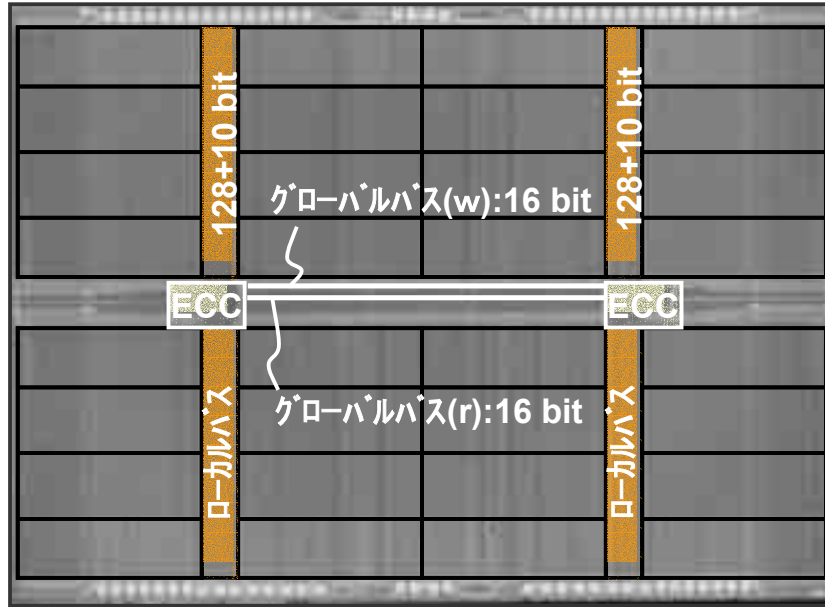


図 4.27 階層化バス方式

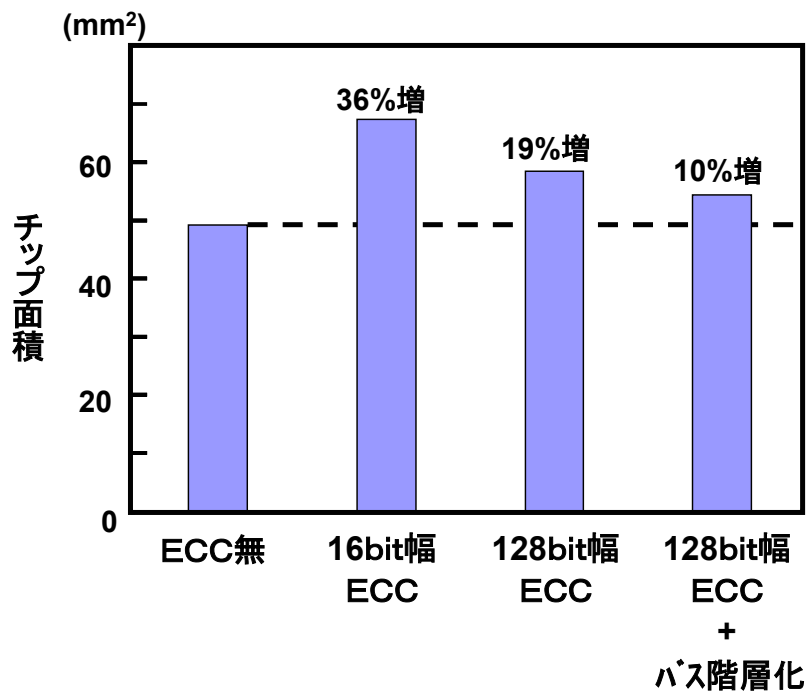


図 4.28 ECC 方式の効果

4.9 結言

本章では、宇宙線中性子によるソフトエラーの対策技術について論じた。まず、最近問題となっている宇宙線中性子によるマルチエラーについて説明し、次に、マルチセルエラーについて検討・解析を行うために回路とデバイスシミュレーションを組合せた新たな解析手法を提案した。この解析手法を用いて、宇宙線中性子の入射した LSI では、電池効果と呼ぶ効果により寄生バイポーラ素子がオンし、隣接セルがフェイルするマルチセルエラーのメカニズムを明らかにした。さらに、宇宙線中性子によって生じるマルチエラーの最大数はウエル給電間に存在するセル数(N_w)に依存することを明らかにし、宇宙線中性子によって生じるマルチセルエラーを高効率で訂正するためのエラー訂正回路の設計ガイドラインを提案した。

提案した設計ガイドラインに従って 3 対 1 のカラムセクターを使って設計した SRAM チップでは、ソフトエラー率を 88%低減することに成功した。

また、本検討に基づいて、第 2 章で述べた横長セルを用いた場合に、宇宙線中性子起因のマルチセルエラーをエラー訂正回路で高効率にエラー訂正が可能な交互エラー訂正方式を提案した。提案したアーキテクチャは、各ワード線に、データおよびパリティ部を含め異なるアドレスのセルを交互に並べる方式である。また、本章では、エラー回路を搭載する場合のチップアーキテクチャについても論じた。

本技術を使用して、0.13 μm CMOS プロセスにより 16Mbit の SRAM を試作した結果、以下の結論を得た。

- (1) 横長メモリセルを用いた場合に最適なアドレス割り当て方法を提案し、SER を ECC 回路により 99.5%低減することに成功した。
- (2) 128 ビット毎にパリティビットを割り当てることにより、面積オーバーヘッドを 19%に低減でき、さらに、バスの階層化構造により、チップのオーバーヘッドを 10%まで低減することができた。また、バス階層化により消費電力を 22%低減した。

参考文献

- [1] C. M. Hsieh, P. C. Murley, and R. R. O'Brien, "A field-funneling effect on the collection of alpha-particle-generated carriers in silicon devices," *IEEE Electron Device Lett.*, vol. EDL-2, no. 4, pp. 103-105, Apr. 1981.
- [2] P. M. Carter and B. R. Wilkins, "Influences on soft error rates in static RAMs," *IEEE J. Solid-State Circuits*, vol. 22, no. 3, pp. 430-436, Jun. 1987.
- [3] J. F. Ziegler, H. W. Curtis, H. P. Muhlfield, C. J. Montrose, B. Chin, M. Nicewicz, C. A. Russell, W. Y. Wang, L. B. Freeman, P. Hosier, L. E. LaFave, J. L. Walsh, J. M. Orro, G. J. Unger, J. M. Ross, T. J. O'Gorman, B. Messina, T. D. Sullivan, A. J. Sykes, H. Yourke, T. A. Enger, V. Tolat, T. S. Scott, A. H. Taber, R. J. Sussman, W. A. Klein, and C. W. Wahaus, "IBM experiments in soft fails in computer electronics (1978-1994)," *IBM J. Res. Develop.*, vol. 40, no. 1, pp. 3-18, Jan. 1996.
- [4] A. H. Johnston, "The influence of VLSI technology evolution on radiation-induced latch-up in space system," *IEEE Trans. Nucl. Sci.*, vol. 43, no. 2 pp. 505-521, Apr. 1996.
- [5] K. Johansson, M. Ohlsson, N. Olsson, J. Blomgren, and P-U. Renberg, "Neutron induced single-word multiple-bit upset in SRAM," *IEEE Trans. Nucl. Sci.*, vol. 46, no. 6, pp. 1427-1433, Dec. 1999.
- [6] J. Yamada, "Selector-line merged built-in ECC technique for DRAM's," *IEEE J. Solid-State Circuits*, vol. 22, no. 5, pp. 868-873, Oct. 1987.
- [7] K. Furutani, K. Arimoto, H. Miyamoto, T. Kobayashi, K. Yasuda, and K. Mashiko, "A built-in hamming code ECC circuit for DRAM's," *IEEE J. Solid-State Circuits*, vol. 24, no. 1, pp. 50-56, Feb. 1989.
- [8] K. Osada, K Yamaguchi, Y. Saitoh, and T. Kawahara, "Cosmic-ray multi-error immunity for SRAM, based on analysis of the parasitic bipolar effect," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 2003, pp. 118-119.
- [9] K. Osada, K Yamaguchi, Y. Saitoh, and T. Kawahara, "Cosmic-ray multi-error

- immunity for SRAM, based on analysis of the parasitic bipolar effect,” *IEEE J. Solid-State Circuits*, vol. 39, no. 5, pp. 827–833, May. 2004.
- [10] K. Osada, Y. Saitoh, E. Ibe, and K. Ishibashi, “16.7-fA/cell Tunnel-leakage-suppressed 16-Mbit SRAM for handling cosmic-ray-induced multi-errors,” in *Proc. IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, Feb. 2003, pp. 302–303.
- [11] K. Osada, Y. Saitoh, E. Ibe, and K. Ishibashi, “16.7-fA/cell Tunnel-leakage-suppressed 16-Mbit SRAM for handling cosmic-ray-induced multi-errors,” *IEEE J. Solid-State Circuits*, vol. 38, no. 11, pp. 1952–1957, Nov. 2003.
- [12] K. Yamaguchi, Y. Takemura, K. Osada, K. Ishibashi, and Y. Saito, “Three-dimensional device modeling for SRAM soft-error immunity and tolerance analysis,” *IEEE Transaction of Electron Device*, vol. 51, no. 3, pp. 378–388, Mar. 2004.
- [13] T. Toyabe, H. Masuda, Y. Aoki, H. Shukuri, and T. Hagiwara, “Three-dimensional device simulator CADDETH with highly convergent matrix solution algorithms” *IEEE Trans. Electron Device*, vol. 32, no. 10, pp. 2038–2044, Oct. 1985.
- [14] S. Satoh, R. Sudo, and H. Nakayama, “Bipolar circuit simulation system using two-dimensional simulation,” in *Proc. 32th Int. Reliability Physics Symp.*, 1994, pp. 339–343.
- [15] E. Ibe, Y. Yahagi, F. Kataoka, Y. Saitoh, A. Eto, M. Sato, H. Kameyama, and M. Hidaka, “A self-consistent integrated system for terrestrial-neutron-induced single event upset of semiconductor devices at the ground,” in *Proc. 1st Int. Conf. Information Technology and Applications*, Nov. 2002, pp. 25–29.
- [16] K. Osada, J. L. Shin, M. Khan, Y. Liou, K. Wang, K. Shoji, K. Kuroda, S. Ikeda, and K. Ishibashi, “Universal-V_{dd} 0.65–2.0V 32kB cache using voltage-adapted timing-generation scheme and a lithographical-symmetric cell,” in *Proc. IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, Feb. 2001, pp.

168-169.

- [17] K. Osada, J. L. Shin, M. Khan, Y. Liou, K. Wang, K. Shoji, K. Kuroda, S. Ikeda, and K. Ishibashi, "Universal-Vdd 0.65-2.0V 32kB cache using *IEEE J. Solid-State Circuits*, vol. 36, no. 11, pp. 1738-1744, Nov. 2001.

第 5 章

高速化技術

5.1 緒言

近年市場の伸びが急速に増加している家庭用ゲーム機や個人向け携帯機器などでアプリケーションを実行するために使用されるマイクロプロセッサは、低コスト、低消費電力を維持しつつ高性能であることが必要とされる。

マイクロプロセッサは大量のデータを高速に必要とするため、データを供給するオンチップキャッシュメモリの性能がチップ全体の性能を左右する。そのため本章ではマイクロプロセッサなどで、オンチップキャッシュメモリとして使用されることが多い SRAM の高速化について述べる。

始めに、キャッシュメモリのアーキテクチャレベルでの読み出しであるロード動作と書き込みであるストア動作について説明し、これまで 2 サイクル必要であったストア動作を 1 サイクルで行う高速化手法を提案する。さらにこれを実現する回路レベルの高速化技術である、ビット線階層化による 2 ポート化技術を提案する[1, 2]。また、読み出しの高速化にはセンスアンプ技術が重要である。本章では従来型センスアンプの問題点を明らかにし、その問題点を解決するタイミングインセンシティブセンスアンプ技術を提案する。

ビット線階層化 2 ポート化技術は、ビット線をローカルビット線とグローバルビット線に分け、グローバルビット線をさらに読み出し用と書き込み用に分けることにより、読み出しと書き込みを並行して行い、読み出しー書き込

みの連続動作を高速化する技術である。タイミングインセンシティブセンスアンプ技術は、増幅率は小さいが活性化タイミングに鈍感であるアンプを複数接続することにより、活性化タイミングの正確な制御が不要で十分な増幅率を得ることができる技術である[1, 2]。

5.2 キャッシュメモリ

通常のマикроプロセッサがアクセスする命令やデータには、時間的な局所性と空間的な局所性がある。時間的な局所性とは、アクセスされたデータはまたすぐにアクセスされる可能性が高いという特性であり、空間的に局所性とは、アクセスした近辺のデータを次にアクセスする可能性が高いという特性である。この性質を利用し、実効的なメモリアクセス時間を短縮しLSIの性能を向上させることを目的として、主記憶の一部を格納しておくメモリがキャッシュメモリである。キャッシュメモリはほとんどのマイクロプロセッサで使用されており、キャッシュメモリがオンチップで使用される場合には、SRAMが使用される場合が通常である。

キャッシュメモリの構成と動作について簡単に説明する。SH4で使用されたキャッシュ方式はダイレクトマップ方式[3]である。キャッシュメモリはアドレスの一部が保存されているタグアレイ(Tag array)とデータが保存されているデータアレイ(Data array)から構成される。キャッシュのデータ読み出しであるロード(Load)動作を図5.1(a)に示した。中央演算処理装置(CPU)のクロックサイクルのはじめにロード命令(Load Instruction)が発行され、アドレス(Address)がキャッシュメモリに与えられる。アドレスの一部であるindexによりタグアレイとキャッシュアレイがアクセスされ、タグアレイからはtagが、データアレイからはdataが読み出される。読み出されたtagはアドレスのtag部と比較され、一致する場合はhit信号を、一致しない場合はmiss信号を中央演算処理装置(CPU)へサイクルの終わりに出力する。dataもCPUへ送られる。CPUでは、タグアレイからの信号がhitの場合はdataを有効とし、missの場合はdataを無効とする。この動作の時間的なイメージを図5.1(b)に示す。通常はタグアレイがデータアレイより小さいため、hit/miss信号よりdataの方が遅い。従ってデータアレイを高速化することによりクロックサイクルを高速化でき、性能を向上させることができる。

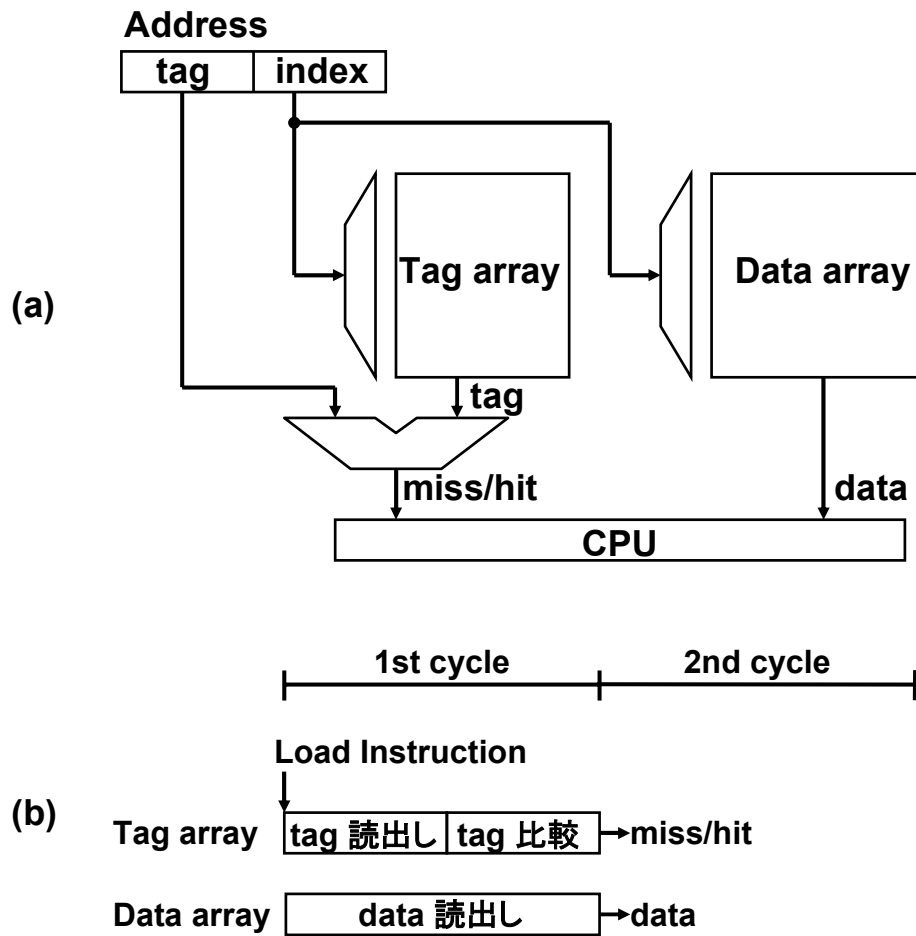


図 5.1 ロード動作 (a)ブロック図 (b)タイミング

キャッシュのデータ書込みであるストア (Store) を図 5.2(a) に示す。また動作の時間的なイメージを図 5.2(b) に示す。ストア命令 (Store Instruction) がクロック第 1 サイクルのはじめに発行されると、はじめにタグアレイのみにアクセスし、読み出された tag はアドレスの tag 部と比較され、第 1 サイクルの終わりに hit/miss 信号を生成する。第 2 サイクルでは、hit の場合のみデータアレイにアクセスして data を書き込む。ストアは間違ったアドレスに書き込みを行なった場合データアレイの data を破壊するためヒット信号が確定するまでは書き込むことができない。従って一般的にロードは 1 サイクルで可能であるが、ストアは 2 サイクル必要となる。しかしながら性能向上のためにはストアも 1 サイクルで行うことが必須となっており、新しいストア方式を提案した。

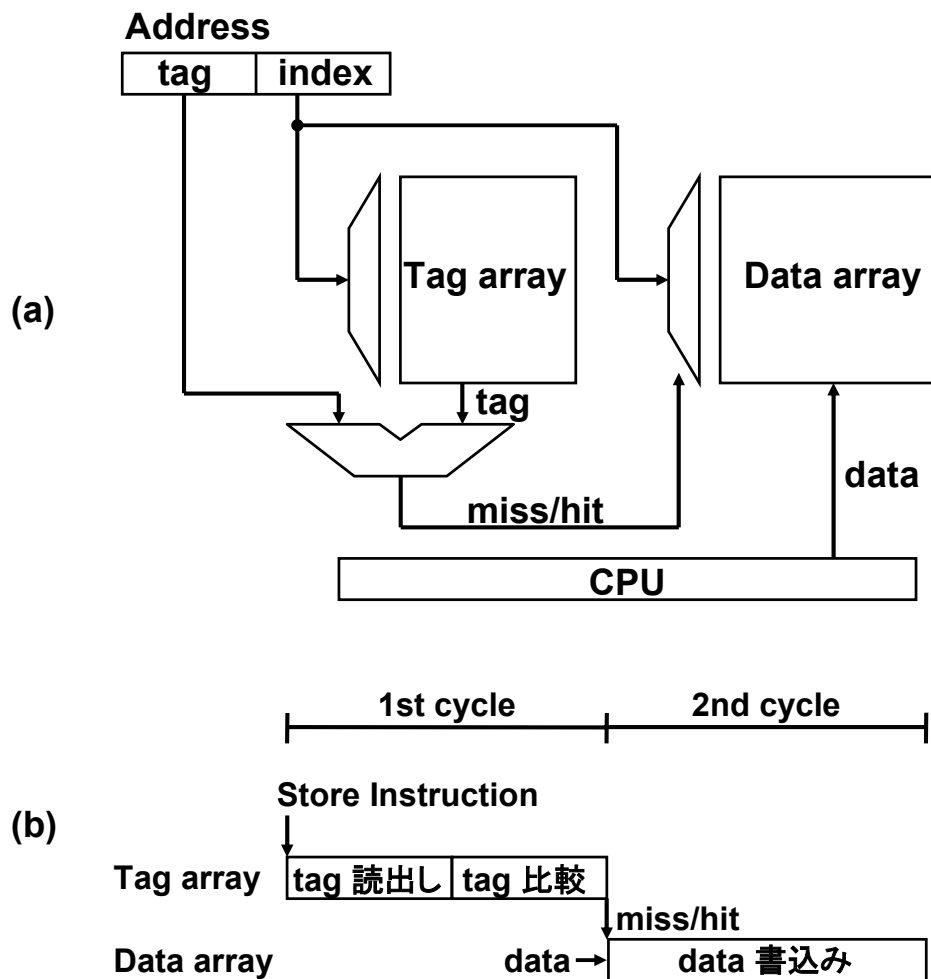


図 5.2 ストア動作 (a)ブロック図 (b)タイミング

5.2 高速ストア方式

図 5.3 に今回提案したストア方式を示した。まず、サイクルのはじめにストア命令が発行されると、データアレイにアクセスし、index で指定されたアドレスから data を読み出して保存する。その後すぐに data 書込みを行なう。またこれと平行して、タグアレイにアクセスし、サイクルの終わりに miss/hit 信号を出力する。hit である場合にはこれでストアは終了である。一方 miss である場合には、あらかじめ読んで保存しておいた data をキャッシュアレイに書き戻す。通常 90%以上は hit するので、ほとんどの場合において1サイクルで書き込みが終了する。しかしながらこの方法を採用する場合、同一メモリセルへの読み出し書き込みという連続動作を高速化することが必要

である。

本章では、読出し・書込みの連続動作を高速に動作させることが可能な階層化ビット線 2 ポート方式を提案した。また、読出しの高速化のためタイミングインセンシティブセンスアンプ方式を開発しキャッシュマクロを試作した。

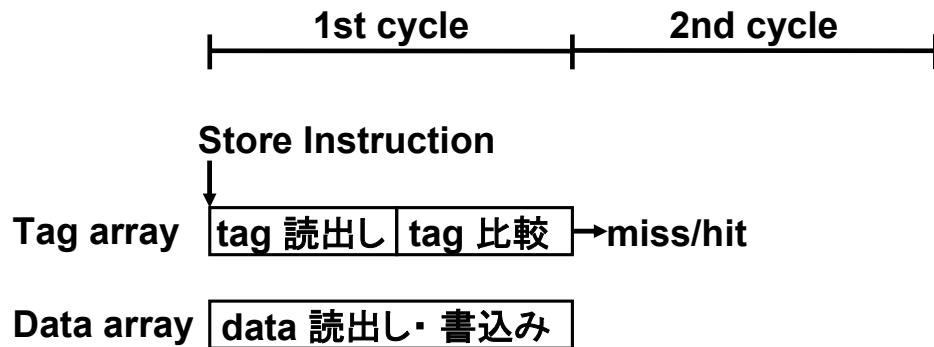


図 5.3 新ストア動作の模式図

5.3 階層化ビット線方式によるキャッシュの 2 ポート化

読み出しー書き込み連続動作を高速で行うためには、2 ポートのメモリセルを使用する方法が有効であるが、面積が従来の 1 ポートキャッシュの 2 倍になるという欠点がある。そこで、パイプライン処理を用いる方法[4]を検討した。パイプライン処理を用いる方法も単純に読み出しー書き込み連続動作を行うと、サイクル時間が通常動作の 2 倍になる。

この問題を解決するために、2 組のグローバルビット線を用いたビット線階層化方式によるキャッシュの 2 ポート化技術 (WGB) を開発した。図 5.4 に回路図を示す。メモリマツトを 8 つのバンク(BANK)に分け、1 バンクは 64word×256 ビットのメモリセルで構成した。すなわち、1 バンク内のローカルビット線対 (BL /BL) は 64 ビットのメモリセルに接続されている。バンクを縦断するようにグローバルビット線 (BG /BG) が形成されており、ビット線が階層化された構造となっている。また、グローバルビット線が読み出し用と書き込み用にそれぞれ分かれている。

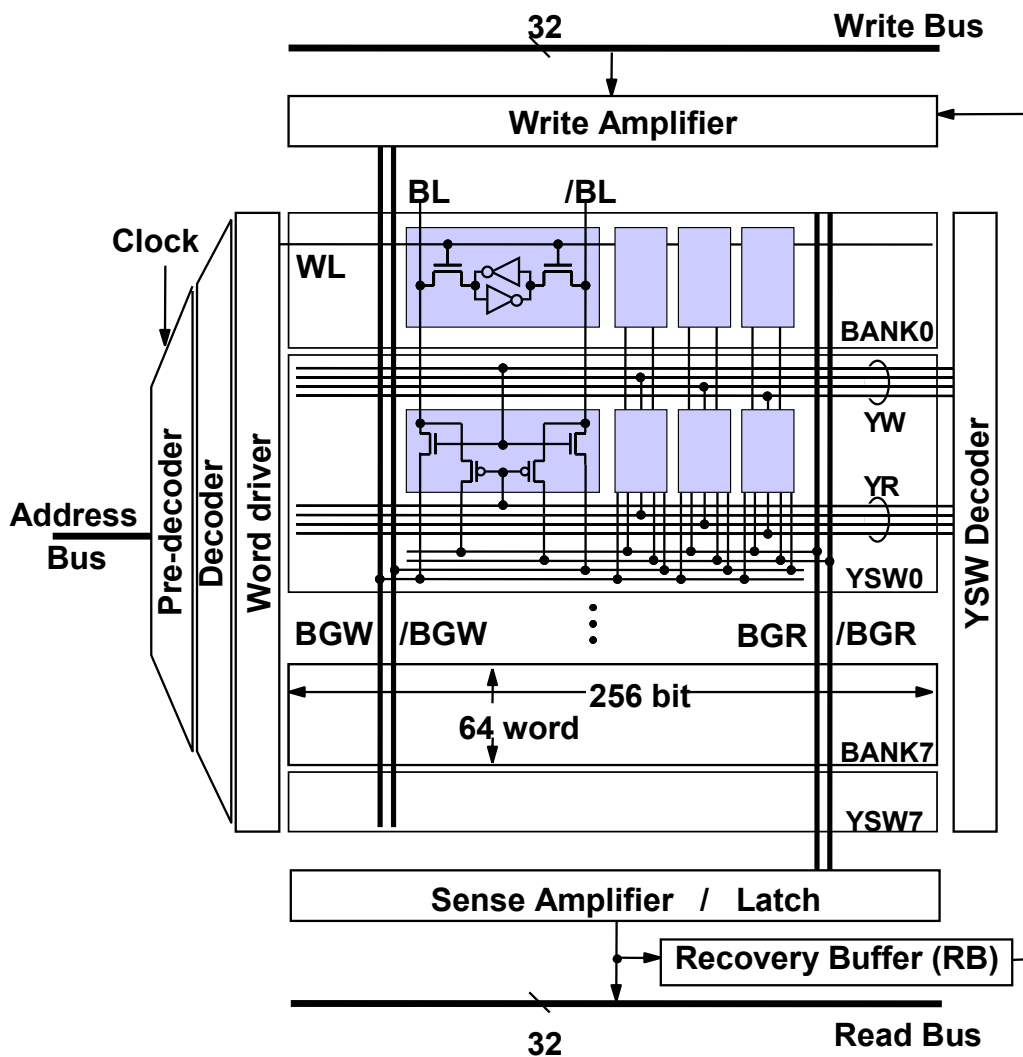


図 5.4 2つのグローバルビット線(WGB)を使った階層化ビット線アーキテクチャの模式図

読み出し用グローバルビット線 (BGR /BGR) はセンスアンプ・ラッチ (Sense amplifier / Latch)回路に接続されており、書き込み用グローバルビット線 (BGW /BGW) はライトアンプ (Write amplifier)に接続されている。それぞれのグローバルビット線はメモリセル 4 カラムに 1 対の割合で配置されている。データの読み出しは、ある 1 つのバンクのローカルビット線と読み出し用グローバルビット線を、Y スイッチ (YSW) の PMOS を介して接続することによって行う。また、データの書き込みは、ローカルビット線と書き込み用グローバルビット線を、Y スイッチの NMOS を介して接続することによって行う。

図 5.5 にメモリマツ部の配線構造を示す。ローカルビット線 (BL /BL) は、第 2 層の配線 (M2) で、グローバルビット線 (BG /BG) は、第 4 層の配線 (M4) で形成されている。グローバルビット線は、1 カラムに 1 本の割合で形成されるため、1 カラムに 2 本形成されるローカルビット線に比べて線間容量を小さくすることができる。図 5.6 にビット線を階層化した場合 (本方式) としない場合 (従来方式) のビット線の容量のシミュレータによる計算結果を示す。従来方式では、ローカルビット線のみでビット線を形成しているため、ビット線には 512 ビットのメモリセルが接続され、また、そのビット線の長さは本方式のグローバルビット線と同じ長さとなる。

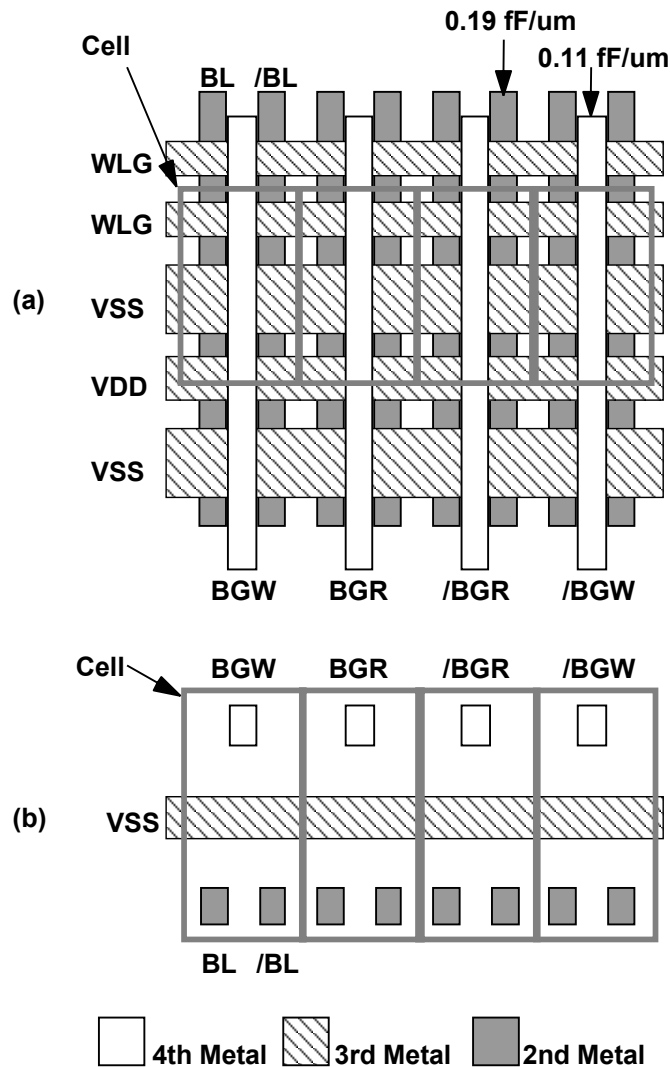


図 5.5 メモリセルアレイの配線構造 (a)平面図 (b)断面図

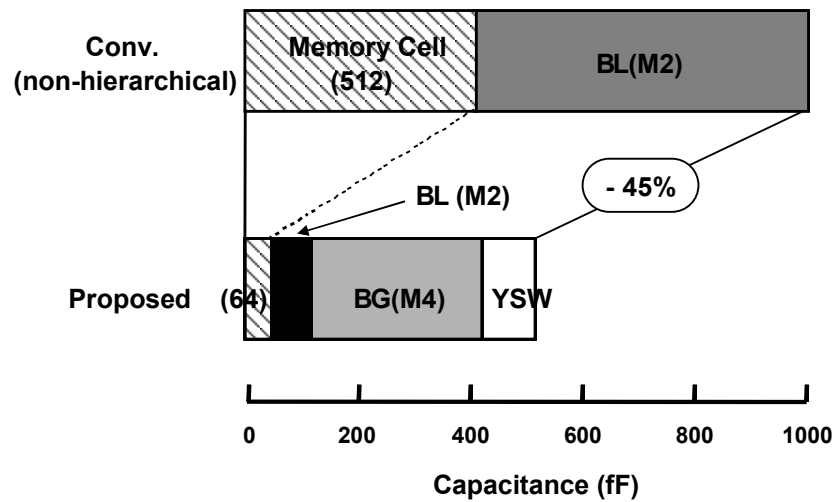


図 5.6 ビット線容量の比較

これに対し、本方式では、ビット線に接続されるメモリセルは 64bit であり、従来方式に比べ 1/8 に減少する。このためメモリセルの拡散容量が 51fF と 1/8 に減少する。また、本方式では、グローバルビット線とローカルビット線の長さを合わせると、従来方式のビット線より長くなるが、グローバルビット線は、M4 を用いて形成し、ローカルビット線に比べてピッチも広いので、同じ長さのローカルビット線より容量が小さい。このため、ローカルビット線とグローバルビット線の配線容量を合わせた本方式の全配線容量は、414fF となり、従来方式のビット線の配線容量 594fF より小さくなる。

以上より本方式のビット線の全容量は 557fF となり、従来にくらべて 45% の容量を低減できる。この結果読み出し及び書き込みが高速化し、また、消費電力も低減できる。

続いて動作について説明する。従来のビット線を階層化したキャッシュメモリ[5, 6]で、データを読み出した後、書き込みを行なう場合、まず、読み出しを行い、次にプリチャージ、その後書き込み動作を行い、また、プリチャージ動作を行っていた。

これに対し本方式では、読み出しと書き込み動作を並行して行うことにより、サイクル時間を 48%短縮できる。図 5.7 にビットラインのシミュレーション波形を示す。グローバルビット線を読み出し用と書き込み用で分けたことにより、読み出し用グローバルビット線 (BGR /BGR) を用いてデータの読み出しを行うのと同時に、並行して書き込み用グローバルビット線 (BGW

/BGW)を駆動する。データ読み出し終了後、Y スイッチ(YSW)を切り替え、書き込み用グローバルビット線とローカルビット線(BL /BL)を接続する。これによって、容量の小さいローカルビット線のみを充放電すれば書き込みが終了し、高速に書き込みを終了することができる。つまり、容量の大きいグローバルビット線(432fF)は、2ポート化して、並列に動作させ、容量の小さいローカルビット線(132fF)は、パイプラインで処理するという方式である。このためデータの読み出しと書き込みを同時に短いサイクル(3.5ns)で実現できる。

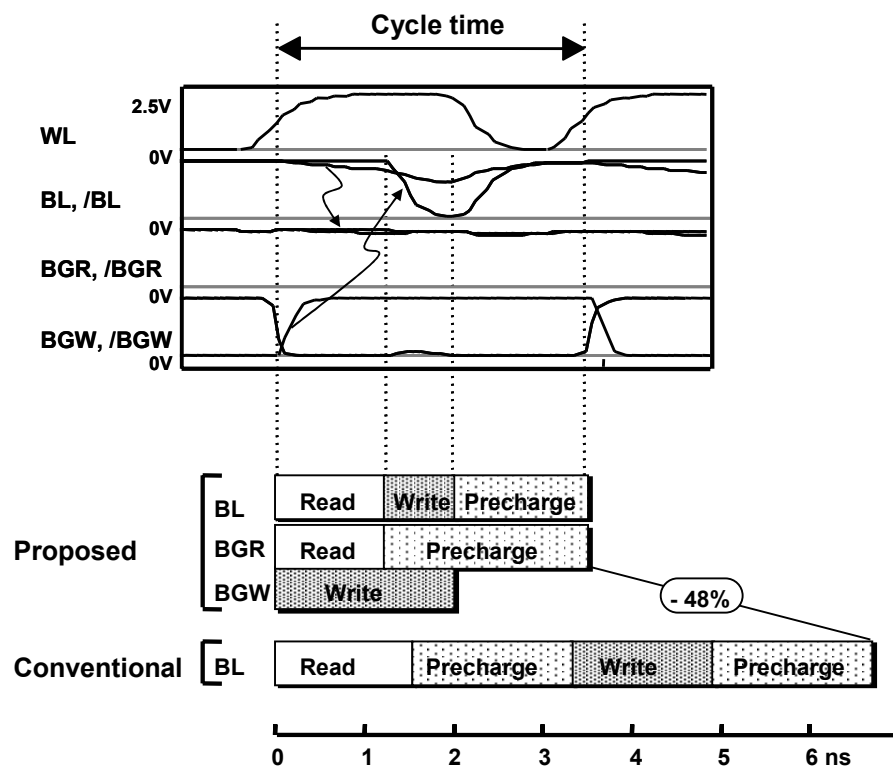


図 5.7 ビット線のシミュレーション波形

5.4 タイミングインセンシティブセンスアンプ方式

図 5.8 に開発したタイミングインセンシティブセンスアンプ(a)と従来のラッチ型センスアンプ(b)を示す。従来のラッチ型センスアンプは、低電力化に効果がある。

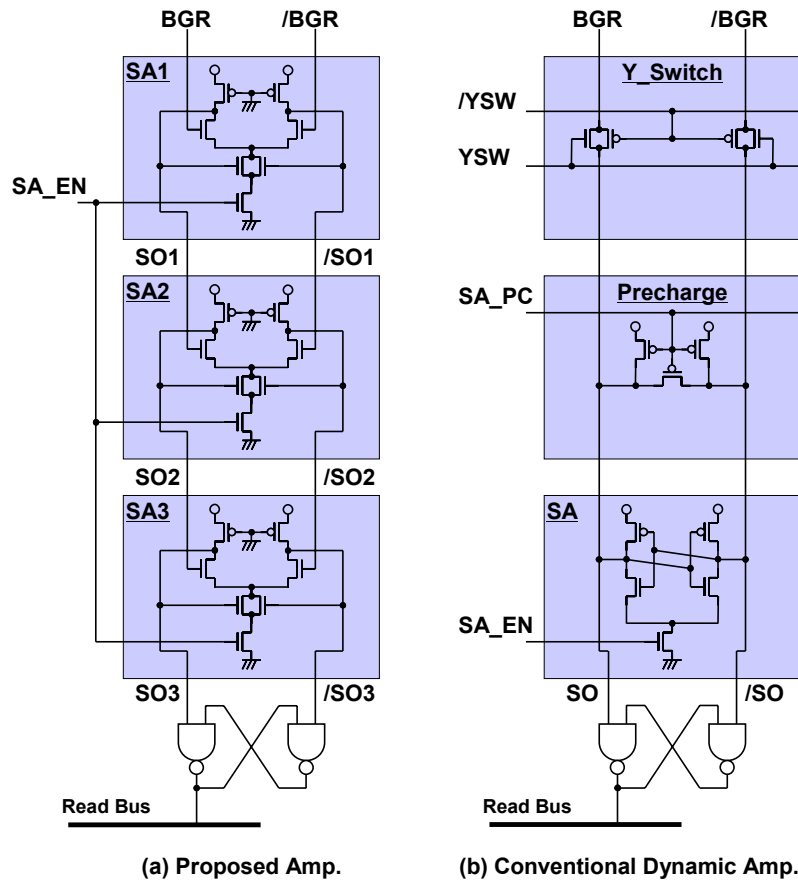


図 5.8 センスアンプ回路

しかし、入力信号であるビット線の電位差があまりないときに、センスアンプを活性化し、データを増幅した場合、センスアンプのアンバランス等により誤ったデータを入力してしまいう可能性がある。この場合データはセンスアンプのラッチ部に取り込まれて、もとに戻すことができなくなるため、センスアンプ活性化信号のタイミングマージンを必要以上に多く取り、ビット線の電位差が充分開くのを待ってセンスアンプを活性化する必要があり、アクセス時間が長くなっていた。これに対し本方式では、活性化タイミングに鈍感な差動アンプを用いた。このアンプを3段重ねることによって、最終段出力に、高速に、かつ十分なゲインを得た。その結果、タイミングを必要としないラッチ回路と接続することが可能となり、タイミングマージンが不要となり、高速な読み出しを実現した。図 5.9 にシミュレーションによる動作波形を示す。

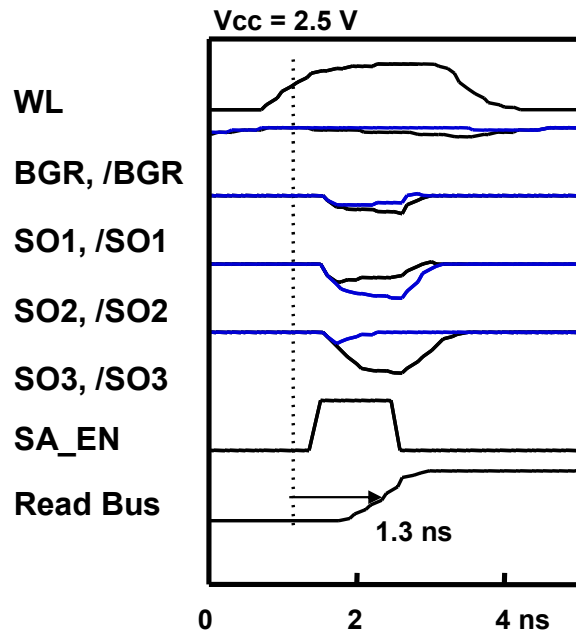


図 5.9 新センスアンプのシミュレーション波形

図 5.10 にセンスアンプの遅延時間(ワード線(WL)がオンしてから、出力バス(Read Bus)にデータが出力されるまでの時間)とセンスアンプのオフセット(ビット線(BGR、/BGR)に接続される NMOS トランジスタのしきい値の差)の関係を示す。センスアンプのオフセットが 30mV と仮定して設計した場合の従来のセンスアンプでは、30mV 以上のオフセットがセンスアンプに生じた場合誤ったデータを出力してしまう。従ってもっとオフセットが大きいと仮定して(例えば 60mV)設計しなければならない。これに対して本方式では、60mV のオフセットがあっても誤ってデータを出力することはない。センスアンプのオフセットが 30mV であった場合に、センスアンプのオフセットが 60mV であると仮定して設計されたラッチ型センスアンプに比べて、本方式のセンスアンプの動作速度は、0.7ns 高速化している。

図 5.11 にセンスアンプの遅延時間のセンスアンプ活性化時間(ワード線(WL)をオンしてからセンスアンプを活性化するまでの時間)依存性を示している。センスアンプには 30mV のオフセットを入力している。センスアンプの遅延時間はセンスアンプの活性化時間が 0.3ns で最も小さい。活性化時間が 0.3ns より早い場合は、センスアンプオフセットのため逆データを一度出力するため返って遅延時間が大きくなっている。遅延時間はアンプの活性化時間に依存して変動するが、間違ったデータを出力することはない。

センスアンプのタイミングに鈍感であると言える。このためセンスアンプの活性化タイミングにマージンが不要となる。

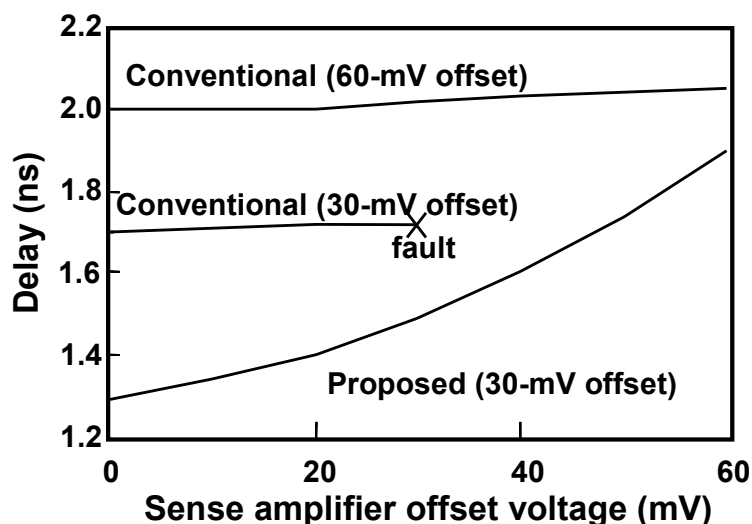


図 5.10 ワード線からアンプ出力までの遅延のビット線のオフセット電圧依存性

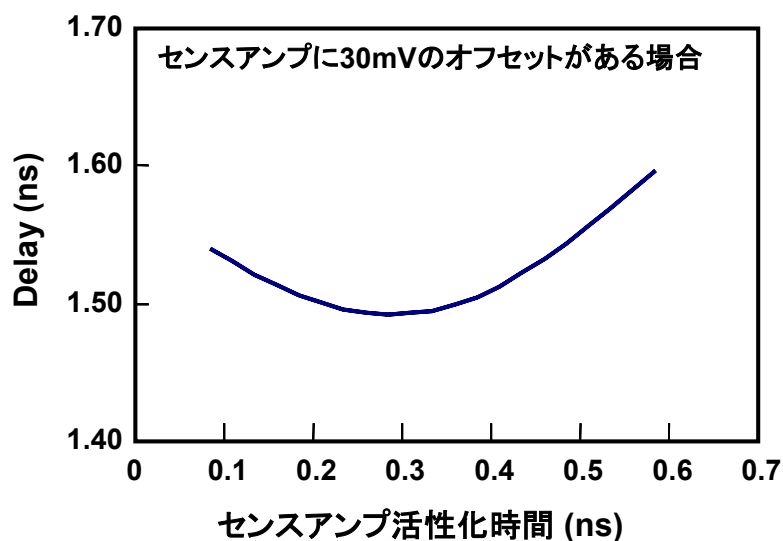


図 5.11 ワード線からアンプ出力までの遅延のセンスアンプの活性化時間依存性

また、本方式のセンスアンプは、従来方式のセンスアンプに比べて、トランジスタ数が多いが、従来回路で必要な Y スイッチやプリチャージ回路を必要としないので、全体的にはほとんど面積増加にならない。また、消費電力も、従来のラッチ型センスアンプを用いた場合に比べて、キャッシュマクロ全体で 7mW 多くなるだけである。図 5.12 に従来の読出し時の消費電

力と 2 ポート型階層化ビット線方式とタイミングインセンシティブセンスアンプ方式を適用した場合の消費電力の見積もりを示した。タイミングインセンシティブセンスアンプ方式により消費電力は増加し、ビット線の階層化により電力は減少する。全体では 5mW の増加である。

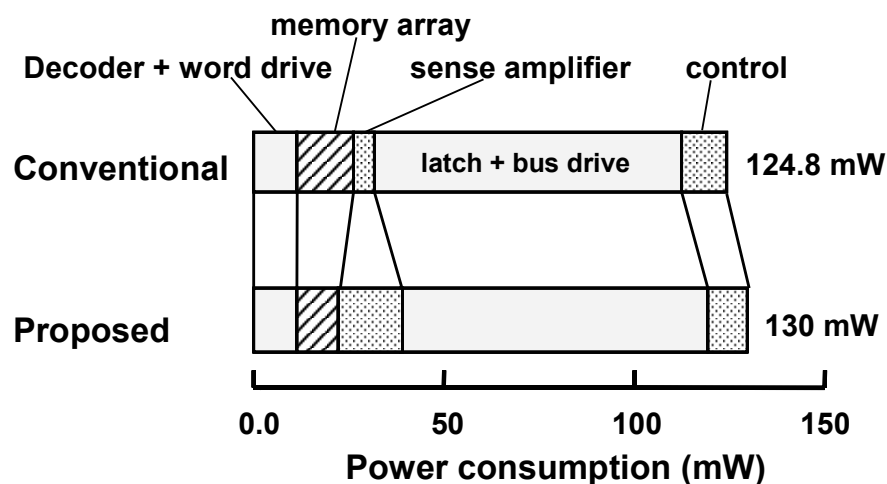


図 5.12 読出し時のキャッシュメモリの消費電力

5.5 試作及び評価

図 5.13 に試作したキャッシュマクロのチップ写真を示す。0.35 μm 、1 層ポリシリコン、4 層メタル CMOS プロセスを用いた。プロセスデバイス特性を表 5.1 に示す。

図 5.14 は、2.5V、285MHz のサイクルで動作するキャッシュの動作波形である。各サイクルでは、読み出しと書き込み両方が行われている。サイクル CY2 で、ライトバス (Write bus) からデータ "0" を書き込むと同時に、リードバス (Read bus) にデータ "1" を読み出している。このデータ "1" は、前のサイクル CY1 で書き込まれた値である。また、CY2 で書き込まれた値 "0" は、サイクル CY3 で読み出されている。アクセス時間は 2ns であった。

試作したキャッシュマクロの諸元を表 5.2 に示す。チップサイズは 1.5mm \times 3.65mm であり、ビット線を階層化したことによる Y スイッチの面積の増加は 10% であった。

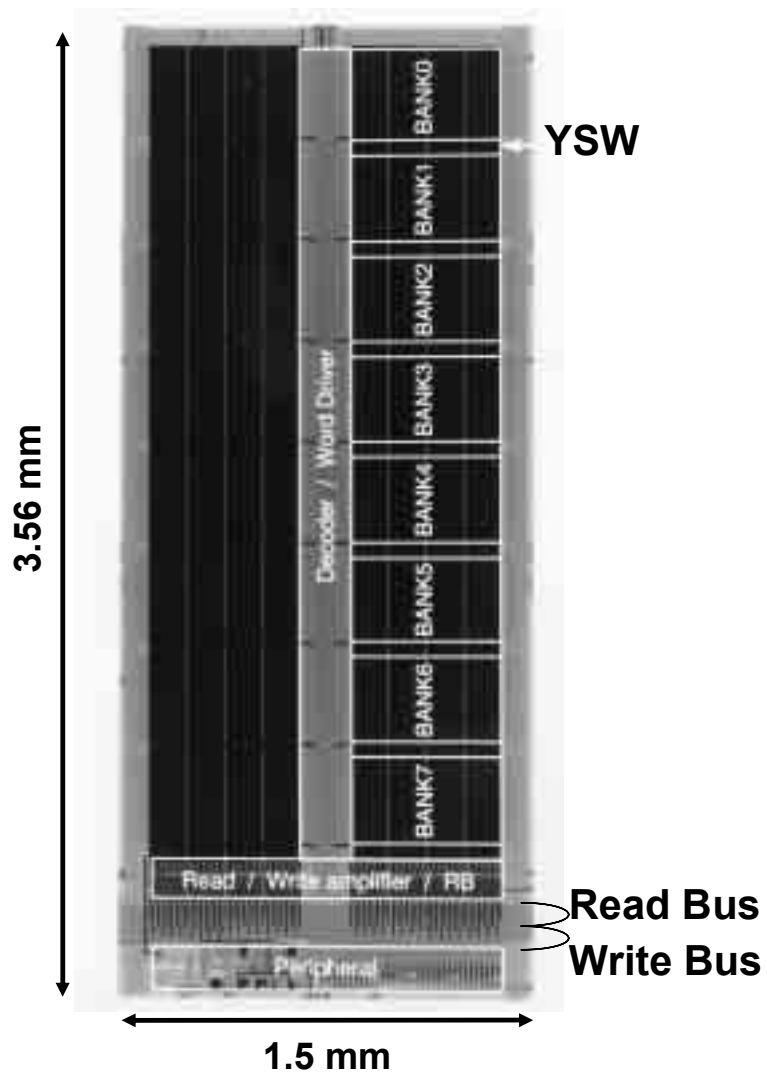


図 5.13 16KB 2ポートキャッシュメモリのチップ写真

表 5.1 プロセス・デバイスパラメータ

Process	4-metal 0.35-μm CMOS
Gate length	0.4 μm (NMOS/PMOS)
Metal pitch	1.4 μm
Cell size (6T)	4.2 x 5.16 μm (21.672 μm^2)

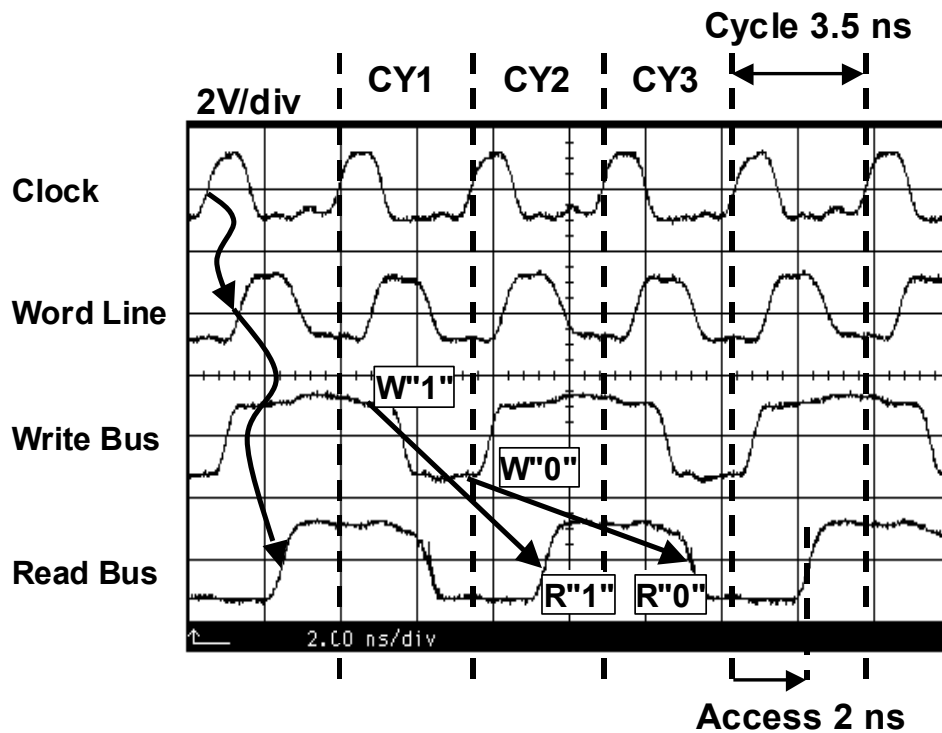


図 5.14 285MHz 動作時の動作波形測定結果

表 5.2 チップ緒元

Organization	4K × 32b (16 KB)
Ports	
read	1
write	1
Supply voltage	2.5 V
Cycle time	3.5 ns
Clock access time	2.0 ns
Active power	130 mW (@ 200 MHz)
Chip size	1.5 × 3.56 mm (5.34 mm²)
Bandwidth	2.3 GB/s

5.6 結言

本章では、キャッシュメモリのアーキテクチャレベルでの読み出しであるロード動作と書き込みであるストア動作について説明し、これまで 2 サイクル必要であったストア動作を 1 サイクルで行う高速化手法を提案した。提案したストア方式は、ヒット信号が確定する前にデータを読み出してから新しいデータを連続して書き込む方式である。

次にこの新しいストア方式を実現するためには、回路レベルで読み出し後の書き込み動作を高速化する必要がある、ビット線階層化によるキャッシュの 2 ポート化技術を提案した。本技術はビット線をローカルビット線とグローバルビット線に階層化し、ローカルビット線を第 2 層目の配線で形成し、グローバルビット線を第 4 層目の配線で形成することにより、ビット線の配線容量を低減して読み出しや書き込み速度を高速化するものである。さらにグローバルビット線を読み出し用と書き込み用で別にする(2 ポート化する)ことにより、読み出し動作と書き込み動作をオーバーラップして行うことが可能となり、読み出しー書き込みの連続動作を高速化する技術である。

また、読み出しの高速化のため、従来センスアンプの問題点を明らかにし、センスアンプ活性化信号のタイミングのずれに鈍感なタイミングインセンシティブセンスアンプ技術を提案した。タイミングインセンシティブセンスアンプは増幅率は小さいが、活性化タイミングのずれに鈍感な差動アンプを 3 段重ねることによって、最終段出力に、高速に、かつ十分なゲインを得る方式である。

本技術を使用して、0.35- μm CMOS プロセスにより 16KB のキャッシュメモリを試作した結果、以下の結論を得た。

- (1) ビット線階層化 2 ポート技術により、実効的にビット線容量を 45%下げ、読み出しー書き込み連続動作の実行時間を 48%低減した。
- (2) タイミングインセンシティブセンスアンプ方式により、従来方式に比べて 0.7ns の高速化を実現した。
- (3) 2.5V で読み出しー書き込みの連続動作を 285MHz で実行し、またアクセス 2ns を確認した。

参考文献

- [1] K. Osada, H. Higuchi, K. Ishibashi, N. Hashimoto, and K. Shiozawa, "A 2ns access, 285MHz, two-port cache macro using double global bit-line pairs," in *Proc. IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, Feb. 1997, pp. 402-403.
- [2] K. Osada, H. Higuchi, K. Ishibashi, N. Hashimoto, and K. Shiozawa, "A 2-ns-Access, 285-MHz, two-port cache macro using double global bit-line pairs," *IEICE Trans. Electron.*, vol.E83-C, no.1, pp. 109-114, Jan. 2000.
- [3] D. A. Patterson and J. L. Hennessy, *Computer organization & design 2nd eds.*, Morgan Kaufmann Publishers, Inc., pp. 568, 1998.
- [4] G. Bracerias, T. Frederick, S. Hall, G. Koch, R. Macdonald, R. Purvee, and R. Ross, "A 250MHz internal / 66MHz external 64kB embedded virtual three-port cache SRAM," in *Proc. IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, Feb. 1994, pp. 262-263.
- [5] N. Kushiyama, C. Tan, R. Clark, J. Lin, F. Perner, L. Martin, M. Leonard, G. Goussens, K. Cham, and K. Chiu, "A 295MHz CMOS 1M(\times 256) embedded SRAM using bi-direction read/write shared sense amps and self-timed pulsed word-line drivers," in *Proc. IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, Feb. 1995, pp. 304-305.
- [6] R. Guo, T. Y. Su, and C. Chao, "A 500MHz 1Mb on-chip cache design using multi-level bit line sense scheme," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 1996, pp. 130-131.

第 6 章

結論

6.1 本研究により明らかにされた事項

スタティックランダムアクセスメモリ (Static-random-access-memory; SRAM) は、単体のメモリとしてだけでなく、システム LSI に混載されるオンチップメモリとして使用され、システム LSI の性能を左右する重要なメモリである。

本論文では、このような SRAM の低消費電力、高信頼、高速化の回路技術について述べた。低消費電力化は「動作時の低消費電力化」と「待機時の低消費電力化」に分けられ、「高信頼化」「高速化」を加えた4つの要求を実現するために、2 章から 5 章において、課題とこれを解決する回路技術の検討結果を述べた。

動作時の低消費電力化

システム LSI では、動作時の低消費電力化のために、電源電圧を下げるのが一般的であり、SRAM でも消費電力を低減するために動作電圧を下げるのが要求されている。また、システムの負荷が大きいときには動作電圧および周波数を上げ、負荷が小さいときには動作電圧および周波数下げることによって、さらなる低電力化を実現することが一般的となってきた。このため、より低い電圧から高い電圧まで、幅広い電圧での連続動作が必要となる。第 2 章の低消費電力化技術の検討では、低電圧動作と幅広い動作電圧で連続動作を実現するための技術について検討し、以下のことが明らかとなった。

- (1) スタティックノイズマージン(SNM)の検討から低電圧で動作を安定させる方法として、①トランジスタのしきい値を上げる。② β レシオを大きくする。③セル内のトランジスタの特性ばらつきを小さくする方法が効果的である。
- (2) 第2章で提案した横長SRAMセルは、リソグラフィーでのマスクの合わせずれに対する感度が鈍く、セル内のトランジスタの特性ばらつきを小さくでき、0.3VまでSNMが存在し、0.65Vまで動作することを確認した。
- (3) メモリセルと周辺の制御回路ではトランジスタのしきい値が異なるため電源電圧を変えた場合に回路の遅延時間に差が生じ、センスアンプを正しく活性化できない新たな課題が発生する。
- (4) 第2章で提案した複数ダミービット線方式は、動作電圧に応じて最適なセンスアンプの活性化タイミングを発生するため、メモリセルと周辺回路でトランジスタしきい値が異なることによる遅延時間のずれを相殺し、12.5%アクセスを改善することができ、0.65Vの低電圧から2.0Vまで連続動作が実現できた。
- (5) 0.65V、120 MHz動作時の消費電力は1.7 mW、2.0V、1.04 GHz動作時の消費電力は530 mWであり、最大で97%電力を削減できた。

待機時の低消費電力化

SRAMの待機時(データ保持時)のリーク電流であるサブスレッショルド電流を低減する方法はこれまで研究がなされているが、プロセスの微細化に伴いSRAMセルでは、新たなリーク電流が顕在化し、これを低減する必要性が生じてきた。第3章では、待機時のリーク電流の低減化について検討し、以下のことが明らかとなった。

- (1) 0.18 μm 以下の先端プロセスを用いた場合のSRAMセルでのリーク電流(従来から問題となっているサブスレッショルド電流に加え、新たに顕在化するゲートトンネル電流やGIDL(Gate-Induced Drain-Leakage)電流)を成分毎に整理した。
- (2) ゲートトンネル電流は、酸化膜厚(T_{ox})が2Å減少する毎に約1桁増加するが、ゲート酸化膜に印加される電圧を1.5Vから1.0Vに下げると、約95%のリーク電流を削減することができる。また、GIDL電流はゲート-

ドレイン電圧に依存し、これが 1.5V から 1.0V に低下すると、電界が緩和され約 90%の電流が低減できる。

- (3) 第 3 章で提案した電界緩和(Electric Field Relaxation; EFR)方式は、メモリセルの各トランジスタに印加されている電圧を下げ、電界を緩和することによりゲートトンネル電流や GIDL 電流を低減する技術であり、25°Cで、メモリセル電流を従来方式に比べ 82.5%低減し 16.7fA を実現し、90°Cで 91.8%低減し 101.7fA を実現できた。また、16Mbit のチップ全部では、電源回路を含めてで、0.5 μ A (@25°C)を実現できた。

高信頼化

データの信頼性を低減させる現象として、アルファ線によるソフトエラーが従来から問題となっており、これまで多くの研究がなされてきた。しかし、近年、宇宙線中性子によって生じるソフトエラーも顕在化し問題となってきた。第 4 章では宇宙線中性子によるソフトエラーの対策、特にマルチセルエラーの対策について検討し、以下のことが明らかとなった。

- (1) マルチセルエラーについて検討・解析を行うために回路とデバイスシミュレーションを組合せた新たな解析手法により、宇宙線中性子の入射した LSI では、電池効果と呼ぶ効果により寄生バイポーラ素子がオンし、隣接セルがフェイルするマルチセルエラーのメカニズムを明らかにした。
- (2) 宇宙線中性子によって生じるマルチセルエラーの最大数はウエル給電間に存在するセル数(N_w)に依存することを明らかにし、宇宙線中性子によって生じるマルチセルエラーを高効率で訂正するためのエラー訂正回路の設計ガイドラインを提案した。これによりソフトエラー率 (SER) を 88%低減できた。
- (3) 第 4 で提案した交互エラー訂正方式は、横長 SRAM セルを用いた場合にマルチセルエラーを高効率で訂正可能なアドレス割り当て方法であり、SER を 99.5%低減することに成功した。
- (4) 第 4 章で提案した、128 ビット毎にパリティビットを割り当てるアーキテクチャにより、エラー訂正回路による面積のオーバーヘッドを 19%に抑え、さらに、バスの階層化技術により、面積のオーバーヘッドを 10%にまで低減することができた。また、バス階層化により消費電力を 22%低減でき

た。

高速化

第 5 章の高速化技術の検討結果から以下のことが明らかとなった。

- (1) 従来 2 サイクル必要であったストア動作を 1 サイクルで行う高速化手法を提案し、この新しいストア方式を実現するための回路レベルでのビット線階層化によるポート化技術を提案した。本技術により、ビット線容量を 45% 下げ高速化を実現するとともに、読み出しと書き込みを並行して行い読み出しと書き込みの連続動作を、48% 高速化することに成功した。
- (2) 読み出しの高速化のため、センスアンプ活性化信号のタイミングばらつきの感度が低いタイミングインセンシティブセンスアンプ技術を提案した。タイミングインセンシティブセンスアンプ方式により、従来方式に比べて 0.7ns の高速化を実現した。2.5V で 285MHz、2ns アクセスの動作を確認した。

6.2 今後の SRAM と残された課題

微細化したプロセスによる動作の不安定化

SRAM は CMOS プロセスを確立する上で必要不可欠であるが、今後さらにプロセスが微細化すると、図 6.1 に示すようにセル内のトランジスタのしきい値ばらつきが増加し、低電圧での動作が横長 SRAM セルでも困難となる。さらにしきい値ばらつきが増加すると、通常の電圧での動作も困難となると予想される。これを解決する方法としてアレイブースト方式が提案されている[1-4]。これは、フリップフロップ部の電圧を上げることによりマージンを拡大する方式である。しかし、本方式は、高い電圧を必要とするため、酸化膜厚を薄くできず、セルサイズのスケーラビリティが図 6.2 に示すように鈍化する問題がある。また、しきい値ばらつきの原因となるチャネル不純物が不要な FD-SOI を用いた SRAM[5]も提案されている。ただし、FD-SOI 基板は高価であり、標準的プロセスとなるには難しい。動作を安定化させるためには β レシオを大きくする方法もあるが、面積が増大してしまう。

以上のように微細化が進むと SRAM のスケーラビリティが劣化し、コストが

増大すると考えられる。コスト低減のために、SRAMの面積を削減する方式として、縦積のMOSを使う方式や4つのトランジスタで構成されるセルが提案されている[6]。これも1つの方向であると考えられる。

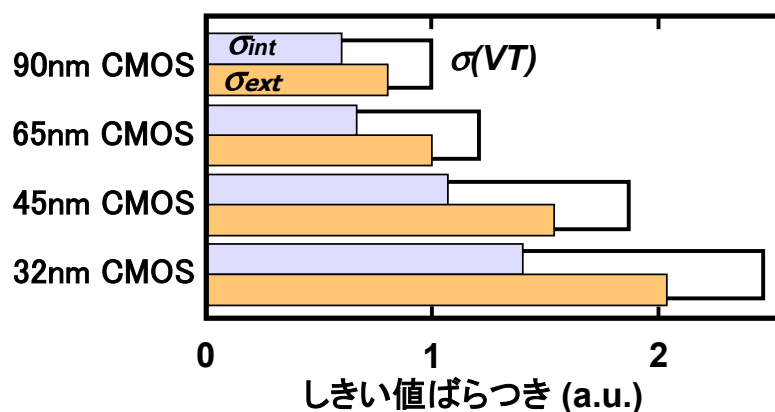


図 6.1 トランジスタのしきい値ばらつき

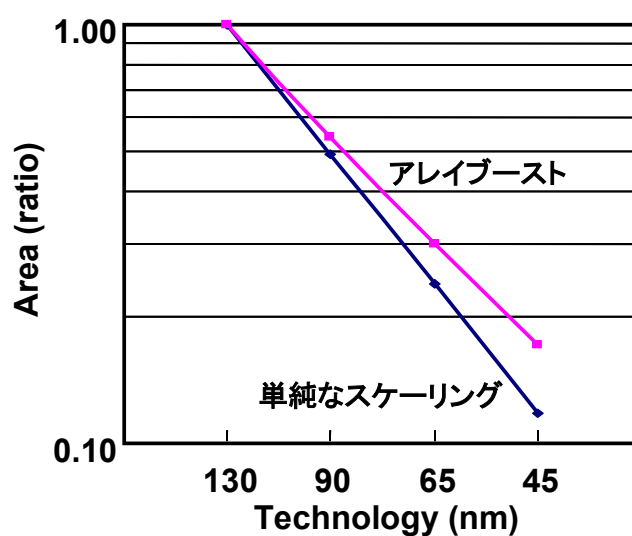


図 6.2 セルサイズの見込み

SRAM を置き換えるメモリセルの可能性

現在不揮発性を備えた RAM が多く研究されている。図 6.3 にまとめた。MRAM[7]は、磁気トンネル接合(MJT)を用いたメモリであり、高速書込み可能で書き換え耐性がほぼ無限であることが特徴である。FeRAM[8]は、強誘電体素子を用いたメモリであり、既に IC カード等で実用化されている。ただし、破壊読出しのため、読み出し回数にも制限がある。相変化メモリ[9-16]は、カルコゲナイドと呼ばれる DVD で用いられる物質を用いたメモリ

であり、結晶構造を変えることによりデータを記憶するメモリである。相変化メモリは面積が小さいことが利点であるが、書換え回数が 10^{12} であり無限に書き込むことは今のところできない。

これらの技術は現在開発中であり、今後の技術のブレークスルーによりSRAMを置き換える可能性を秘めている。

	相変化メモリ	MRAM	FeRAM
構造			
主な用途	携帯機器向け 低コストメモリ	高性能サーバ向け キャッシュメモリ	非接触ICカードメモリ
特徴	<ul style="list-style-type: none"> セルサイズ小 書換え回数: 10^{12} 	<ul style="list-style-type: none"> セルサイズ大 書換え回数: 10^{12} 高速書換え 	<ul style="list-style-type: none"> セルサイズ大 読み出し・書換え回数: 10^{12}

MTJ: Magnetic Tunnel Junction

図 6.3 不揮発 RAM の特性比較

参考文献

- [1] Y. Nakagome, M. Horiguchi, T. Kawahara and K. Itoh, "Review and prospects of low-voltage RAM circuits," *IBM J. R & D*, vol. 47, no. 5/6, pp. 525-552, Sep./Nov. 2003.
- [2] K. Itoh, K. Osada, and T. Kawahara, "Reviews and future prospects of low-voltage embedded RAMs," in *Proc. IEEE Custom Integrated Circuits Conf.*, Oct. 2004, pp. 339-344.
- [3] M. Yamaoka, K. Osada, and K. Ishibashi, "0.4-V logic library friendly SRAM array using rectangular-diffusion cell and delta-boosted-array-voltage scheme," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 2002, pp. 170-173.
- [4] M. Yamaoka, K. Osada, and K. Ishibashi, "0.4-V logic-library-friendly SRAM array using rectangular-diffusion cell and delta-boosted-array voltage scheme," *IEEE J. Solid-State Circuits*, vol. 38, no. 11, pp. 934- 940, June 2004.
- [5] M. Yamaoka, K. Osada, R. Tsuchiya, M. Horiuchi, S. Kimura, and T. Kawahara, "Low power SRAM menu for SOC application using Yin-Yang-feedback memory cell technology," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 2004, pp. 288-291.
- [6] A. Kotabe, K. Osada, N. Kitai, M. Fujioka, S. Kamohara, M. Moniwa, S. Morita, and Y. Saitoh, "A 0.13- μm , 0.78- μm^2 low-power four-transistor SRAM cell with a vertically stacked poly-silicon MOS and a dual-word-voltage scheme," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 2004, pp. 60-63.
- [7] A. Bette, J. DeBrosse, D. Goff, H. Hoenigschmid, R. Robertazzi, C. Arndt, D. Braun, D. Casarotto, R. Havreluk, S. Lammers, W. Obermaier, W. Reohr, H. Viehmann, W.J. Gallagher, G. Muller, "A high-speed 128kbit MRAM core for future universal memory applications," in *Symp. VLSI Circuits Dig.*, June 2003, pp. 217-220.
- [8] H. McAdams, R. Acklin, T. Blake, J. Fong, D. Liu, S. Madan, T. Moise, S. Natarajan, N. Qian, Y. Qui, J. Roscher, A. Seshadri, S. Summerfelt, X. Du, J. Eliason, W. Kraus, R. Lanham, F. Li, C. Pietrzyk, J. Rickles, "A 64Mbit embedded FeRAM utilizing a 130nm, 5lm Cu/FSG logic process," in *Symp. VLSI Circuits Dig.*, June 2003, pp. 175-176.
- [9] S. Lai, T. Lowrey, "OUM - A 180 nm nonvolatile memory cell element technology for stand alone and embedded applications," in *IEDM Tech. Dig.*, Dec. 2001, pp. 803-806.

- [10] M. Gill, T. Lowrey, J. Park, “Ovonic unified memory – a high-performance nonvolatile memory technology for stand-alone memory and embedded applications,” in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, Feb. 2002, pp. 202–203.
- [11] S. Lai, “Current status of the phase change memory and its future,” in *IEDM Tech. Dig.*, Dec. 2003, pp. 255–258.
- [12] Y.N. Hwang, S.H. Lee, S.J. Lee, K.C. Ryoo, H.S. Hong, H.C. Koo, F. Yeung, J.H. Oh, H.J. Kim, W.C. Jeong, J.H. Park, H. Horii, Y.H. Ha, J.H. Yi, G.H. Koh, G.T. Jeong, H.S. Jeong and Kinam Kim, “Writing current reduction for high-density phase-change RAM,” in *IEDM Tech. Dig.*, Dec. 2003, pp. 893–896.
- [13] W. Cho, B-H. Cho, B-G. Choi, H-R. Oh, S-B. Kang, K-S. Kim, K-H. Kim, D-E. Kim, C-K. Kwak, H-G. Byun, Y-N. Hwang, S-J. Ahn, G-T. Jung, H-S. Jung, and K. Kim, “A 0.18 μ m 3V 64Mb non-volatile phase-transition random access memory,” in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, Feb. 2004, pp. 40–41.
- [14] F. Bedeschi, C. Resta, O. Khouri, E. Buda, L. Costa, M. Ferraro, F. Pellizzer, F. Ottogalli, A. Pirovano, M. Tosi, R. Bez, R. Gastaldi and G. Casagrande, “An 8Mb demonstrator for high-density 1.8V phase-change memories,” in *Symp. VLSI Circuits Dig.*, June 2004, pp. 442–445.
- [15] F. Pellizzer, A. Pirovano, F. Ottogalli, M. Magistretti, M. Scaravaggi, P. Zuliani, M. Tosi, A. Benvenuti, P. Besana, S. Cadeo, T. Marangon, R. Morandi, R. Piva, A. Spandre, R. Zonca, A. Modelli, E. Varesi, T. Lowrey*, A. Lacaita+, G. Casagrande, P. Cappelletti and R. Bez, “novel μ trench phase-change memory cell for embedded and stand-alone non-volatile memory applications,” in *Symp. VLSI Technology Dig.*, June 2004, pp. 18–19.
- [16] N. Takaura, M. Terao, K. Kurotsuchi, T. Yamauchi, O. Tonomura, Y. Hanaoka, R. Takemura, K. Osada, T. Kawahara, and H. Matsuoka, “A GeSbTe phase-change memory cell featuring a tungsten heater electrode for low-power, highly stable, and short-read-cycle operations,” in *IEDM Tech. Dig.*, Dec. 2003, pp. 37.2.1– 37.2.4.

謝辞

本論文を執筆するに当たり、慶応義塾大学理工学部 松本智教授には、筆者が慶応義塾大学に在学中の時から終始かわらず懇切丁寧に御指導いただき、本論文の執筆に対しても更なる御指導ならびに御鞭撻を賜りましたことに深く感謝の意を表す。また、本論文の作成にあたり、丁寧な御指導と御支援を頂きました慶応義塾大学理工学部 黒田忠広教授、天野英晴教授、中野誠彦助教授に深く感謝の意を表す。

本論文の研究は、筆者の勤務する日立製作所中央研究所で行なったものであるが、本研究の遂行にあたっては、筆者が中央研究所に入社して以来の歴代所長でおられた中村道治（現在、執行役副社長 研究開発本部長）、武田英次（現在、情報通信グループ COO）、西野壽一（現中央研究所所長）の各氏をはじめとして、歴代のセンター長でおられた田地新一（現在、(株)日立ハイテクノロジーズ）、木村勝高（現在、日立研究所 材料研究所長）、尾内享裕（現センター長）の各氏に、多大なる後支援を頂いた。厚く感謝の意を表す。

筆者の所属部の歴代の部長でおられた、関浩一（現在、(株)ルネサステクノロジ）、佐々木勝朗（現在、(株)日立超 LSI システムズ）、矢野和男（現在、センサネット戦略プロジェクトリーダー）、入江直彦（現システム LSI 研究部長）の各氏に多大なる後支援を頂いた。厚く感謝の意を表す。

また、入社以来、筆者の所属ユニットの歴代のユニットリーダーでおられた長野隆洋（現在、(株)インテレクス研究所）、石橋孝一郎（現在、(株)ルネサステクノロジ）、大久保教夫（現在、センサネット戦略プロジェクト主任研究員）、河原尊之（現ユニットリーダー兼主任研究員）の各氏、および、伊藤清男（現在、日立製作所フェロー）、樋口久幸（現在、前橋工科大学情報工学科教授）、内山邦男（現在、中央研究所 主管研究員）、荒川文男（現在、システム LSI 研究部ユニットリーダー兼主任研究員）、水野弘之（現在、システム LSI 研究部ユニットリーダー兼主任研究員）、松崎望（現在、ULSI 研究部主任研究員）の各氏においては、研究生活の全般にわたり暖かく御指導いただいた。ここに深く感謝の意を表す。

また、SRAM グループとして、橘大(現在、(株)富士通)、山岡雅直(現在、システム LSI 研究部 研究員)、小田部晃(現在、システム LSI 研究部 研究員)をはじめとする方々には有益な御議論を頂いた。

上記以外にも、第 2 章の研究遂行にあたっては、Jinuk Luke Shin(現在、Sun Microsystems, Inc.)、Masood. Khan(現在、ARCADIA Design Systems)、Yude. Liou(現在、Mixel, Inc.)、John Zimmer(現在、NetLogic Microsystems)、Karl Wang(現在、ARM)、Takeshi Kitahara(現在、Sun Microsystems, Inc.)、中一郎(現在、(株)ルネサステクノロジ)、長谷川淳(現在、(株)ルネサステクノロジ)、吉岡真一(現在、(株)ルネサステクノロジ)、Dominique Henoff(現在、STMicroelectronics)、Henry Nurser(現在、STMicroelectronics)をはじめとする SH5 プロジェクトの方々、池田修二(現在、(株)ルネサステクノロジ)、黒田謙一(現在、(株)ルネサステクノロジ)、庄司健一(現在、(株)ルネサステクノロジ)各氏をはじめとするプロセスグループの方々、青木正和(現在、東京理科大学 教授)、野口孝樹(現在、(株)ルネサステクノロジ)、竹田敏文(現在、(株)ルネサステクノロジ)、波多野雄治(現在、(株)ルネサステクノロジ)、服部俊洋(現在、(株)ルネサステクノロジ)各氏をはじめとする半導体事業部の方々には、御指導および有益な御議論を頂いた。

さらに、第 3 章の研究の遂行に当たっては、斉藤良和(現在、(株)ルネサステクノロジ)、青山昭久(現在、(株)ルネサステクノロジ)、菅原美紀夫(現在、(株)アキタ電子)、木崎健(現在、(株)ルネサステクノロジ)をはじめとするメモリ設計部の方々、伊部英史(現在、生産技術研究所 プロセスソリューション研究部 主任 研究員)、亀山英明(現在、(株)ルネサステクノロジ)をはじめとするソフトウェア解析、西田彰男(現在、(株)ルネサステクノロジ)、中道勝(現在、(株)ルネサステクノロジ)、奥山幸祐(現在、(株)ルネサステクノロジ)各氏をはじめとするプロセスグループの方々の御指導および有益な御議論を頂いた。

第 4 章の研究遂行に当たっては、山口憲(現在、企画室 主任 技師)、竹村佳昭(現在、企画室 主任 研究員)、北井直樹(現在、(株)日立超 LSI システムズ)、蒲原史朗(現在、(株)ルネサステクノロジ)の各氏に御指導および有益な御議論を頂いた。

第 5 章の研究遂行に当たっては、橋本直孝(現在、(株)ルネサステクノロジ)、塩沢健治(現在、ルネサステクノロジ)のプロセスグループの方々、稲吉秀夫(現在、(株)ルネサステクノロジ)、赤尾泰(現在、(株)ルネサステクノロジ)、西本順一(現在、(株)ルネサステクノロジ)、島崎靖久(現在、(株)ルネサステクノロジ)をはじめとする半導体事業部の方々の御指導および有益な御議論を頂いた。

上記以外にも、日立製作所中央研究所の方々をはじめとして、(株)ルネサステクノロジならびに日立製作所の関連会社の多くの方々、および、国際会議や各種国内研究会での議論の場において、有益な御議論をしていただいた多くの研究者の方々に深く感謝の意を表す。

研究業績

学術論文

- [1] **K. Osada**, H. Higuchi, K. Ishibashi, N. Hashimoto, and K. Shiozawa, “A 2-ns-Access, 285-MHz, two-port cache macro using double global bit-line pairs,” *IEICE Trans. Electron.*, vol.E83-C, no.1, pp. 109-114, Jan. 2000.
- [2] **K. Osada**, J. L. Shin, M. Khan, Y. Liou, K. Wang, K. Shoji, K. Kuroda, S. Ikeda, and K. Ishibashi, “Universal-V_{dd} 0.65-2.0-V 32-kB cache using voltage-adapted timing-generation scheme and a lithographical-symmetric cell,” *IEEE J. Solid-State Circuits*, vol. 36, no. 11, pp. 1738-1744, Nov. 2001.
- [3] **K. Osada**, Y. Saitoh, E. Ibe, and K. Ishibashi, “16.7-fA/cell tunnel-leakage-suppressed 16-Mbit SRAM for handling cosmic-ray-induced multi-errors,” *IEEE J. Solid-State Circuits*, vol. 38, no. 11, pp. 1952-1957, Nov. 2003.
- [4] **K. Osada**, K Yamaguchi, Y. Saitoh, and T. Kawahara, “cosmic-ray multi-error immunity for SRAM, based on analysis of the parasitic bipolar effect,” *IEEE J. Solid-State Circuits*, vol. 39, no. 5, pp. 827-833, May. 2004.
- [5] **K. Osada**, Y. Zaitso, S. Matsumoto, M. Yoshida, E. Arai, and T. Abe, “Effect of stress in the deposited silicon nitride films on boron diffusion of silicon,” *J. Electrochem. Soc.*, vol. 142, no. 1, pp. 202-206, Jan. 1995.
- [6] M. Mizuno, N. Matsuzaki, **K. Osada**, T. Shinbo, N. Ohki, H. Ishida, K. Ishibashi, and T. Kure, “A 1-V, 100-MHz, 10-mW cache using a separated bit-line memory hierarchy architecture and domino tag comparators,” *IEEE J. Solid-State Circuits*, vol. 31, no.

11, pp. 1618–1624, Nov. 1996.

- [7] K. Yamaguchi, Y. Takemura, **K. Osada**, K. Ishibashi, and Y. Saito, “Three-dimensional device modeling for SRAM soft-error immunity and tolerance analysis,” *IEEE Transaction of Electron Device*, vol. 51, no. 3, pp. 378–388, Mar. 2004.
- [8] M. Yamaoka, **K. Osada**, and K. Ishibashi, “0.4-V logic-library-friendly SRAM array using rectangular-diffusion cell and delta-boosted-array voltage scheme,” *IEEE J. Solid-State Circuits*, vol. 38, no. 11, pp. 934–940, June 2004.
- [9] M. Yamaoka, Y. Shinozaki, N. Maeda, Y. Shimazaki, K. Kato, S. Shimada, K. Yanagisawa, and **K. Osada**, “A 300-MHz 25- μ A/Mb-leakage on-chip SRAM module featuring process-variation immunity and low-leakage-active mode for mobile-phone application processor,” *IEEE J. Solid-State Circuits*, vol. 40, no. 1, pp. 186–194, Jan. 2005.

国際会議

- [1] **K. Osada**, H. Higuchi, K. Ishibashi, N. Hashimoto, and K. Shiozawa, “A 2ns access, 285MHz, two-port cache macro using double global bit-line pairs,” in *Proc. IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, Feb. 1997, pp. 402–403, San Francisco, USA.
- [2] **K. Osada**, J. L. Shin, M. Khan, Y. Liou, K. Wang, K. Shoji, K. Kuroda, S. Ikeda, and K. Ishibashi, “Universal-Vdd 0.65–2.0V 32kB cache using voltage-adapted timing-generation scheme and a lithographical-symmetric cell,” in *Proc. IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, Feb. 2001, pp. 168–169, San Francisco, USA.
- [3] **K. Osada**, Y. Saitoh, E. Ibe, and K. Ishibashi, “16.7-fA/cell tunnel-leakage-suppressed 16-Mbit SRAM for handling

- cosmic-ray-induced multi-errors,” in *Proc. IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, Feb. 2003, pp. 302–303, San Francisco, USA.
- [4] **K. Osada**, K Yamaguchi, Y. Saitoh, and T. Kawahara, “Cosmic-ray multi-error immunity for SRAM, based on analysis of the parasitic bipolar effect,” in *Symp. VLSI Circuits Dig. Tech. Papers*, June 2003, pp. 118–119, Kyoto, Japan.
- [5] **K. Osada**, N Kitai, S. Kamohara, and T. Kawahara, “Analysis of SRAM neutron-induced errors based on the consideration of both charge-collection and parasitic-bipolar failure modes,” in *Proc. IEEE Custom Integrated Circuits Conf.*, Oct. 2004, pp. 357–360, Orlando, USA.
- [6] **K. Osada**, Y. Zaitso, S. Matsumoto, M. Yoshida, E. Arai, and T. Abe, “Effect of stress in the deposited silicon nitride films on boron diffusion of silicon,” in *Extended Abstract Electrochemical Society Spring Meeting*, MAY 1993, pp. 1010, Hawaii, USA.
- [7] **K. Osada**, Y. Zaitso, S. Matsumoto, S. Tanigawa, A. Uedono, M. Yoshida, E. Arai, and T. Abe, “Direct observation of vacancy super-saturation in retarded diffusion of boron in silicon probed by mono-energetic positron beam,” in *Extended Abstracts of the 1994 International Conference on Solid State Devices and Materials*, Yokohama, 1994, pp. 739–741, Tokyo, Japan.
- [8] M. Mizuno, N. Mastuzaki, **K. Osada**, T. Shinbo, N. Ohki, H. Ishida, K. Ishibashi, and T. Kure, “A 1-V, 100-MHz, 10-mW cache using a seperated bit-line memory hierarchy architecture and domino tag comparators,” in *Proc. IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, Feb. 1996, pp. 152–153, San Francisco, USA.
- [9] K. Ishibashi, H. Higuchi, Y. Shimbo, F. Arakawa, O. Nishii, N. Nakagawa, H. Maejima, **K. Osada**, K. Norisue, R. Satomura, K. Aoki, Y. Shimazaki, K. Tanaka, T. Hattori, K. Shiozawa, K. Kudo, K.

- Uchiyama, S. Narita, J. Nishimoto, T. Nagano, S. Ikeda, K. Kuroda, T. Takeda, and N. Hashimoto “The design of 300MIPS Microprocessor with a full associative TLB for hand-held PC OS,” in *Symp. VLSI Circuits Dig. Tech. Papers*, June 1997, pp. 9–10, Kyoto, Japan.
- [10] M. Yamaoka, **K. Osada**, and K. Ishibashi, “0.4-V logic library friendly SRAM array using rectangular-diffusion cell and delta-boosted-array-voltage scheme,” in *Symp. VLSI Circuits Dig. Tech. Papers*, June 2002, pp. 170–173, Hawaii, USA.
- [11] Y. Takemura, **K. Osada**, M. Yagyu, K. Yamaguchi, J. Ushio, and T. Maruizumi, “Three-dimensional capacitance analysis in a SRAM cell,” in *Extended Abstracts of the 2000 International Conference on Solid State Devices and Materials*, Sendai, 2000, pp. 380–381, Tokyo, Japan.
- [12] M. Yamaoka, Y. Shinozaki, N. Maeda, Y. Shimazaki, K. Kato, S. Shimada, K. Yanagisawa, and **K. Osada**, “A 300-MHz, 25-uA/Mbit-leakage on-chip SRAM module featuring process-variation immunity and low-leakage-active mode for mobile-phone application processor,” in *Proc. IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, Feb. 2004, pp. 494–495, San Francisco, USA.
- [13] A. Kotabe, **K. Osada**, N. Kitai, M. Fujioka, S. Kamohara, M. Moniwa, S. Morita, and Y. Saitoh, “A 0.13- μm , 0.78- μm^2 low-power four-transistor SRAM cell with a vertically stacked poly-silicon MOS and a dual-word-voltage scheme,” in *Symp. VLSI Circuits Dig. Tech. Papers*, June 2004, pp. 60–63, Hawaii, USA.
- [14] M. Yamaoka, **K. Osada**, R. Tsuchiya, M. Horiuchi, S. Kimura, and T. Kawahara, “Low power SRAM menu for SOC application using Yin-Yang-feedback memory cell technology,” in *Symp. VLSI Circuits Dig. Tech. Papers*, June 2004, pp. 288–291, Hawaii, USA.

- [15] K. Itoh, **K. Osada**, and T. Kawahara, “Reviews and future prospects of low-voltage embedded RAMs,” in *Proc. IEEE Custom Integrated Circuits Conf.*, Oct. 2004, pp. 339-344, Orlando, USA.
- [16] K. Itoh, **K. Osada**, and T. Kawahara, “Low-voltage embedded RAMs - current status and future trends -,” in *Proc. International Workshop on Power and Timing Modeling, Optimization and Simulation (PATMOS) 2004*, Sep. 2004, Isle of Santorini, Greece.
- [17] K. Itoh, **K. Osada**, and T. Kawahara, “Trends in low-voltage embedded RAMs,” in *Proc. IEEE Northeast Workshop on Circuits and Systems (NEWCAS) 2004*, June 2004, Montreal, Canada.
- [18] N. Takaura, M. Terao, K. Kurotsuchi, T. Yamauchi, O. Tonomura, Y. Hanaoka, R. Takemura, **K. Osada**, T. Kawahara, and H. Matsuoka, “A GeSbTe phase-change memory cell featuring a tungsten heater electrode for low-power, highly stable, and short-read-cycle operations,” in *IEDM Tech. Dig.*, Dec. 2003, pp. 37.2.1- 37.2.4, New York, USA.
- [19] M. Yamaoka, **K. Osada**, T. Kawahara, and K. Itoh, “Dynamic-Vt, dual-power-supply SRAM cell using D2G-SOI for low-power SoC application,” in *Proc. 2004 IEEE International SOI Conference*, Oct. 2004, pp. 109-111, Charleston, USA.

国内学会・研究会

- [1] 長田健一、樋口久幸、石橋孝一郎、橋本直孝、塩沢健治、「低電力RISCプロセッサ向け 2-port キャッシュメモリ」、電子情報通信学会誌集積回路研究会、ICD97-22, pp. 45-50, (5月22日、1997年)、東京
- [2] 長田健一、庄司健一、黒田謙一、池田修二、石橋孝一郎、「0.65-2V 動作のシステム LSI 用キャッシュメモリ」、電子情報通信学会誌集積回路研究会、ICD2001-8, pp. 51-58, (4月12日、2001年)、東京

- [3] 長田 健一、斉藤良和、石橋孝一郎、「16.7-fA/cell Tunnel-Leakage-Suppressed 16-Mbit SRAM for Handling Cosmic-Ray-Induced Multi-Errors」、電子情報通信学会誌集積回路研究会、ICD2003-24, pp. 63-68, (5月28日、2003年)、金沢
- [4] 長田 健一、山岡雅直、河原尊之、石橋孝一郎、「[特別招待講演] 低電力 SRAM の技術動向」、電子情報通信学会誌集積回路研究会、ICD2004-4, pp. 17-24, (4月22日、2004年)、東京
- [5] 水野弘之、松崎望、長田 健一、新保利信、大木長斗司、石田浩、石橋孝一郎、久礼得男、「ビット線分離型メモリ階層方式とドミノ型タグ比較器も用いた 1V 100MHz 10mW オンチップキャッシュ」、電子情報通信学会誌集積回路研究会、ICD96-31, pp. 21-28, (5月23日、1996年)、金沢
- [6] 竹村佳昭、長田 健一、柳生正義、山口憲、牛尾二郎、丸泉琢也、「SRAM 回路における配線容量のセルレベル 3次元一括解析」、応用物理学会 第20回研究集会、(9月21日、2000年)、東京
- [7] 山岡雅直、長田 健一、石橋孝一郎、「高対称メモリセルおよびアレイ微昇圧方式を用いた 0.4V 動作 SRAM」、電子情報通信学会誌集積回路研究会、ICD2002-74, pp. 59-64, (8月23日、2002年)、北海道
- [8] 山岡雅直、篠崎義弘、前田徳章、島崎靖久、加藤圭、島田茂、柳沢一正、長田 健一、「携帯電話向けアプリケーションプロセッサに最適なスタンバイ電流性能 25uA/Mbit のオンチップ SRAM」、電子情報通信学会誌集積回路研究会、ICD2004-3, pp. 11-16, (4月22日、2004年)、東京
- [9] 小田部晃、長田 健一、北井直樹、藤岡美緒、蒲原史朗、茂庭昌弘、森田貞幸、斉藤良和、「従来型メモリセルの 1/3 の面積を実現する縦型 MOS を用いた 4トランジスタ SRAM セル」、電子情報通信学会誌集積回路研究会、SDM2004-121, pp. 7-12, (8月19日、2004年)、北海道
- [10] 山岡 雅直、長田 健一、土屋龍太、堀内勝忠、木村紳一郎、河

原尊之、「SOI を用いた低電力 SoC 向け SRAM メモリセル」、電子情報通信学会誌集積回路研究会、SDM2004-122, pp. 13-18, (8 月 19 日、2004 年)、北海道

解説論文

- [1] 長田健一、「0.65～2.0 V 動作のシステム LSI 用キャッシュメモリの開発」、電子材料 2001 年 6 月号