

# 主 論 文 要 旨

報告番号	甲 乙 第	号	氏 名	安生 健一朗
主 論 文 題 目： Efficient Data-Transfer Schemes for On-Chip Interconnection Networks (チップ内ネットワークにおける効率的データ転送手法)				
(内容の要旨)				
<p>システムオンチップは、特定のシステムの実現するための機能を1チップ化したLSIであり、その集積化した様々な機能を、低コストに、かつ高性能に実現できるため注目を集めてきている。しかしながら、トランジスタの集積度の向上により、SoCの設計手法が困難化し、非常に長期な設計期間を要するようになってきている。そこで、チップ設計を容易化するため、SoCは既に開発され検証された機能ブロックであるIPコアを再利用して設計されてきた。また、他の手法では、チップ製造が不要な、プログラマブルデバイスを採用すること可能である。この両設計手法で、重要な位置を占めるのがチップ内ネットワークであり、オンチップバスおよびネットワークオンチップと呼ばれる結合網である。本論文では、オンチップバスおよびネットワークオンチップを性能とコストを考慮して、効率的に設計するための手法を論じる。</p> <p>まず、本研究では、汎用性が高く、少ないハードウェア量で実現可能なラッパーバスを提案し、実チップで実証した。特に、(1)少ないサイクル数で、かつ単純なハードウェアで構成できるラッパーインタフェース、(2)性能を劣化させずにハードウェア量を低減するためのライトバッファサイズ最適化指標、(3)応答速度の異なるスレーブを接続可能なリトライ手法、およびライブロック防止手法、(4)少ないハードウェア量でデータのビット幅を変換可能なデータ幅コンバータ、を新規開発した。シミュレーション評価による結果、従来の手法と比較し、スレーブットを14%向上し、リード・ライトレイテンシはそれぞれ16%、11%向上できた。また、従来の手法に比べ、ハードウェア量を最大50%削減できたことがわかった。本ラッパーバスは、0.15um CMOSプロセスでCPUコアを搭載したネットワーク向けSoCに適用し200MHzで動作し、3.3mm<sup>2</sup>の面積で実現することができた。</p> <p>次に、プログラマブルデバイス向けネットワークオンチップにおける新しいデータ転送手法について述べる。この新規なルーティング手法を用いて、ハードウェアコストを小さく抑え、性能を向上することができる。本手法では、従来用いられてきたパケットデータ転送方式とは異なり、ルーティング情報をデータに並走する。これにより、ヘッダの転送ペナルティを削減することが可能となる。また、提案したルーティング方式では、適用するアプリケーションの通信パターンを静的に解析し、通信が生じるノードペアにのみルーティング情報を割り当てる。このルーティング情報として、各通信リンク内でのみ有効な値であるローカルラベルを割り当てることにより、ルーティング情報に必要なビット数を、従来方式であるアドレス指定方式に比べて削減することが可能となる。ハードウェア量を評価した結果、アドレス指定方式を用いた場合に比べルータハードウェア量を46%削減することができた。</p>				
以上				