

WSiN ゲート GaAs-FET の設計・製造と
そのミリ波 MMIC 応用に関する研究

小野寺 清光

父へ

感謝と敬慕を込めて

目次

第 1 章 緒論	1
1.1 研究の背景	1
1.1.1 通信、高速大容量化の流れ	1
1.1.2 MMIC と GaAs-FET	2
1.2 GAAS-MMIC の特長	4
1.2.1 フロントエンドへ利点	4
1.2.2 フルイオン注入技術の利点	7
1.3 本研究の目的と論文の概要	9
参考文献	12
第 2 章 WSiN による表面高濃度チャネル	13
2.1 まえがき	13
2.2 動作原理と高性能化指針	14
2.2.1 GaAs-MESFET 基本動作原理	14
2.2.2 レホーベック・ツーリングモデルによる基礎動作解析	15
2.2.3 高性能化指針	18
2.2.4 スケーリング則と短チャネル効果	20
2.3 基板表面高濃度チャネル	23
2.3.1 チャネル層高濃度薄層化	23
2.3.2 ゲート材料／アニール膜としての WSiN	25
2.4 基板表面高濃度チャネルの効果	28
2.4.1 解析方法	28
2.4.2 注入層構造の特性への影響	30
A. チャネル薄層化	30
B. スルー注入によるチャネル薄層化	32
C. 表面キャリア濃度低下のデバイス特性への影響	32
2.5 WSiN ゲート GaAs-MESFET の作製	37
2.5.1 素子製作技術	37
2.5.2 デバイス特性	42
2.6 デバイス内電子速度見積り	45
2.6.1 解析方法	45
2.6.3 実効電子飽和速度	48
2.6.4 考察	51

A. ゲート長 $0.2\mu\text{m}$ での実効飽和速度低下について	51
B. 実効飽和速度が長ゲートでも通常より大きいことについて	51
2.7 むすび	54
参考文献	55

第3章 埋込みP層の高周波特性へ及ぼす影響 57

3.1 まえがき	57
3.2 埋込みP層の設計	58
3.3 埋込みP層構造	63
3.3.1 デバイス製造	63
3.3.2 DC特性	64
3.3.2 RF特性	67
A. ゲート電圧依存性	67
B. ドレイン電圧依存性	71
C. ゲート長依存性	73
3.4 N+層囲い込み埋込P層構造	76
3.4.1 デバイス製造	76
3.4.1 DC特性	79
3.4.2 RF特性	81
3.5 MMICへの適用	83
3.5.1 V帯増幅回路	83
3.5.2 直結増幅回路	86
3.5.3 分布増幅回路	87
3.5.4 RC負帰還を有するMMICミキサ	88
3.6 むすび	92
参考文献	93

第4章 T型ゲート構造のAu極太化による雑音特性の改善 95

4.1 まえがき	95
4.2 微細ゲート形成	97
4.2.1 ECRプラズマエッチング装置	97
4.2.2 実験方法	98
4.2.3 実験結果	99
A. マイクロ波電力依存性	99
B. ガス流量依存性	100
C. ガス圧力依存性	101
D. コイル電流依存性	102
E. オーバーエッチング率依存性	103

4.3 デバイス構造とプロセス	104
4.3.1 デバイス構造	104
4.3.2 デバイス特性	108
A. DC 特性	108
B. 高周波特性	109
4.3.3. 雑音指数	110
4.3.4 Cファクタ	113
4.4 WSiN 上 Au 極太化構造	115
4.4.1 ゲート電極上極太 Au 製造方法	115
4.4.2 T形ゲート構造作製結果	116
4.4.3 デバイス製作	117
4.4.4 ゲート抵抗の見積り	118
4.5 極太 Au を有する T型ゲートデバイスの特性	124
4.5.1 DC、RF 特性	124
4.5.2 雑音特性	126
4.6. むすび	130
参考文献	131

第5章 対称／非対称 GaAs ヘテロ構造 MESFET 135

5.1 まえがき	135
5.2 InGaP 障壁層	136
5.3 注入チャネルデバイス	137
5.3.1 デバイス構造と製作プロセス	137
5.3.2 デバイス特性	139
A. DC 特性	139
B. RF 特性	141
5.4 INGAAS チャネルデバイス	144
5.4.1. エピタキシャル層構造	144
5.4.2 デバイス構造と製作	144
5.4.3 特性	147
A. 非対称構造デバイスに於ける n' 層ドーズ量の効果	147
B. 高周波特性	149
C. 雑音特性	150
5.5 MMIC 増幅回路への適用	153
5.5.1 非対称ゲート上 Au 構造	153
5.5.2 非対称ゲート上 Au 構造の容量低減効果	154
5.5.3 V 帯 MMIC 増幅器	156
5.6 むすび	158
参考文献	159

第 6 章 超高速 GaAs-MESFET のエレクトロルミネッセンス	161
6.1 まえがき	161
6.2 高電界下での現象	162
6.2.1 ルミネッセンス機構	162
6.2.2 インパクトイオン化	163
6.3 デバイス構造	166
6.4 エレクトロルミネッセンス測定	170
6.4.1 測定系	170
6.4.2 トランジスタからのルミネッセンス	170
6.4.3 ショットキーダイオードからのルミネッセンス	174
6.4.4 ルミネッセンスの空間分布	175
6.4.5 ルミネッセンスの積分強度比	176
6.4.6 等価キャリア温度	177
6.5 むすび	179
参考文献	180

第 7 章 新マイクロ波線路とバンプ実装	183
7.1 まえがき	183
7.2 マイクロ波線路	184
A. MS 線路	184
B. CPW 線路	184
C. SLT 線路	185
7.3 縦型 U 字配線	186
7.3.1 製作方法	186
7.3.2 小型マイクロ波線路	188
7.3.3 小型化インダクタとフィルタ	190
7.3.4 マイクロ波遮蔽壁	195
7.4 信号線下掘込み線路 (DCBCPW)	196
7.4.1 漏洩波	196
7.4.2 漏洩モード抑止線路構造	199
7.4.3 製作方法	202
7.4.4 線路構造シミュレーション	204
A. 特性インピーダンス	204
B. 周波数特性の掘込み幅依存性	206
7.4.5 マイクロ波特性	208
7.4.6 ステップインピーダンスフィルタ	211
A. フィルタ設計	211

B. 特性インピーダンス見積り	213
C. 実測結果	214
7.5 バンプ実装	216
7.5.1 ワイヤボンディング実装の限界	216
7.5.2 バンプ形状設計	218
7.5.3 バンプ作製法	222
7.5.4 高周波特性	226
7.5.5 DCBCPW 線路のバンプ接続	233
A. バンプ接続部低反射損失化設計	233
B. 実装結果	237
7.6 むすび	239
参考文献	240
第8章 結論	243
謝辞	247
付録	
付録A デバイス解析の基本式	付-1
付録B 電荷制御の式	付-5
付録C 分布定数形ゲート抵抗の式	付-12
付録D CPW 線路の特性インピーダンス	付-15
付録E 誘電体共振	付-24
付録F マイクロ線路間不整合	付-36

第1章 緒論

1.1 研究の背景

1.1.1 通信、高速大容量化の流れ

近年の急速な情報通信技術の発達、産業構造の転換、社会構造の変革をもたらしている。鉄道、道路など、他の社会インフラストラクチャと比較して、情報通信は、時間、コスト、消費エネルギーを飛躍的に縮小化でき、近い将来には、ビット当たりの通信コストは水よりも安くできる可能性もある。情報通信技術は、情報のデジタル化・パケット化によって、シームレスで、雑音やレベル変動に強くなり（ロバスト）、音声、画像、テキスト、ストリーミング、トランザクションなど、様々なコンテンツを統合化・一元化処理することに成功した。その一方で、情報のデジタル化は、本質的に帯域の増加を伴う技術である。たとえば、デジタル信号伝送では、4kHzの帯域を有する電話の音声情報は、64kbpsのデジタル情報に符号化される。帯域圧縮符号化が進展し、8kbpsの符号化が可能になったといっても、アナログ信号伝送に比較して、単純に2倍の帯域を必要とする。更に、マルチメディア通信の進捗に伴い、データダウンロード、ビデオストリーミングのような大容量コンテンツの需要が高まり、増加する情報通信量を伝送・伝達するための大容量・広帯域な通信網や通信端末の開発が急務である。

大容量通信網としては、圧倒的な広帯域を有する光ファイバ技術が進展し、10年で10,000倍に増加したと言われるインターネットバックボーンの通信容量をも収容可能な伝送線路網を構築してきた。また、デジタル化された情報は、半導体集積回路と親和性が高く、10年でクロック周波数(Hz)が10倍、性能(MIPS)が100倍というマイクロプロセッサの高性能化に支えられ、ベースバンド信号の情報処理能力は飛躍的に向上した。更なる光送受信装置の小型・低コスト化には、ベースバンドの情報信号を光ファイバ伝送線路に載せるための高周波数帯を処理するフロントエンド部分が鍵を握っている。

一方、無線通信は、市外基幹回線、衛星通信、加入者系伝送路、移動通信、パーソナル通信へと着実にその適用分野を広げ、可搬性という特長を生かして、「いつでも、何処でも、誰とでも」というユビキタス情報通信の主役となりつつある。次世代ワイヤレスマルチメディアの一翼を担う次期セルラー通信IMT-2000(International Mobile Telecommunications-2000)や無線LANを高度化したMMAC(Multimedia Mobile Access Communication Systems)など、システム開発の方向性は、ワイヤレスの最大の利点である可搬性を確保しつつ、高速・広帯域伝送を可能とするものである。電波資源は有限であるため、圧倒的な帯域を有するミリ波・サブミリ波活用への動きが活発化している。ここでも、小型かつ安価な無線通信装置実現にはマイクロ波からミリ波の高周波数帯を処理するフロントエンド回路の小型化・経済化が必須である。

これを実現する有効な手段が、モノリシックマイクロ波集積回路(Monolithic Microwave Integrated Circuits, MMIC)である。MMICとは、半導体基板に、トランジスタなどの能動素子と抵抗、キャパシタ、インダクタ、線路などの受動素子、更にマイクロ波分配・合成回路などを、半導体プロセスによって、一括的かつ一体的に製作して実現する、マイクロ波・ミリ波帯の高周波集積回路である。狭義には、マイクロ波・ミリ波帯のアナログ集積回路であるが、最近では、アナログ・デジタル混載、光ファイバ超高速伝送システム用超広帯域ICの開発が活発化し、アナログからデジタルまで広範にわ

たる。MMICには高周波・高速性が要求されるため、これまでのMMICの進展イコール化合物半導体技術の発達といっても過言ではない。

1.1.2 MMICとGaAs-FET

1950年代末の集積回路の萌芽以来、Si系デジタル集積回路技術は目覚ましい発展を遂げた。しかし、MMICの開発は、Si-LSIに比較して、かなり後になってから開始された。1960年代以前、マイクロ波帯以上の高周波回路は、金属導波管回路が主流であり、クライオストロン、進行波管などの立体的なデバイスと結びついていた。1960年代に入り、常温で $5000\sim 6000\text{cm}^2/\text{Vsec}$ と、Siに比較して数倍大きい電子移動度、同じ幾何学寸法でSiよりも高周波動作が可能であるという魅力から、GaAsを用いたガンダイオード、インパットダイオード、更にはトランジスタの開発が始まった。最初のGaAs-FETは、1966年に、C. A. Meadにより提案され、ゲート長 $100\mu\text{m}$ での試作結果が発表された[1]。1970年には、K. E. DrangeidらがGaAs-FETのゲート長 $1\mu\text{m}$ まで微細化し[2]、1972年、W. BeachtoldとC. A. Liechtiらは、最大発振周波数50GHzを超えるGaAs-FETを発表した。当時のSiバイポーラのそれを数倍上回るもので、これを契機に実用化の研究が急速に進んだ[3]。これらの低雑音GaAs-FETの出現は、それまでパラメトリック増幅器や進行波管を使用せざるを得なかったマイクロ波通信受信器増幅部の固体化を可能とした。

1970年代になると、装置の小型化、経済化を目的として、テフロンガラスファイバやアルミナセラミックなどの誘電体基板上に単体半導体回路素子を実装する、マイクロ波集積回路(Microwave Integrated Circuit)の研究実用化が進展した。MMICと対比するため、混成マイクロ波集積回路(Hybrid Microwave Integrated Circuit、HMIC)とも呼ばれる。HMICは誘電体基板上に金属配線、抵抗を作りこみ、能動素子、キャパシタなどの個別素子は、はんだなどで実装する。量産性、経済性に優れる厚膜型(数十 $\sim 100\mu\text{m}$ 、活版印刷)と、高いパターン精度の薄膜型(数 $\sim 10\mu\text{m}$ 、フォトリソ)がある。

表1.1 MMICとHMICの比較

MMIC	HMIC
少品種・多量生産	多品種・少量生産
小型軽量性	成熟した設計技術
高精度、高再現性	少ない開発費
良好な高周波特性	安価な製造費
高集積、高機能	製造期間短い
優れた信頼性	トリミング容易

1976年、絶縁性の高いGaAs基板上にMESFET、キャパシタ、インダクタをモノリシックに集積したMMICが初めて試作され、10GHz帯広帯域増幅器が報告された[4]。しかし、量産されて初めて低コスト化が図れるMMICは、少量多品種では、コスト、経済性の点でHMICに及ばず、また、性能面でもHMICを凌駕するには至らなかった。

1980年代になると、米国において、軍事用大形アレーアンテナへの適用要求が引き金となって、MMICの国家プロジェクト(MIMIC Program)がスタートした。HMICに比較して、回路の飛躍的な小型化、量産化、集積化に適しているというMMICの特長が注目され、多数の機関の参加と、米軍の大きな財政支援に支えられて進展した。この動向は、日本、欧州をも刺激し、世界的にMMIC研究開発が本格化した。軍事用装置への適用を目指して、米国政府の強力な支援の下、進展してきた高周波技術であったが、1980年代末には、宇宙用機器用、産業用、更には民生用機器への適用を目的に研究開発が活発化した。

1990年代になり、民生用機器分野の市場が立ち上がり、特に移動体通信分野という大規模市場によって、携帯機端末、無線基地局へ積極的に適用されるようになった。無線通信装置に要求される小型化、経済化、低消費電力化などに関する開発競争が、MMIC導入に拍車をかけ、マルチメディア通信の発展と呼応して、ミリ波帯まで含めた広い周波数帯において、様々な用途を目指して、MMICの研究開発が進められた。1990年代に入ってから、急速なインターネットの普及、バックボーンネットワークのトラヒックの劇的な増大に呼応して、光通信分野にもMMIC技術が転用されるようになった。高速電気信号処理にMMIC技術を活用した、10Gbps光伝送方式が商用化されている。また、更なる大容量化を目指して、光時分割多重(OTDM)、光波長多重(WDM)を用いた光伝送の光電気変換フロントエンド部への適用に関する研究が活発に行われている。

表1.1にMMICとHMICの比較を示す。

1.2 GaAs-MMICの特長

1.2.1 フロントエンドへ利点

表1.2に、SiとGaAsの物性定数と性能指数を示す。図1.1に示すように、GaAs物性定数とそのGaAsデバイス性能の関係として、以下のような特長が上げられる。

1) 高速高周波、高利得

真性半導体においては、GaAsはSiに較べて5倍以上の移動度を有している。高濃度に不純物を添加したされた場合にも、GaAsの移動度は高く、同濃度に不純物添加されたSiの約10倍となる。高電界においては、電子が高エネルギー状態となる。 Γ 谷(Γ -valley)の非放物線性や有効質量の大きなL谷(L-valley)への遷移で、電子速度は低下し、GaAsの飽和速度はSiと同程度となる。しかし、デバイス内では電界分布が急峻に変化するために、定常的な電子速度とは異なる。デバイス寸法の微細化とともにチャンネル内の電子走行時間が短縮され、GaAsにおいてはオーバーシュート効果が発生し、定常状態よりも大きな電子速度が得られる[5,6]。この大きな電子速度のために、GaAsデバイスは高速高周波動作が可能であり、また高周波まで高利得を維持できるため、マイクロ波帯ミリ波帯素子、超高速デジタル回路に向く。

2) マイクロ波低雑音

デバイスにおいて発生する雑音は、主に $1/f$ 雑音、熱雑音、散弾雑音である。 $1/f$ 雑音は、100MHz帯以下で大きな影響がある。 $1/f$ 雑音は半導体表面状態に起因するため、半導体の材料物性ととともに、デバイス構造に大きく依存するものであり、経験的に、GaAs系デバイスよりもSiバイポーラが良好である。しかし、マイクロ波・ミリ波帯では、熱雑音、散弾雑音が支配的である。電子速度が大きいGaAsは、高周波帯において高利得であり、Siに比較して低雑音化が可能であり、マイクロ波帯低雑音増幅器に向く。

3) 高効率低損失、小型集積化

デバイスの電力損失は、抵抗と容量の2つのインピーダンス損失からなる。抵抗損失は単位面積当たりのデバイスのオン抵抗で決まり、低電界移動度の大きなGaAsはSiに比較して小さくなる。高不純物濃度の移動度がSiの約10倍であるから、約10倍の低抵抗損失化が可能である。一方、容量損失は対接地容量で決まり、真性抵抗が高く、基板の絶縁性が高いGaAsデバイスでは低くなる。したがって、低電圧で電力変換効率が高く低雑音となり、高速高周波で高利得となる。また、容量損失が小さいために短距離で隣接デバイス間の電磁界の影響が小さく、微小領域でのデバイス集積化が可能である。このため、マイクロ波集積回路、大規模デジタル集積回路に向く。

4) 高出力

半導体デバイスでは、高周波になるほど高出力化が困難となる。動作周波数と最大動作電圧の間にはトレードオフがある。この関係を表したのが、次式のジョンソン指数

表1.2 SiとGaAsの物性定数・性能指数比較

	Si	GaAs
電子移動度 μ (cm ² /Vsec)	1500	8500
電子飽和速度 v_s (x10 ⁷ cm/s)	1	1
真性抵抗率 ρ (Ω cm)	6.0x10 ⁵	3.4x10 ⁸
バンドギャップ E_G (eV)	1.12	1.43
絶縁破壊電界 E_C (MV/cm)	0.3	0.4
ジョンソン指数 α	1	7.1
熱伝導度 κ (W/cm ² °C)	1.5	0.54
比誘電率 ϵ_s	11.9	13.1

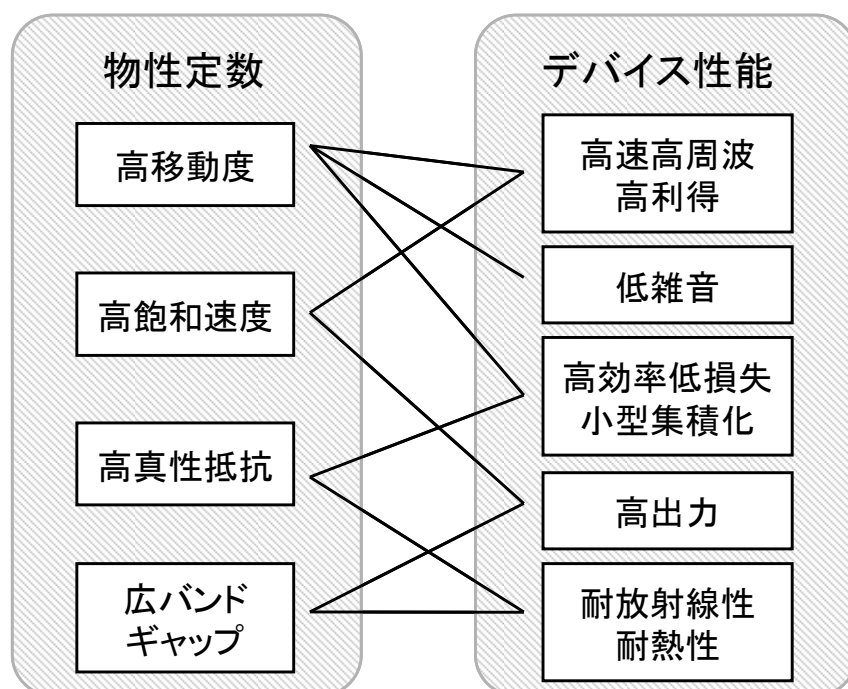


図1.1 GaAs物性定数とデバイス性能の関係

である[7, 8]。

$$\alpha = (f_T V_B)^2 = \left(\frac{E_C v_S}{2\pi} \right)^2 \tag{1.1}$$

ここで、 f_T は電流利得遮断周波数、 V_B は最大動作電圧、 E_C は臨界電界強度、 v_S は飽和速度である。GaAsは電子速度が大きく、Siに比較してバンドギャップが広いために、高耐圧であり、ジョンソン指数もSiの7倍と大きい。したがって、大きな直流入力電力で、高周波大振幅動作が可能であり、マイクロ波高出力増幅器に向く。また、低電圧での移動度が高いために、デバイス線形動作領域での抵抗が低く、高出力線形動作が可能である。

5) 耐放射線性・耐熱性

GaAsのバンドギャップは1.43eVと大きいため、放射線または熱的なキャリア励起の発生が生じにくく、動作安定性に優れる。良好な耐放射線性・耐熱性を示し、宇宙環境で強い。しかし、GaAsの熱伝導度はSiと比較して1/3倍程度であり、高い発熱が伴う高出力増幅器では、基板の薄層化が必要である。

無線通信装置の構成例として、TDMA (Time Division Multiple Access) 方式無線端末のブロック図を図1.2に示す。高周波信号を取り扱うフロントエンド部は、アンテナ、送受信スイッチ(T/R-SW)、前置増幅器(LNA)、ミキサ(Mixer)、IF増幅器(IF-Amp)、局発増幅器(LO -Amp)、電力増幅器(PA)、アップコンバータ(Up-Conv)、変調器(MOD)、シンセサイザからなる。部品のうち灰色となっている部分はGaAsが広く適用される部品である。前置増幅器は低雑音特性、ミキサは高変換利得、IF増幅器は広帯域高利得特性、電力増幅器は高出力高効率が必要され、上述した1)～5)のGaAsデバイスの長が活かされている。更に、これらのマイクロ波素子を、MMIC技術を用いて1チップ化することで、小型経済化、高性能化、高機能化が可能である。

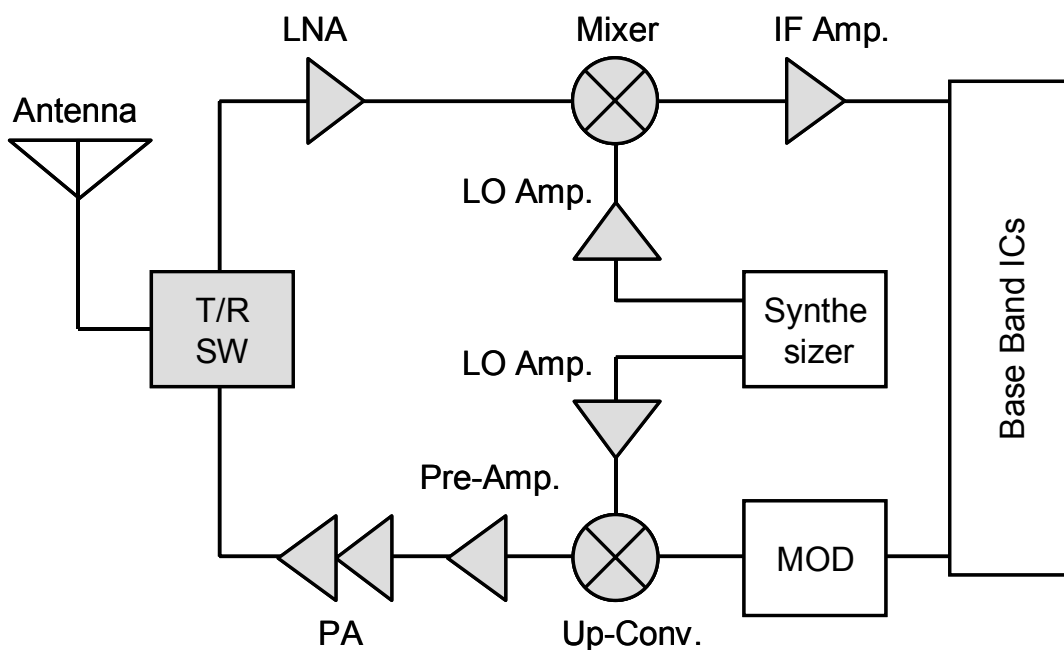


図1.2 TDMA方式無線端末構成例

光ファイバ通信端末装置の構成例として、電気時分割多重(ETDM)送受信器のブロック図を図1.3に示す[9]。送信器は、多重化回路(MUX)とドライバ回路(DRV)のマイクロ波素子と、E/O変換回路である光変調器(MOD)、および半導体レーザ(LD)、光ファイバ増幅器(EDFA)などの光素子から構成される。受信器は、光ファイバ増幅器(EDFA)、O/E変換回路であるフォトダイオード(PD)、前置増幅器(Pre-Amp)、ベースバンド増幅器(BASE)、識別器(DEC)、分離回路(DMUX)、タイミング抽出回路のマイクロ波素子で構成される。図1.3の場合には、タイミング抽出回路は分周器(DIV)、制限増幅器(Lim-Amp)、分配回路(DIST)、微分回路(DIF)、全波整流回路(REC)、共振器(RES)というマイクロ波素子で構成されている。前置増幅器(Pre-Amp)、ベースバンド増幅器(BASE)などの等化増幅部は、光ファイバ増幅器の開発進展により、その要求性能が緩和されたものの、低雑音性、高利得性、広ダイナミックレンジという厳しい仕様には変わりはない。直流近傍からの広帯域性と良好な波形応答が要求されるため、上記1)～5)の特長を生かして、図1.3の灰色となった部分の素子にはGaAsデバイスが使用されている。この光ファイバ超高速伝送システム用マイクロ波回路の開発が活発化しており、GaAs-MMICの適用分野はアナログからデジタルまで広範にわたる。

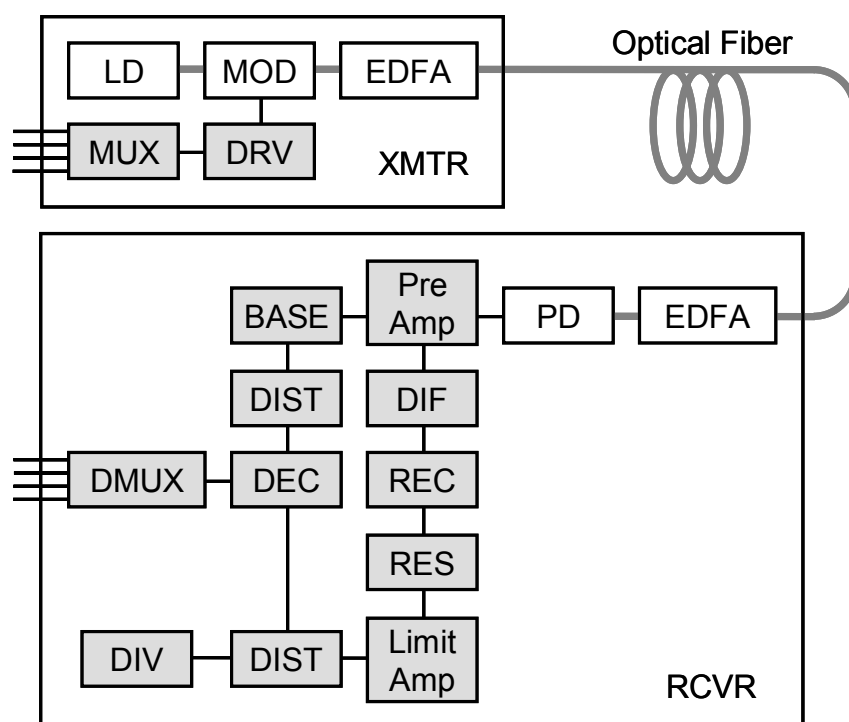


図1.3 光ファイバ送受信器の構成例

1.2.2 フルイオン注入技術の利点

1970年代初頭まで、GaAs-FETはエピタキシャル成長層をチャンネル層に用いていた。しかし、当時の未熟なエピタキシャル成長技術では均一性・再現性の点で不十分であった。1974年、Welchらは、Sイオン注入とSiNキャップによる活性化アニールによるチャンネル層形成技術を用いて、良好な特性を有するゲート長 $4\mu\text{m}$ のGaAs-MESFETの報告を行った[10]。1977年には、イオン注入で形成したGaAs-MESFETが均一性・再現性に優れ、集積化に適していることが示された[11]。その後、無線通信システム用途の高周波アナログ回路や衛星放送受信装置の低雑音増幅器などへの導入のため、イオン注入技術によるMMICの高性能化が活発化した[12]。

イオン注入技術は、高精度フォトリソグラフィ技術の併用で、チップ上の任意の領域に選択的に不純物ドーピングを行うことが可能である。電界効果トランジスタ(FET)のチャンネル層形成方法としてイオン注入法とエピタキシャル成長法の特徴を以下にまとめる。また、チャンネル層形成方法と、デバイス構造、ゲート電極構造の関係を図1.4に示す。

1) エピタキシャル成長法

- ・高濃度、薄層、急峻なプロファイルが作製できる。
- ・高濃度ドーピングが可能であり寄生抵抗の低減が容易である。
- ・ゲート電極として一般的に低融点Au系金属を採用する。
- ・チャンネル層上にn⁺層を積層成長するため、一般的にゲート電極下を掘込むリセス構造を採用する。
- ・リセス深さを均一性、再現性良く制御することは難しい。

2) イオン注入法

- ・完全なプレーナ構造が可能である。
- ・イオン注入により、選択的にチャンネル層他の形成が可能である。
- ・均一性、再現性に優れた耐熱性金属をゲート電極として使用可能である。
- ・ゲート電極に対して自己整合的にn⁺層を形成でき、表面空乏層に影響低減、寄生抵抗の低減が可能。
- ・不純物濃度と厚さは、イオン注入ドーズ量とエネルギーで制御できる。
- ・同一基板上に、異なる不純物濃度のチャンネル層を形成することが可能である。
- ・イオン注入不純物濃度の活性化、注入ダメージの回復の為に、活性化アニールを行う必要があり、製作プロセス、金属電極材料の選択などに制限がある。

したがって、フルイオン注入技術を用いた場合、プレーナ構造、耐熱ゲート構造を採用でき、均一性、再現性に優れ大規模集積化技術に応用可能である。また、選択的にドーピング層を作製できるイオン注入技術は、高速高周波、低消費電力、低雑音、高利得、低損失高効率、高出力、高変換効率など様々な用途のデバイスを一元的に1チップ上に作製可能であり、MMICの小型化、高集積化、高機能化などを実現する上でキー技術となる。

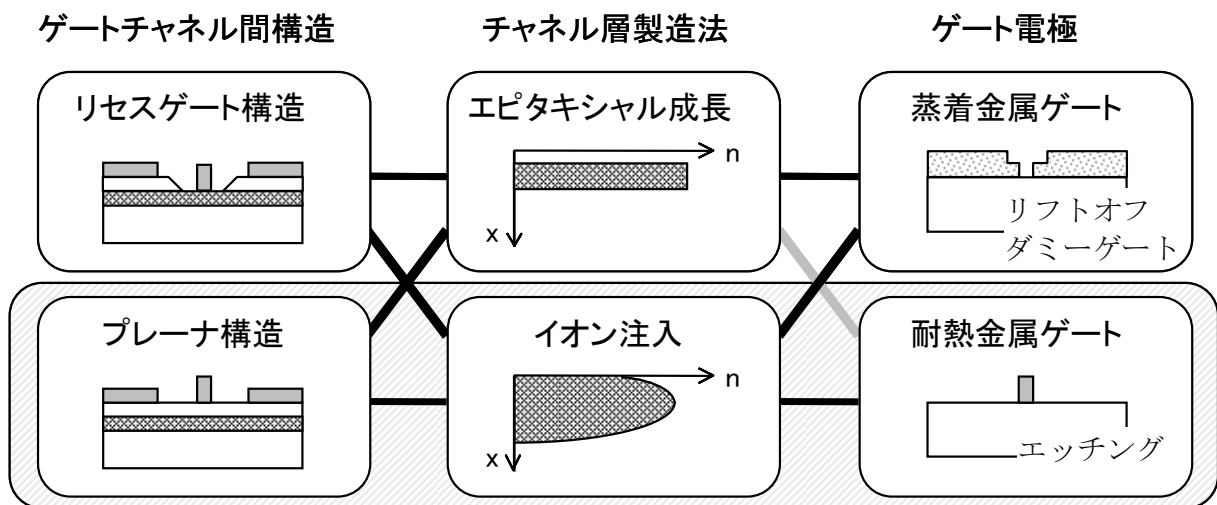


図1.4 デバイス構造、チャンネル層、ゲート電極の関係

1.3 本研究の目的と論文の概要

前節で述べたように、GaAsに代表される化合物半導体デバイスは、無線通信装置および光ファイバ通信装置におけるフロントエンド技術として発達し、これまで、各々の回路素子に必要な高速高周波、高効率高出力、低雑音、高変換利得などの個々の素子特性に特化したデバイス設計が行われていた。しかし、携帯端末市場の成熟と相まって、フロントエンド技術にも小型化、経済化、低消費電力化の要求が顕在化している。化合物半導体が支えてきたマイクロ波回路技術も、ディスクリットデバイス技術からインテグレーション技術への変革が行われている。優れたその高速高周波特性はそのままに、高集積化、システムオンチップ化(SOC)の方向に向かっている。インテグレーション技術は、半導体材料成長、デバイス設計、デバイスプロセス技術、マイクロ波回路設計技術、CAD、高周波計測、実装およびパッケージなどを含む非常に広範囲にわたる領域を見通した開発が必要である。本研究は、マイクロ波素子用基板として高移動度、高飽和速度、広バンドギャップ、半絶縁性という特長を有するGaAsを取り上げ、能動素子、受動素子、実装の面から総合的に、ミリ波帯用途に向けたマイクロ波素子の高性能化、高周波化、および集積化技術の開発を目的とする。本論文の構成を図1.5に示す。

第2章では、マイクロ波能動素子として、均一性、再現性、量産性に優れる選択イオン注入技術を主体としたWSiNゲートGaAs-MESFETの開発について述べる。W系金属WSiNは800°C以上の高温においてもアモルファス状態を保つという優れた耐熱性を示す。この材料をゲート材料としてだけでなくアニール保護膜として用いる新しい耐熱ゲートプロセスを開発し、不純物ドーパ層の活性化アニール時にもAs抜けを抑止し、従来から保護膜として用いられているSiO₂、SiNに比較して、チャンネル層の高濃度薄層化を実現した。耐熱性金属WSiNアニール保護膜の効用、チャンネル表面の高濃度が保たれる特長を活かしたデバイスの製造方法について検討した結果をまとめた。また2次元デバイスシミュレータを利用し、チャンネル層表面の高濃度化とデバイス特性の関係について明らかにした。

サブミクロンゲート長以下の微細化デバイスの高性能化を行うとき、ゲート長短縮とともに、短チャンネル効果を抑止することが重要な課題である。この対策には、スケールリング則に基づくチャンネル層、n'層の薄層化に加え、LDD構造、p層埋込構造等を導入することが有効である。第3章では、サブミクロン以下に微細化したWSiNゲートGaAs-MESFETの高性能化に向けた埋込みp層構造設計について述べる。埋込p層は、チャンネル層(n層)下部にpn接合を形成することで基板側の障壁を高くし、基板漏洩電流の抑止、チャンネル層の薄層化を図ることができる。埋込みp層の最適化を考えた場合、埋込p層内に中性領域が存在すると寄生的な容量が生じるため、従来から半経験的に完全空乏化が最適であるとされてきた。しかし、多少中性領域が存在する方が、DC特性が良好であることから、この埋込みp層中性領域のデバイス特性に及ぼす影響、特に高周波特性について検討した。完全空乏化条件以上の埋込p層濃度を有するGaAs-MESFETを試作し、高周波測定および等価回路解析を行い、高濃度埋込p層が高周波特性へ及ぼす影響についての検討結果についてまとめた。また、チャンネル内の2次元効果とn⁺層間リーク電流に起因する短チャンネル効果を分離して抑止できる第2、第3埋込p層(Bp2、Bp3)を導入とともに、MMIC低雑音増幅器への応用結果について記した。

第4章では、ゲート抵抗を低減することを目的とした極太化したゲート上Auを有するGaAs-MESFETのデバイス設計と新プロセスについて述べる。耐熱性金属ゲートを適用したデバイスは本質的にゲート材料の比抵抗が大きいため、リフトオフゲートを適用し

たデバイスよりもゲート抵抗が高くなってしまふ。そこで、ゲート抵抗の増大を抑えるために、WSiNゲート電極上に極太化したAuを形成する新しいプロセスを開発した。このゲート電極上Auは、第1層配線と同時に作製するもので、極太ゲート上Auを有する低雑音デバイスとボリュームの少ないAuを有するデジタルIC用高速デバイスを、余分なプロセスを追加せずに、同一チップ内に作製することを可能とした。チャンネル層表面に対するダメージを最小限に抑えた電子サイクロトロン共鳴プラズマ(ECR)リアクティブイオンエッチングを適用したゲート電極エッチングプロセスを開発し、また、ゲート抵抗とゲート寄生容量の間のトレードオフの関係を定量的に明らかにした最適なWSiNゲート電極上Auの設計について検討し、GaAs-MESFETの大幅な低雑音化を可能とした。

GaAs-MESFET高性能化のための高濃度薄層化チャンネルは、ゲートショットキ障壁の低下、ゲート/ドレイン耐圧の低下をもたらし、ノイズマージン低下、増幅器効率の低下、低寿命化などの問題が生じる。この解決策として、ゲート電極直下にInGaP薄膜を挿入する新しい構造を提案した。障壁層としてInGaPを使用することで、ショットキ障壁を高く保ち、ゲートリーク電流を抑制することが可能である。第5章では、障壁層としてチャンネル層上にInGaPを挿入したデバイス設計技術と、90度ゲート方向が異なる対称構造と非対称構造デバイスを1ウエハ上に作製する技術について述べる。この技術はアナログ、デジタルを問わず、多機能な回路を同一チップ上に作製するインテグレーション技術として有効である。

第6章では、短ゲート化したデバイスで問題となるデバイス内部での高電界現象を把握するために、エレクトロルミネッセンスを用いて、デバイス内電子温度分布、輸送現象を検討した結果について述べる。ゲート長をサブミクロン領域まで微細化すると、通常のバイアス条件で動作させても、デバイス内部は非常に高電界になる。特に、高濃度薄層化チャンネルを実現したWSiNゲートGaAs-MESFETでは、高電界下においてインパクトイオン化が生じ易く、また顕著なデバイス発光が観測されると考えられる。この発光スペクトルを解析し、最も高電界となるゲート電極のドレイン端におけるホットキャリアの状態、キャリア輸送現象、およびデバイス特性への影響についての検討について述べる。

第7章では、MMIC用受動素子の高性能化、高集積化という見地から、一層の小型化、高周波化を可能とする新しいマイクロ波配線、受動回路、実装方法の提案、検討結果について述べる。高周波基板用マイクロ波線路としては、マイクロストリップ線路、コプレーナ線路などが汎用されている。しかし、MMICが本来有する小型、高集積性などの特長を活かすとともに、ミリ波帯・サブ波帯など更なる高周波化に対応するためには、新たなマイクロ波配線が切望される。多層化配線技術を用いたU字型線路、縦型インダクタは基板占有面積の縮小に大きな効果があった。また、信号線下基板を掘込んだマイクロマシン線路は、微小遮蔽構造を採用することで、ミリ波帯まで不要な基板漏洩電磁界に起因する高次モードやそれに伴う基板内電磁界の共振を抑止することを可能とした。更に、新しい鉛フリーはんだを用いたミリ波帯MMIC実装法を考案し、その有効性を実証した。

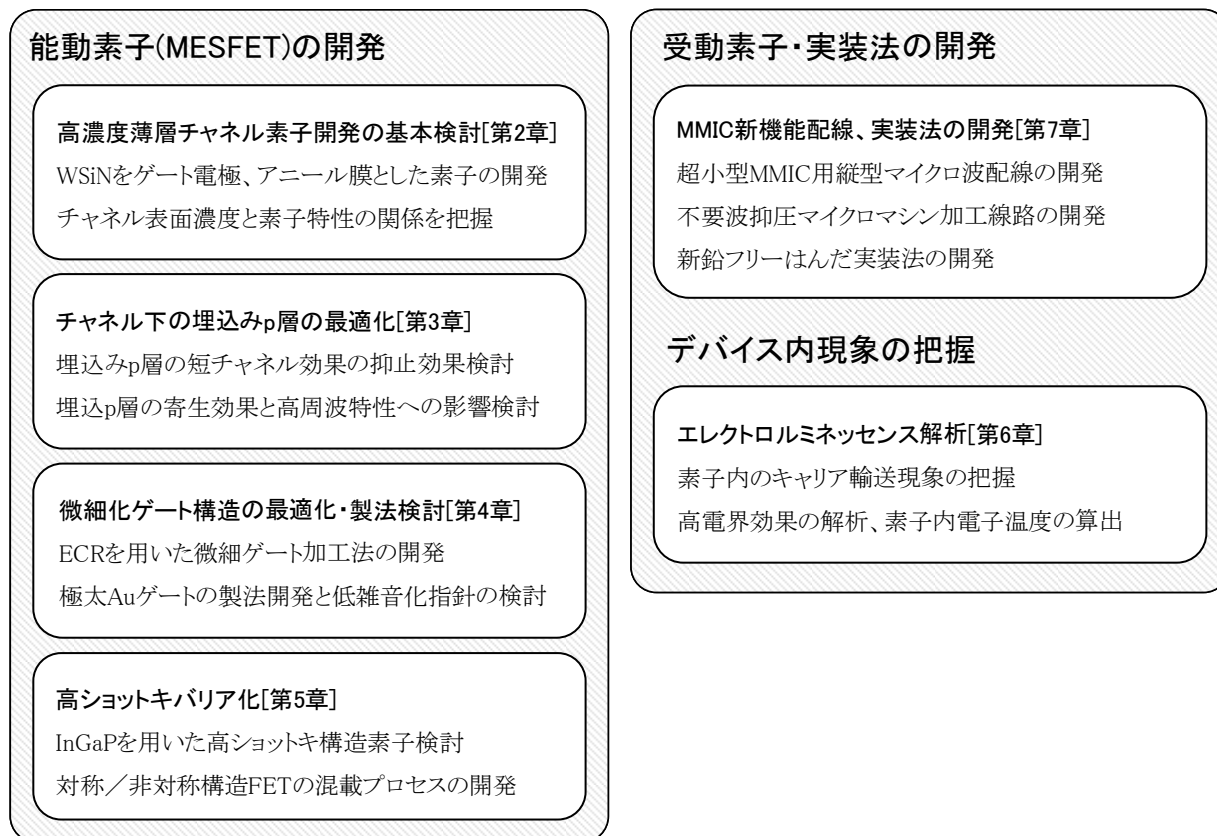


図1.5 論文の構成

参考文献

- [1] C. A. Mead, "Schottky Barrier Gate Field-Effect Transistor," Proc. IEEE, 54, pp. 307-308, 1966.
- [2] W. W. Hooper and W. I. Lehrer, "An Epitaxial GaAs Field-Effect Transistor," Proc. IEEE, 55, pp. 1237, 1967.
- [2] W. Baechtold, "X- and Ku-Band Amplifier with GaAs Schottky-Barrier FETs," Int. Solid State Circuit Conf. Tech. Dig., pp. 156-157, 1972.
- [3] C. A. Liechi, E. Gowen, and J. Cohen, "GaAs Microwave Schottky-Gate FET," Int. Solid State Circuit Conf. Tech. Dig., pp. 158-159, 1972.
- [4] R. Pengelly, J. A. Turner, "Monolithic Broadband GaAs F.E.T. Amplifiers," Electron. Lett., Vol. 12, No. 10, pp. 251-252, 1976.
- [5] Y. Awano, K. Tomizawa, and N. Hashizume, "Principles of Operation of Short Channel Gallium Arsenide Field Effect Transistor Determined by Monte Carlo Method," IEEE Trans. Electron Devices, ED-31, pp. 448-452, 1984.
- [6] P. A. Sandborn, A. Rao, and P. A. Blakey, "An Assessment of Approximate Nonstationary Charge Transport Models Used for GaAs Device Modeling," IEEE Trans. Electron Devices, ED-36, pp. 1244-1253, 1989.
- [7] E. O. Jonson, "Physical Limitation of Frequency and Power Parameters of Transistors," RCA rev., pp. 163-177, 1965.
- [8] 上田大助監修、「高周波・光半導体デバイス」、電子情報通信学会、1999.
- [9] E. Sano, Y. Imai, and H. Ichino, "Lightwave-Communication ICs for 10Gbit/s and Beyond," OFC'95 Tech. Dig., pp. 36-37, 1995.
- [10] B. M. Welch, F. H. Eisen, and J. A. Higgins, "Gallium Arsenide Field-Effect Transistors by Ion Implantation," J. Appl. Phys., Vol. 45, No. 8, pp. 3685-3687, 1974.
- [11] J. A. Higgins, F. Eisen, B. Welch, G. Robinson, and W. Hill, "GaAs FETs Fabricated by Selenium Ion Implantation," Inst. Phys. Conf. Ser. No. 33b, pp. 236-244, 1977.
- [12] 相川正義、大平孝、徳満恒雄、廣田哲夫、村口正弘、「モノリシックマイクロ波集積回路」、電子情報通信学会、1997.

第2章 WSiNによる表面高濃度チャネル

2.1 まえがき

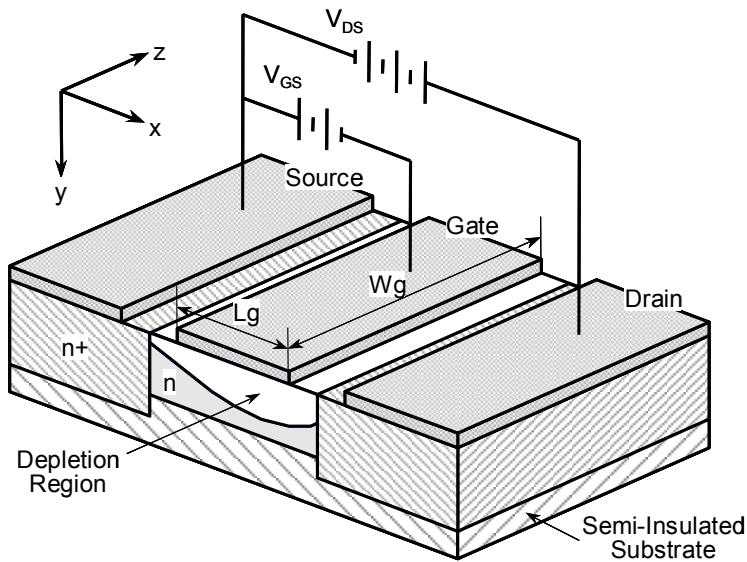
耐熱性金属をゲート材料に用いた、 n^+ -自己整合型GaAs-MESFETが、幅広く研究開発されている。このGaAs-MESFETは、デバイス表面が平坦な構造（プレーナ構造）であり、良好な均一性、再現性、そして簡便性という3つの大きな特長がある。また、選択ドーピングが可能なイオン注入を用いており、様々な閾値のデバイスを1チップ上に作製可能であり、超高速デジタル集積回路用途への適用がなされてきた。この技術の根幹は、ゲート材料に使用する耐熱性金属の選択である。これまで、WSi[1]、WN[2]、およびWAl[3]を含め、この目的のために、多くの材料が開発されている。また、チャネル層はイオン注入プロセスで作製するため、そのキャリア分布は、活性化プロセスにおけるアニール温度とともに、アニール保護膜に大きく依存し、サブミクロンゲート長では、デバイス特性を大きく左右する。これまで、アニール保護膜としてSiO₂を使用したであるGaの『吸出し効果』による高活性化、SiO₂またはSiN保護膜にV族元素であるAs圧印加を施した高活性化などが行われている。基本的に、 n 型GaAsでは、GaサイトのSi (Si_{Ga})を促進し、AsサイトのSi (Si_{As})を減少させる方向で、高活性化を達成できると考えるため、殊にGa外方拡散の抑止は、ほとんど考慮されていない。

WSiNは、広範に用いられているWSiに窒素を添加して、耐熱性を強化した金属材料である。高温熱処理後も構造的に安定な材料であり、良好な電気的特性が得られる。高温活性化アニール後もそのアモルファス状態を維持するため、微細加工性に優れ、サブミクロンゲートプロセスに適していると考えられる。この良好な耐熱性に注目し、WSiNをゲート電極とともにアニール保護膜として使用する、GaAs-MESFET作製プロセスを開発した。本章では、WSiNのアニール保護膜としての適用性、デバイス作製プロセス、およびその特性結果について述べる。2.2節では、GaAs-MESFETの動作原理、および高性能化指針について述べる。具体的な構造設計では異なる点が多いものの、GaAs-MESFETの基本的なデバイス構造設計指針は、Si-MOSFETと同様のスケーリング則に沿ったゲート長の短縮である。ゲート長微細化による高性能化を考えた場合、GaAs-MESFETにおいては、高濃度薄層チャネルが要求される。2.3節では、WSiNの熱的安定性、およびイオン注入による高濃度薄層チャネルの作製について述べる。2.4節では、2次元数値解析を用いて、イオン注入層表面濃度とデバイス特性の関係について検討した結果、および高性能化指針について述べる。2.5節では、WSiNをゲート電極と併にアニール保護膜として用いた、GaAs-MESFETの製造法およびその特性の詳細について述べる。2.6節では、試作したデバイスの高周波特性と2次元数値解析を用いて、デバイス内の電子速度見積りの検討結果について述べる。

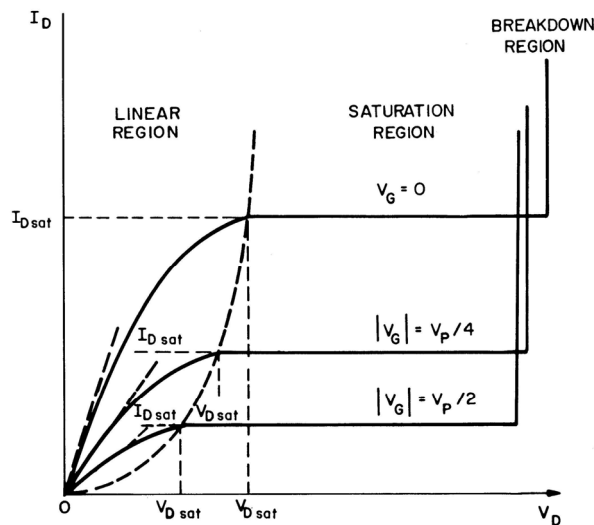
2.2 動作原理と高性能化指針

2.2.1 GaAs-MESFET基本動作原理

図2.1(a)に、GaAs-MESFETの構造を模式的に示す。半絶縁性GaAs基板の上に、n型のチャネル層を形成し、その表面にソースおよびドレインの2つのオーム接触を有する金属電極を設けている。良好なオーム接触を得るために、通常、ソースおよびドレイン電極下は低抵抗のn型層(n⁺層)としている。ソースおよびドレイン電極の間にはショットキ接合を有するゲート電極を備えた3端子構造である。図のように、ドレイン電極に、ソース電極に対して正電圧 V_{DS} を与えると、チャネル層内を電子がソースからドレインに向かって流れる。ショットキ接合であるゲート電極に正負の電圧を印加すると、チャネル層内に広がった空乏層の幅が変化し、チャネル層を流れる電子の量を制御することができる。



(a) MESFET概念図



(b) 典型的なFETのIV特性[4, 5]

図2.1 MESFETの特性

基本的な電流－電圧特性は、図2.1(b)に示すように、横軸にドレイン－ソース間電圧 V_{DS} 、縦軸にドレイン－ソース間電流 I_{DS} を取り、ゲート－ソース間電圧 V_{GS} をパラメータとして表す。この電流－電圧特性は、「線形領域 (Linear Region)」、「飽和領域 (Saturation Region)」、「破壊領域 (Breakdown Region)」の3つの領域からなる。線形動作が必要である増幅器など、多くのアナログ回路では、飽和領域を利用する。デジタル回路では、1つの論理値として割り当てるため線形領域を多用する。非線形性を要求されるミキサなどの周波数変換回路では、線形領域から飽和領域への遷移領域を利用する。

厳密なMESFETの動作は、次に示すポアソンの方程式、電流連続の式、電流密度の式(拡散・ドリフトの式)をセルフコンシステントに解くことによって、数値解析的に求めることができる。各式の導出は付録Aに示す。

$$\nabla^2 \psi = -\frac{q}{\epsilon_0 \epsilon_r} (p - n + N_{D^+} - N_{A^-}) \quad (2.1)$$

$$\begin{cases} \nabla \cdot \mathbf{J}_n - q \frac{\partial n}{\partial t} = qR \\ \nabla \cdot \mathbf{J}_p + q \frac{\partial p}{\partial t} = -qR \end{cases} \quad (2.2)$$

$$\begin{cases} \mathbf{J}_n = qn\mu_n \mathbf{E} - qD_n \nabla n \\ \mathbf{J}_p = -qp\mu_p \mathbf{E} - qD_p \nabla p \end{cases} \quad (2.3)$$

ここで、 n 、 p はそれぞれ電子密度、正孔密度、 N_{D^+} 、 N_{A^-} はそれぞれイオン化したドナー密度、アクセプタ密度、 R は電子・正孔の再結合率、 μ_n 、 μ_p は電子、正孔の移動度、 D_n 、 D_p は電子、正孔の拡散定数、 \mathbf{J}_n 、 \mathbf{J}_p は電子、正孔による電流密度である。 ϵ_r はGaAsの比誘電率である

2.2.2 レホーベック・ツーリングモデルによる基礎動作解析

簡易的にMESFETの動作を知るには、デバイスを1次元化したショックレーモデルが便利である。図2.2にショックレーが取り扱ったFETの概念図を示す[6, 7]。チャネル内の点線において線対称な構造となっている。ショックレーモデルにおいては、次のような仮定を行っている。

- 1) ロングチャネル近似。ゲート長 L_g がチャネル層厚さ a に比較して十分に長い。
- 2) グラジュアルチャネル近似。ゲート直下の空乏層は、ソース側からドレイン側に向かって滑らかに広がっている。
- 3) 階段接合近似。接合部は完全に空乏化しており、急峻に自由キャリアがなくなる。

以上の仮定を行うと、FETを1次元問題として簡単に取り扱うことができる。1、2)の仮定から、空乏層内の電界は y 方向のみを考えれば良く、チャネル層が線対称と仮定しているので、チャネル内の y 方向電界は0となる。また、FET内では、電流輸送現象に寄与するのは多数キャリアである電子のみであるから、チャネル層において、電子およびドナーの電荷のみを考慮すると、(2.1)～(2.3)のFET特性を決定する基本式は、次のように単純化される。

$$\frac{d^2V}{dy^2} = \begin{cases} -\frac{qN_D}{\epsilon} & : \text{depletion - region} \\ 0 & : \text{channel} \end{cases} \quad (2.4)$$

$$\frac{d}{dx} J_x = 0 \quad (2.5)$$

$$J_x = qN_D\mu E_x \quad (2.6)$$

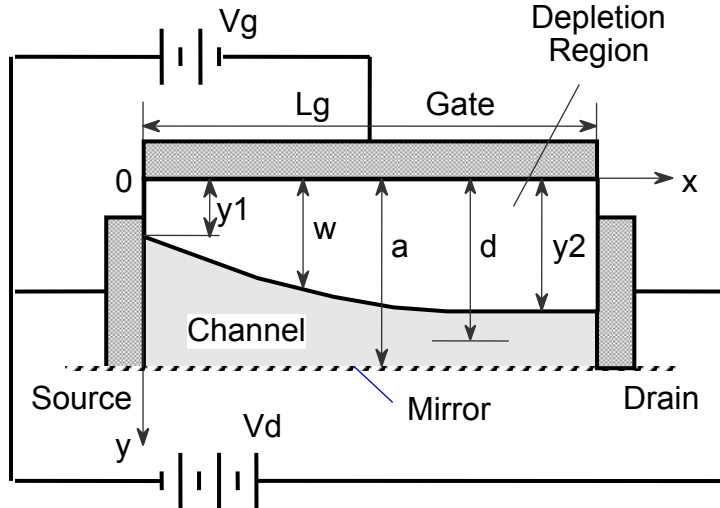


図2.2 ショックレーモデル

さらに、FET内の電子速度は、ドリフトのみに依るものとし、ドリフト速度の電界依存性として、レホーベック・ツーリングのモデルを仮定する[3]。つまり、低電界では移動度 μ 一定であるが、高電界では飽和速度 v_s に漸近するものとする。

$$v_x = \frac{\mu E_x}{1 + \mu E_x / v_s} \quad (2.7)$$

ここで、 E_x は、チャネル内ソース端から測った位置 x におけるドレイン電圧 $V(x)$ を用いて、次のように与えられる。

$$E_x = -\frac{dV(x)}{dx} \quad (2.8)$$

ポアソンの方程式を空乏層内の条件で解くことで、次のように、位置 x における空乏層厚 w が求まる。

$$w = \sqrt{\frac{2\epsilon[V(x) + V_{bi} - V_{GS}]}{qN_D}} \quad (2.9)$$

ここで、 V_{bi} は、ショットキ障壁の拡散電位(ビルトインポテンシャル)である。また、空乏層厚がチャネルの厚さ a となる電圧をピンチオフ電圧 V_p といい、次の関係がある。

$$V_P = \frac{qN_D a^2}{2\varepsilon} \quad (2.10)$$

(2.8)式を用いて、ゲート電極のソース端およびドレイン端における空乏層幅はそれぞれ、次のよう得られる。

$$y_1 = \sqrt{\frac{2\varepsilon(V_{bi} - V_{GS})}{qN_D}} \quad (2.11a)$$

$$y_2 = \sqrt{\frac{2\varepsilon(V_{DS} + V_{bi} - V_{GS})}{qN_D}} \quad (2.11b)$$

チャンネルを流れるドレイン電流 I_{DS} は、電流密度の式(2.6)とチャンネル断面積の積で求めることができるため、次式となる。

$$I_{DS} = J_x(a-w)W_G = qN_D W_G(a-w)v_x \quad (2.12)$$

(2.12)には v_x の中に x についての微分が含まれるので、 x に関して $0 \sim L_G$ で積分することで、次のようなチャンネル内の位置 x に関係のないチャンネルを流れるドレイン電流の式が得られる。

$$I_{DS} = \frac{\mu q^2 N_D^2 a^3 W_G}{6\varepsilon L_G} \cdot \frac{3(u_2^2 - u_1^2) - 2(u_2^3 - u_1^3)}{1 + Z(u_2^2 - u_1^2)} \quad (2.13)$$

$$Z = \frac{\mu V_P}{v_s L_G} \quad (2.14a)$$

$$u_1 = \frac{y_1}{a} = \sqrt{\frac{V_{bi} - V_{GS}}{V_P}} \quad (2.14b)$$

$$u_2 = \frac{y_2}{a} = \sqrt{\frac{V_{DS} + V_{bi} - V_{GS}}{V_P}} \quad (2.14c)$$

代表的なFETの性能指数である相互コンダクタンス g_m およびドレインコンダクタンス g_d は、(2.13)から次のように求められる。

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} = \frac{\mu q N_D a W_G}{L_G} \cdot \frac{u_2 - u_1}{1 + Z(u_2^2 - u_1^2)} \quad (2.15a)$$

$$g_d = \frac{\partial I_{DS}}{\partial V_{DS}} = \frac{\mu q N_D a W_G}{L_G} \times \frac{6(1-u_2)\{1 + Z(u_2^2 - u_1^2)\} - Z\{3(u_2^2 - u_1^2) - 2(u_2^3 - u_1^3)\}}{6\{1 + Z(u_2^2 - u_1^2)\}^2} \quad (2.15b)$$

上記のFET基本動作の式は、チャネル内電子速度の電界依存性を特徴付けるパラメータ Z (式(2.14a))に依存している。次のような極端な2つの場合を考える。

A. 長ゲートの場合 ($Z \ll 1$)

ゲート長 L_g が長くチャネル内が低電界であり、電子速度が移動度 μ のみで決まり、電子飽和速度 v_s の影響が無視できる場合に相当する。式(2.13)、(2.15)に適用して、

$$I_{DS(long)} = \frac{\mu q^2 N_D^2 a^3 W_G}{6\epsilon L_G} \left\{ 3(u_2^2 - u_1^2) - 2(u_2^3 - u_1^3) \right\} \quad (2.16a)$$

$$g_{m(long)} = \frac{\mu q N_D a W_G}{L_G} (u_2 - u_1) \quad (2.16b)$$

$$g_{d(long)} = \frac{\partial I_{DS}}{\partial V_{DS}} = \frac{\mu q N_D a W_G}{L_G} (1 - u_2) \quad (2.16c)$$

となる。性能指針となる相互コンダクタンスは、ゲート長を短縮することでゲート長に反比例して向上することが分かる。

B. 短ゲートの場合 ($Z \gg 1$)

ゲート長が極端に短縮されて、チャネル内が高電界であり、チャネル内で電子の速度はすぐに飽和し、電子速度が飽和速度のみで決まる場合に相当する。式(2.13)、(2.15)に適用して、

$$I_{DS(short)} = v_s q N_D a W_G (1 - u_2) \quad (2.17a)$$

$$g_{m(short)} = \frac{\epsilon v_s W_G}{a u_2} \quad (2.17b)$$

$$g_{d(short)} = \frac{\mu q N_D a W_G}{L_G} \frac{3(1 - 2u_2)(u_2 + u_1) + 2(u_2^2 + u_2 u_1 + u_1^2)}{6Z(u_2 - u_1)(u_2 + u_1)^2} \quad (2.17c)$$

となる。ここで、 $u_1 \sim u_2$ とした。電子速度が飽和速度のみで決まる場合には、相互コンダクタンスのゲート長依存性はなく、むしろチャネルの薄層化が有効であることが分かる。

2.2.3 高性能化指針

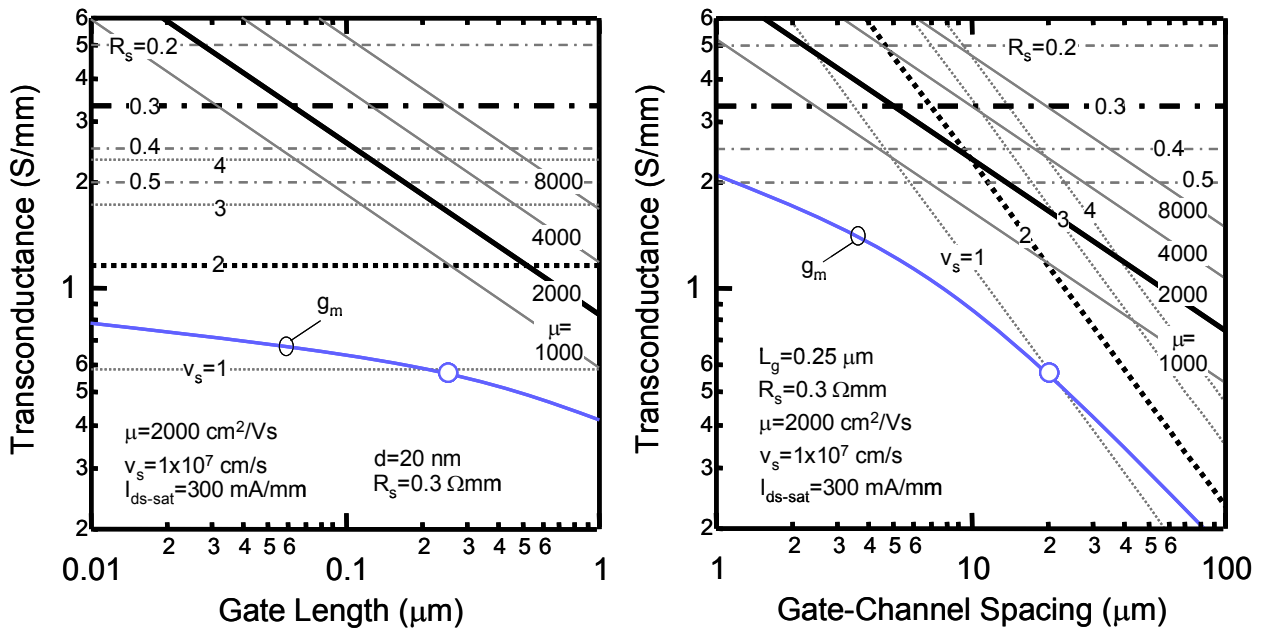
通常のFETでは、パラメータ Z は前項における2つの極端な場合の中間の値となる。チャネルのソース側は低電界であるため、電子の速度が移動度で支配される領域、ドレイン側では高電界となり、飽和速度で支配される領域と分けて考えることができる。この2つの領域の特性が重ね合わさり、FETの性能が決まる。この特性を上手く表現しているのが、M. B. Dasらによって導かれたHEMTの相互コンダクタンス g_m の式である。式の導出は付録Bに示す。

$$\frac{1}{g_m} = \sqrt{\frac{dL_G}{2\varepsilon\mu I_{DS-SAT}}} + \frac{d}{\varepsilon v_s} + R_S \quad (2.18)$$

上式は、HEMTの2次元電子ガスについての電荷制御モデルを用いて導出したものであるが、MESFETに対しても有効である。R_Sはソース抵抗、I_{DS-SAT}はドレイン飽和電流、dはゲート-チャネル間隔であり、HEMTではAlGaAs電子供給層の厚さ、MESFETでは実効的なチャネル空乏層の厚さであり、次式のように与えられる。

$$d = a - \frac{a_0}{2} = \frac{a+w}{2} \quad (2.19)$$

ここで、aはチャネル層厚、wはチャネル層空乏層厚、a₀はドレイン電流が流れるチャネルの厚さでa₀=a-wである。(2.18)式の第1項は、移動度で支配される領域の伝達抵抗、第2項は電子の飽和速度またはピーク速度で支配されるピンチオフ領域の伝達抵抗、第3項が外部寄生抵抗である。



(a) ゲート長依存性 (b) ゲート-チャネル間隔依存性

図2.3 相互コンダクタンス

図2.3は、先端的なGaAs-MESFETの特性パラメータから式(2.18)を用いて算出した相互コンダクタンスのゲート長依存性およびゲート-チャネル間距離依存性である。図中、○印のパラメータは、ゲート長0.25 μm、ゲート-チャネル間距離20nm、移動度2000cm²/Vs、電子飽和速度またはピーク速度2x10⁷cm/s、ドレイン飽和電流はノーマリオフFETの実測値から300Am/mm、ソース抵抗は各機関からの報告値0.2~1.0 Ωmmの最高値に近い0.3 Ωmmとした。実線は、移動度1000~8000cm²/Vsに対する(2.18)式の第1項のみから得られるコンダクタンス、破線は、飽和速度1~4x10⁷cm/sに対する第2項のみから得られるコンダクタンス、一点鎖線は、第3項のソース抵抗0.2~0.5 Ωmmの逆数であるトランスコンダクタンスである。図2.3(a)から、ゲート長の短縮にともなって減少するのは、第1項の伝達抵抗のみであり、ゲート長の短縮だけでは相互コンダクタンスはあまり向上しない。サブミクロン以下のゲート長では、移動度を向上させてとしても、電子飽和速度に関わる(2.18)式の第2項が支配的となり、頭打ちとなっている。しかし、モンテカルロシミュレ

ーションで得られるように、ゲート長の短縮にともなって電子走行距離の短縮し、非定常効果で、チャネル内電子速度が増大する。このため、簡易な(2.18)式では考慮されていないゲート長短縮にともなう飽和速度上昇で、相互コンダクタンスが向上するか可能性も考えられる。

ゲート長短縮と同等以上に特性向上に寄与するのは、ゲート-チャネル間距離の短縮である。これはSi-MOSFETのゲート絶縁膜厚にあたる。MESFETの場合にはn型チャネル層の厚さである。図2.3(b)から分かるようにゲート-チャネル間距離の短縮は、第1項および第2項の伝達抵抗を減少させる。したがって、サブミクロンゲート長のMESFET高性能化には、電子速度を向上させるゲート長の短縮、およびゲート-チャネル間距離の短縮が有効であると結論できる。

2.2.4 スケーリング則と短チャネル効果

1974年に、R. H. Dennardらによって提案された「Si-MOSFETのスケーリング則」は、デバイス内の電界を一定にしたまま、デバイス寸法を縮小するものである[8]。素子の微細化によって集積回路の高性能化が可能であることを示し、その後のSi-MOSFET集積回路技術の指針となっている。表2.1に示すように、デバイス寸法と電源電圧を $1/k$ 倍、不純物濃度を k 倍にすると、スイッチング時間は $1/k$ 倍、消費電力は $1/k$ 倍に、消費電力は $1/k^2$ 倍、集積度は k^2 となる(素子の微細化によって、速度、集積度、消費電力のいずれの性能も向上する)。理想的なスケーリング則によれば、電源電圧とともに閾値電圧も $1/k$ 倍される。

一方、GaAs-MESFETを含めた化合物半導体では、現在まで、確立されたスケーリング則はない。これは、Si-MOSFETが集積化によってその機能を高度化してきたのに対し、化合物半導体はディスクリート半導体技術として、その多様性によって応用の場を広げてきたという背景による。表2.1には、「GaAs-MESFETのスケーリング則」の一例を示す[9, 10]。Si-MOSFETのスケーリング則との差異は次の点である。

1) ゲート幅一定

GaAs-MESFETは主に、様々なシステムにおいて高速・高周波動作を必要とするフロントエンドで使用される。デバイス寸法のスケーリングを行っても、出力電力、次段回路の駆動能力は一定に保つ必要があり、ゲート幅一定が望ましい。

2) 電源電圧一定

Si-MOSFETでは、回路形式としてTTLを標準としており、デバイス寸法のスケーリングに合わせて、電源電圧もスケーリングされるが、GaAs-LSIで汎用される回路形式のDCFL(Direct Coupled FET Logic)においては、電源電圧が $1\sim 1.5V$ であり、元来低電圧動作であるGaAs-MESFETでは、電源電圧一定が望ましい。

3) 閾値電圧一定

GaAs-MESFETでは、電源電圧と同様、元来、閾値電圧が $0\sim 0.3V$ と低い。また、Si-MOSFETはゲート絶縁膜があり、ゲート電流は流れないが、GaAs-MESFETでは、ショットキ障壁を用いているためソース・ゲート間電圧が $0.6V$ 以上になると、ゲート電流が流れる。したがって、Si-MOSFETでは電源電圧とともに、閾値電圧もスケーリングされるが、ロジック動作の高電圧レベルがクランプされるGaAs-MESFETでは閾値電圧一定のスケーリング則が望ましい。

ゲート長の短縮にともない、閾値電圧に関係する劣化現象が、短チャンネル効果である。デバイス寸法の微細化にともなうゲート長の縮小によって、閾値電圧が低下する現象である。ゲート長が縮小されるにつれて、閾値電圧の減少率が增大する。プロセス揺らぎにともなうゲート長ばらつきで、集積回路中で本来の閾値電圧で動作しなくなる。また、短チャンネル効果が著しい場合には、デバイスの性能指標である相互コンダクタンス、電流遮断周波数の劣化を引き起こす。GaAs-MESFETの短チャンネル効果の要因としては以下の2点が上げられる。

1) チャンネル層内における2次元電界効果

ゲート長の短縮を行うと、チャンネル空乏層内x方向の電界強度が増大し、y方向電界のみを考慮した1次元モデル(Shockleyのグラデュアルチャンネルモデル)が成り立たなくなるチャンネルの2次元電界効果である。Poissonの方程式から分かるように、x方向電界強度 E_x の増大はy方向電界強度 E_y を変化させ、閾値電圧のシフト、ドレインコンダクタンス増大などの特性劣化を招く。

2) 基板漏洩電流

n+層は、寄生抵抗を低減するためにチャンネル層よりも高濃度かつ厚い層であるため、チャンネル層よりも基板側ポテンシャルが低くなっている。ゲート長が短縮されるとソース、ドレイン領域のn+層間隔が狭くなる。n+層が近付くと、チャンネル層よりも深層の基板側のポテンシャルが低くなり、ゲート電界での制御が効かない基板漏洩電流が増大する。

閾値電圧は、FETの電流をオン・オフする場合に、ゲート電極への入力基準電圧として重要な特性指標であり、FETの構造パラメータとの間に以下の関係がある。

$$V_{th} = V_{bi} - V_p = V_{bi} - \frac{qN_D a^2}{2\epsilon} \quad (2.20)$$

FETの高性能化にはチャンネル厚の薄層化が有効であるが、閾値電圧を一定に保つためには、(2.20)式から、高濃度にする必要がある。GaAsの実効状態密度はSiに比較して小さく、現実的には 10^{18}cm^{-3} の半ば以上の高濃度化が難しいことから、表2.1(2)のスケーリング則ではチャンネル層高濃度化を緩和し、ゲート長を $1/k$ 倍に、チャンネル層を $1/k^{1/2}$ 倍に、チャンネル層濃度を k 倍としている。しかし、短チャンネル効果の要因1)を抑止するためには、ゲート長を短縮してもチャンネル層内の電界を一定に保つスケーリングがもっとも効果的である。この場合のスケーリング則は、表2.1(1)であり、ゲート長を $1/k$ 倍に、チャンネル層を $1/k$ 倍にした場合に、チャンネル層濃度は k^2 倍となる。この時、次式で示されるアスペクト比は一定となる。

$$R_{asp} = \frac{L_g}{a} \quad (2.21)$$

アスペクト比は、チャンネル層内2次元電界効果見積りの指標となる。また、基板漏洩電流を抑止するためには、チャンネル層と同様にn+層の高濃度薄層化、および、チャンネル層及びn+層の深層に導入する埋込p層の最適化が有効である。

表2.1 GaAs-MESFETのスケーリング則

FETパラメータ		スケーリング則		
		GaAs-FET (1)	GaAs-FET (2)	MOSFET
ゲート長	L_G	1/k	1/k	1/k
チャネル厚	a	1/k	$1/k^{1/2}$	-
キャリア濃度	n	k^2	k	k
閾値電圧	V_{th}	1	1	1/k
ゲート幅	W_G	1	1	1/k
ゲート容量	$C_{GS} \propto L_G W_G / a$	1/k	$1/k^{1/2}$	1/k
相互コンダクタンス	$g_m \propto W_G / a$	1	$k^{1/2}$	1
無負荷遅延時間	$t_{pd} \propto C_{GS} / g_m$	1/k	1/k	1/k
電源電圧	V_{DD}	1	1	1/k
ドレイン電流	I_{DS}	k	$k^{1/2}$	1/k
消費電力	P_{dis}	k	$k^{1/2}$	$1/k^2$

2.3 基板表面高濃度チャネル

2.3.1 チャネル層高濃度薄層化

イオン注入法は、高精度かつ選択的に半導体に不純物原子を導入し、n型領域、p型領域、または絶縁領域を形成する最も有効な方法である。Lindhard、Scharff、Schjottらは、原子間のThomas-Fermiポテンシャルに基づく微分散乱断面積から、次式で示される規格化された距離および、エネルギーを用いた、原子阻止割合 $(-d\varepsilon/d\rho)$ と $\varepsilon^{1/2}$ との関係について、いかなる原子にも当てはまる統一的な関係式を導いた。

$$\rho = R\pi a^2 N \cdot \frac{M_1 M_2}{(M_1 + M_2)^2} \quad (2.22a)$$

$$\varepsilon = E \cdot \frac{a}{e^2} \cdot \frac{M_2}{Z_1 Z_2 (M_1 + M_2)} \quad (2.22b)$$

$$a = \frac{0.8853a_0}{\sqrt{Z_1^{2/3} + Z_2^{2/3}}} \quad (2.22c)$$

ここで、 R は飛程距離、 E はイオンエネルギーである。 a_0 はBohr半径52.9pm、 N は単位体積当たりの原子数、 Z は原子番号、 M は原子量、添字の1、2はそれぞれ入射原子、標的原子に対応する。この関係式は、LSS理論(Lindhard-Scharff-Schjott Theory)と呼ばれる[11, 12]。多数のイオンが注入された場合、注入されたイオンを統計的に処理すると、次式のようなガウス分布で表すことができる。

$$N(x) = N_p \exp\left(-\frac{(x - R_p)^2}{2\Delta R_p^2}\right) \quad (2.23)$$

ここで、 N_p はピーク濃度、 R_p は射影飛程、 ΔR_p は飛程標準偏差であり、LSS理論から算出される。Gibbonsらは様々な入射原子、標的原子について射影飛程、射影標準偏差を計算して対応表を作成している[13, 14]。

GaAs-MESFETのチャネル層は、GaAsへのSiイオン注入技術で形成する。図2.4は、入射原子Si、標的原子GaAsとして計算した射影飛程、飛程標準偏差、および実効チャネル層厚さ a の注入エネルギー依存性を示す。実効チャネル層厚さは、次式を用いて算出した。

$$a = R_p + \sqrt{\frac{8}{\pi}} \Delta R_p \quad (2.24)$$

注入エネルギーを減少させることで、実効チャネル層厚さを薄くすることが可能である。注入エネルギー10keVにおいて、理論的には約20nm厚のチャネル層が可能であることを示している。しかし、イオン注入を行っただけでは、キャリアが有効に働くn形不純物半導体層にはならない。イオン注入直後のGaAs基板は、注入による損傷を受けており、損傷の回復および注入イオンの格子位置への置換を目的とした活性化アニールが必要である。従来、ゲート長0.5 μ m程度のGaAs-MESFETのチャネル層は、30keV Si⁺、800°C、20分のファーネス(熱処理炉)アニールで形成していた。この高温処理において、注入イオンの拡散が発生し、飛程標準偏差 ΔR_p は、理論値よりもかなり大きな値となる。C-V測定によれ

ば、形成されたチャネル層厚さは90nm程度であり、LSS理論値の1.5倍となる。

短チャネル効果を抑止し、相互コンダクタンスを向上させるためには、更なる高濃度薄層化が必要である。イオン注入チャネルの高濃度薄層化を行うためには、以下のような技術が必要である。

1) 低エネルギーでのイオン注入技術[15]

LSS理論から注入エネルギーを低減することで、注入層の薄層化が可能である。しかし、注入エネルギーを低減すると、入射イオンの制御が不安定となり、再現性、均一性、濃度制御性が劣化する。現状のイオン注入技術で可能な最低エネルギーは10keVである。

2) 高温かつ短時間の活性化アニール技術[16]

注入ドーパントの拡散を抑止しつつ、注入ダメージ回復させるために、熱処理炉を用いた活性化アニールに代わって、高温かつ短時間アニールが可能なランプアニールを利用する。

3) 高活性化を可能とするアニール保護膜技術

活性化アニールによって、注入ドーパントのSiが効率的にGaサイトを占めるn型不純物として働く必要がある。活性化アニール保護膜を選択することで、基板構成元素であるGaおよびAsの外方拡散を抑止し、特にGa空孔濃度の増加を抑止する。

4) As空孔濃度を低減する技術[17]

Siイオン注入時にPなどのV族元素を共注入することで、As空孔濃度を低減し、補償比率を低減する。しかし、V族イオンの共注入は、新たな注入ダメージを導入するため、イオン種、注入量の最適化が必要である。

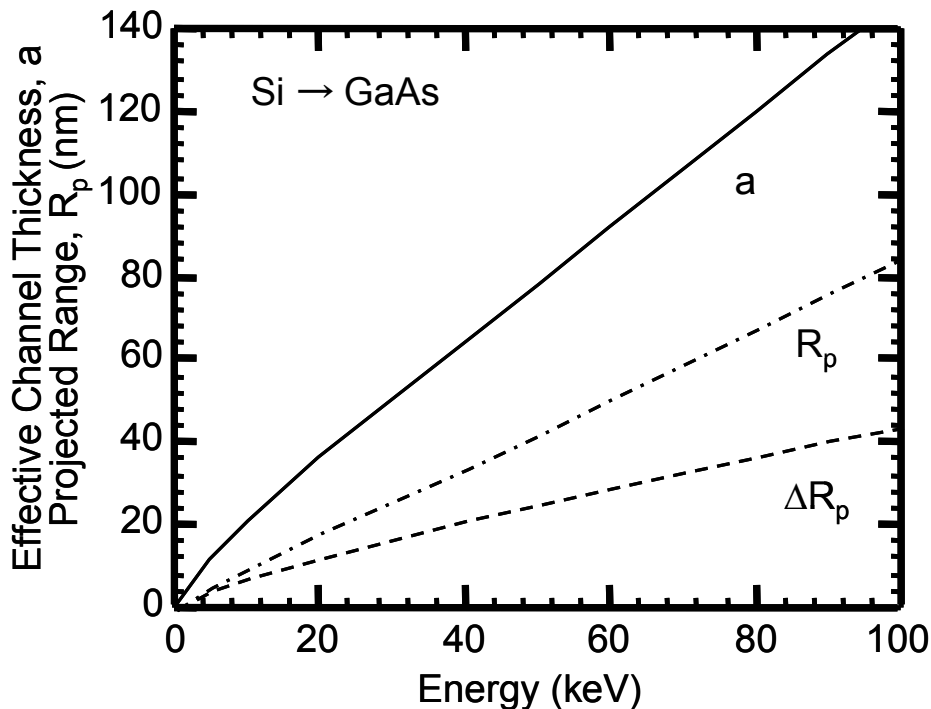


図2.4 イオン注入層厚さのエネルギー依存性
射影飛程 R_p 、飛程標準偏差 ΔR_p 、および実効チャネル層厚 a 。
入射原子はSi、標的原子はGaAs。

2.3.2 ゲート電極／アニール保護膜としてのWSiN

イオン注入後の活性化処理は、チャネル層の品質を左右し、アニール温度だけでなく、アニール保護膜の種類、膜質、その界面準位などに強く依存する。これまで、誘電体膜を用いたアニール膜が主に使用されていたが、 SiO_2/GaAs 、 SiN/GaAs 、 WSi/GaAs という系において、 800°C ファーネスアニールで、基板からGaおよびAs原子の外方拡散が生じることが指摘されている[18, 19]。

WSiNは、WSiターゲットをArと N_2 の混合ガス雰囲気中でスパッタリングすることで、GaAs基板上に堆積する。活性化アニール(ファーネスアニール 800°C 、20分)後でも、WSiNはAsもGaもブロックしていると浅井らによって報告されている[20]。図2.5は、Siイオン注入したGaAs基板上にアニール保護膜として使用される種々の膜を堆積し、活性化アニールした後のSIMSプロファイルである。活性化はファーネスアニール 800°C 、20分で行っている。図2.5 (a)は SiN 、 SiO_2 、WSiN、 SiO_2 を、(b)はWSiN、 SiO_2 、WSiNを順に積層したものである。WSiNは前述のスパッタリング法で堆積し、 SiO_2 および SiN はP-CVD(プラズマ化学気相成長法)で堆積している。(a)では、 SiN とWSiNの界面にAsとGaのイオンピークが見られる(最表面 SiO_2 に検出されたGa、Asは熱処理炉からのコンタミネーション)が、(b)では、 SiO_2 とWSiNの界面を含めどの界面にもAsおよびGaイオンピークは認められない。すなわち、WSiNをアニール保護膜に用いれば、GaAs基板からのAsとGaの両方の外方拡散を抑止し、高活性化が期待される。逆に、従来から使用されている SiO_2 、 SiN はAsが抜けるのである。この現象は高濃度ほど顕著である。

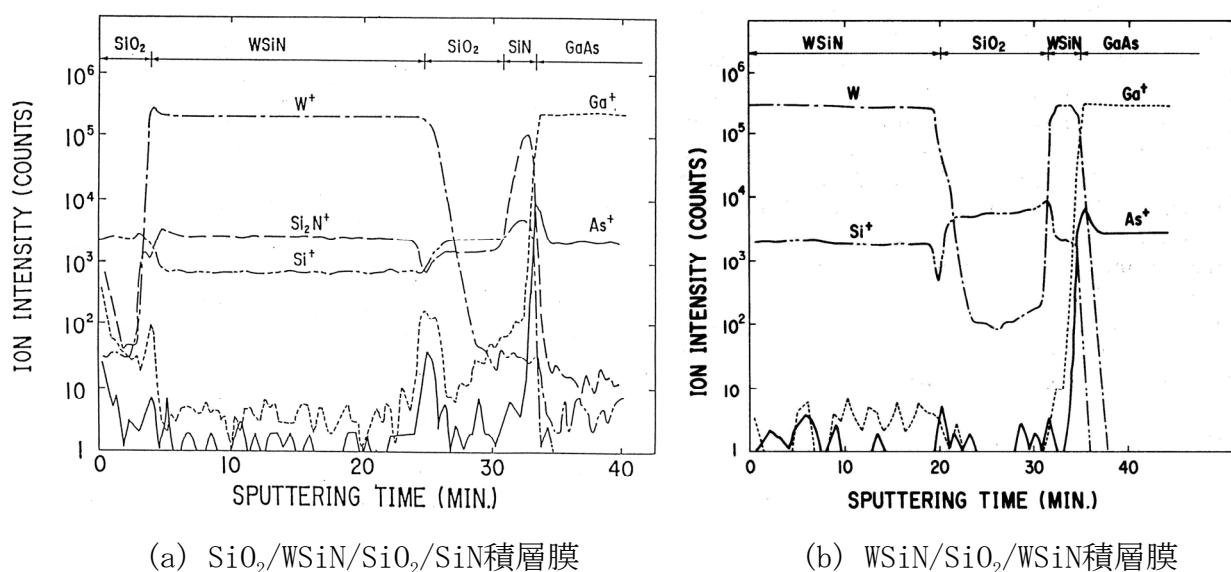


図2.5 GaAs基板上積層膜のSIMSプロファイル
 800°C 、20分アニール後[20]。

WSiNのアニール膜としての働きはその結晶性に大きく影響される。図2.6は、代表的な耐熱性金属であるWSi、WN、とWSiNのアニール後のX線回折測定結果である[20]。 800°C 、20分のアニールを行うと、WSi、およびWNは結晶化し、それぞれ、 W_5Si_3 、 W_2N となる。アニール温度が 850°C に上昇すると、WSiNでも N_2 流量比が3%程度と低いものは結晶化がおこるが、流量比が10%程度以上のWSiNは結晶化せずアモルファス状態を維持している。WSiN中のN原子は、WSiが結晶化する原因であるSi-Si結合が発生することを防ぐように混

入している。アモルファスWSiN膜において良好な拡散バリア効果が得られるのは、N原子のスタッフィングにより、WSiNが原子の拡散経路を内部に含まない構造となっているためと考えられている[21]。X線測定は膜のマクロな結晶性を評価しているにすぎないが、膜の結晶性がアモルファスであることが確認されており、スパッタリング法により堆積した耐熱性金属WSiNは、アニール保護膜としての必要条件を満足していると考えられる。また、WSiN膜は800°Cという高温において、Ga、Asと同様に、Auの拡散をも阻止する。GaAsで通常用いられている配線材料であるAuのマイグレーションを抑止することも可能である。このように広範な原子に対し外方拡散を抑止できる材料はほとんど報告されていない。アニール保護膜としてWSiNおよびSiNを用いたときのC-V測定によるキャリア濃度プロファイルを図2.7に示す。GaAs基板に、注入エネルギー30keV、ドーズ量 $9.5 \times 10^{12} \text{cm}^{-2}$ の条件でSiイオン注入を行い、800°C、20分の活性化アニールを行った。SiNに比較して、WSiNの方が基板側で急峻なキャリアプロファイルとなっているとともに、ピーク濃度が高濃度となっている。C-V法の測定限界のために基板表面付近の情報は得られていないが、

- 1) AsとGaの外方拡散が抑止されている(図2.5)
- 2) 基板側で急峻なキャリアプロファイルとなっている(図2.7)

という2つの実験結果から、WSiNを活性化アニール膜として用いた場合には、C-V法では測定しきれない基板表面側でキャリア濃度が高いままに保たれていると考えられる。逆に、通常のアニール保護膜SiO₂、SiNでは表面キャリア濃度が低下していると予想される。

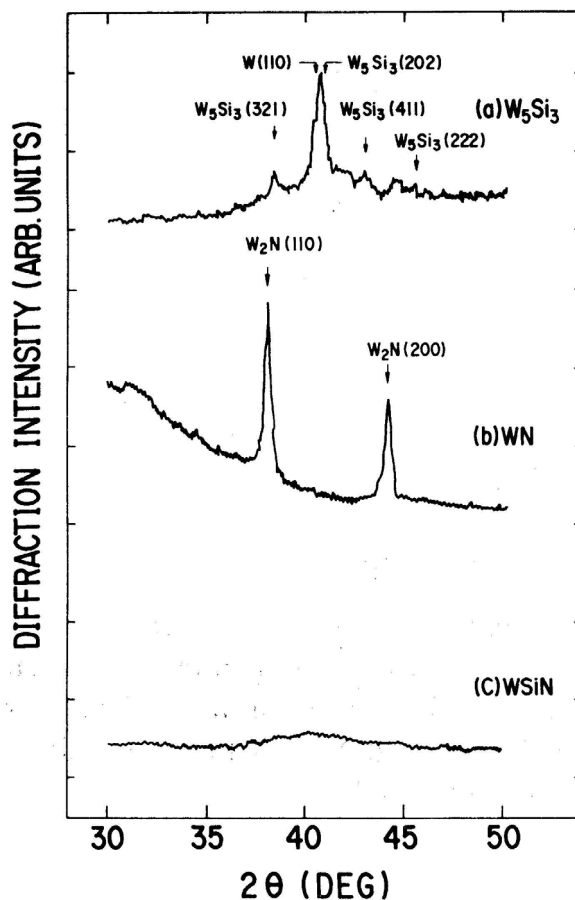


図2.6 WSi、WN、WSiNのX線回折測定結果。800°C、20分アニール後[20]。

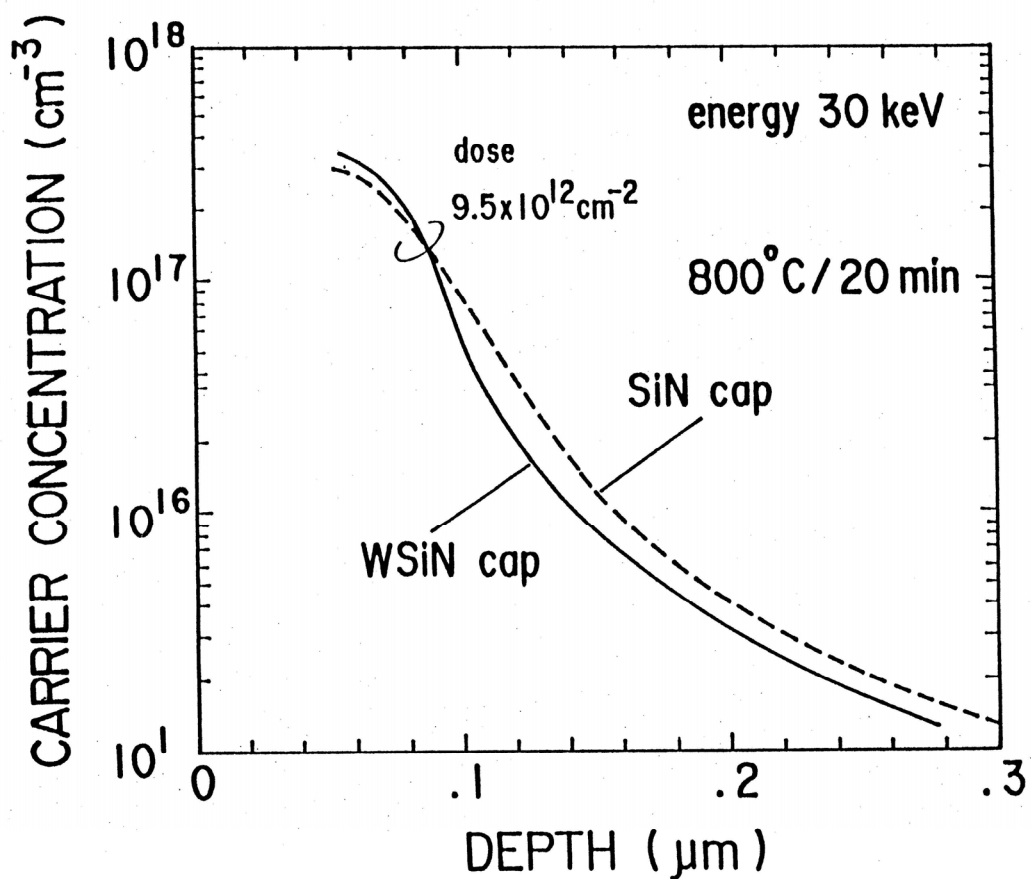


図2.7 C-V測定によるキャリア濃度プロファイル

2.4 基板表面高濃度チャネルの効果

前節で述べたように、WSiNを活性化アニール膜として用いた場合、基板表面側でキャリア濃度が高いままに保たれ、ガウス分布に近い形状が実現できていると予想される。そこで、表面キャリア濃度低下とそのデバイス特性への影響について検討する。

2.4.1 解析方法

均一でないチャネル層の濃度プロファイルがデバイス特性にどのように反映されるかを解析するには、前述したポアソンの方程式(2.1)、電流連続の式(2.2)、電流密度の式(拡散・ドリフトの式)(2.3)をセルフコンシステントに解けば良い。解析は、GaAs中に電子及び正孔の2種のキャリアを考慮し、2次元流体モデルデバイス数値解析プログラムTRANALを用いた[22, 23]。流体モデルではキャリア散乱過程を計算しないので、電子速度を与える必要がある。電子速度として電界に対する4次式を仮定した[24]。

$$v = \frac{\mu_n E + v_s (E/E_c)^4}{1 + (E/E_c)^4} \quad (2.25)$$

ここで、電子の移動度 μ_n は、30keVイオン注入層($n \sim 5 \times 10^{17} \text{ cm}^{-3}$)、10keVイオン注入層($n \sim 1 \times 10^{18} \text{ cm}^{-3}$)、100keVイオン注入層($n \sim 2 \times 10^{18} \text{ cm}^{-3}$)のHall測定データから決定し、次式とした。

$$\mu_n = -760 \ln(n) + 33800 \text{ cm}^2 / Vs \quad (2.26)$$

図2.8(a)に示すようにM. S. Szeの値[5]よりも少し低めであるが、D. L. Rodeによる、補償比を変えた移動度の範囲内であり、(2.26)式は充分デバイス内部の移動度を示し得ると考えられる[25]。

実効的電子飽和速度 v_s は、高電界における非定常効果を考慮して、通常のGaAsバルクの値である、 $1 \times 10^7 \text{ cm/s}$ よりも大きな値とし、変曲点電界 E_c はオーバーシュート量の同定などの煩雑さを避けるため、次のように定めた。

$$v_s = 2.3 \times 10^7 \text{ cm/s} \quad (2.27)$$

$$E_c = v_s / \mu_n \quad (2.28)$$

(2.25)-(2.28)式を用いて計算した電子の v - E 特性を図2.8(b)に示す。移動度領域(μ_n)と飽和速度領域(v_s)の二領域モデルを滑らかに結んだ特性となっている。正孔はデバイスの輸送特性にほとんど寄与しないことから、正孔の移動度 μ_p は以下のように一定とした。

$$\mu_p = 100 \text{ cm}^2 / Vs \quad (2.29)$$

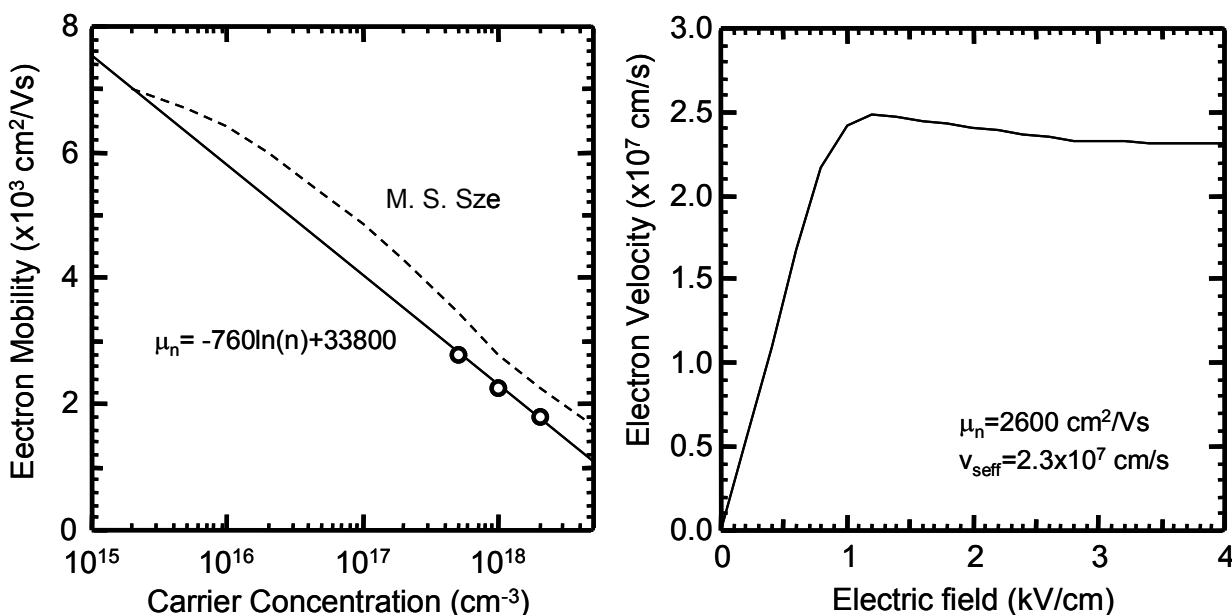
さらに、キャリアの寿命 t は、電子と正孔で等しく、次のように一定値を仮定した。

$$t_n = t_p = 1 \text{ m sec} \quad (2.30)$$

また、電子および正孔とも縮退の効果は考慮していない。

図2.9に、数値解析に用いてGaAs-MESFETの構造を示す。埋込p層 n^+ セルフアライン構造であり、ゲート長 L_g 、ゲート幅 $10 \mu\text{m}$ 、ゲート- n^+ 層間隔 D_{sn} で、デバイス厚 $0.7 \mu\text{m}$ 、デバイス横方向長さ($L_g + D_{sn} + 2.2$) μm とした。ショットキ障壁高さ ϕ_{bn} はGaAsの標準的な値として 0.8 eV とし、GaAs基板不純物濃度依存性は考慮していない。

注入層のキャリアプロファイルは、杉谷らによるC-V測定の結果[26]を基にガウス分布(2.23)式でフィッティングしたプロファイルを用いた。表2.2に、計算に用いた注入層キャリアプロファイルのデータを示す。ここで、チャンネル層およびn⁺層はSiイオン注入、埋込p層はBeイオン注入により形成し、10keVと20keVはランプアニール(RTA)900℃、2秒のC-Vプロファイルの結果から、他の30keVと100keVは炉アニール800℃、20分の結果から得ている。射影飛程R_pはLSS理論の値を用い、注入およびアニールにおける拡散分はすべて飛程標準偏差ΔR_pに組み込んでいる。ただし、埋込p層のプロファイルはデバイス特性に大きな影響を与えないので、簡単のため飛程標準偏差ΔR_pもLSS理論の値を用いた。また、n⁺注入層の横方向濃度プロファイルは深さ方向と同様にガウス分布を仮定し、標準偏差ΔXは飛程標準偏差ΔR_pに等しいとした[27]。チャンネル層は10~30keV注入で形成し、ピーク濃度N_pは閾値電圧を合わせるように変化させた。



(a) 電子移動度のキャリア濃度依存性

(b) GaAs中電子のv-E特性

図2.8 解析に用いた電子速度および移動度の特性

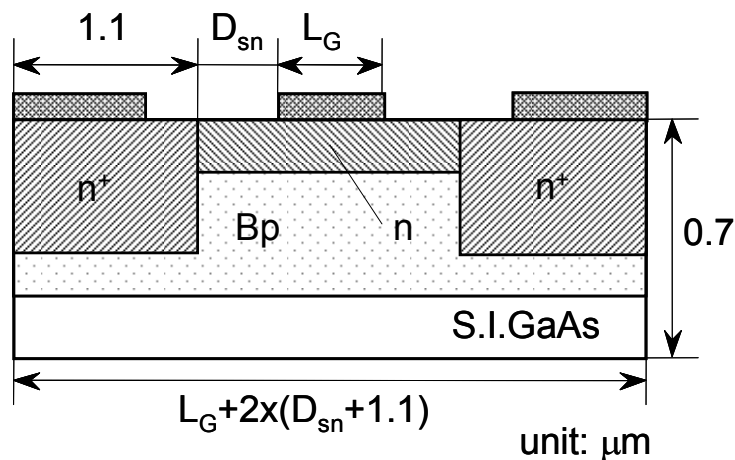


図2.9 数値解析に用いてGaAs-MESFETの構造

表2.2 注入層のキャリアプロファイル

	E (keV)	N_p (cm^{-3})	R_p (nm)	ΔR_p (nm)	a_{eff} (nm)
チャネル層	10	—	10.3	21.7	44.9
	20	—	18.3	25.1	58.4
	30	—	26.2	45.2	98.3
n+層	100	2×10^{18}	85.0	61.8	183.6
埋込p層	50	2.8×10^{16}	158.8	88.6	300.2

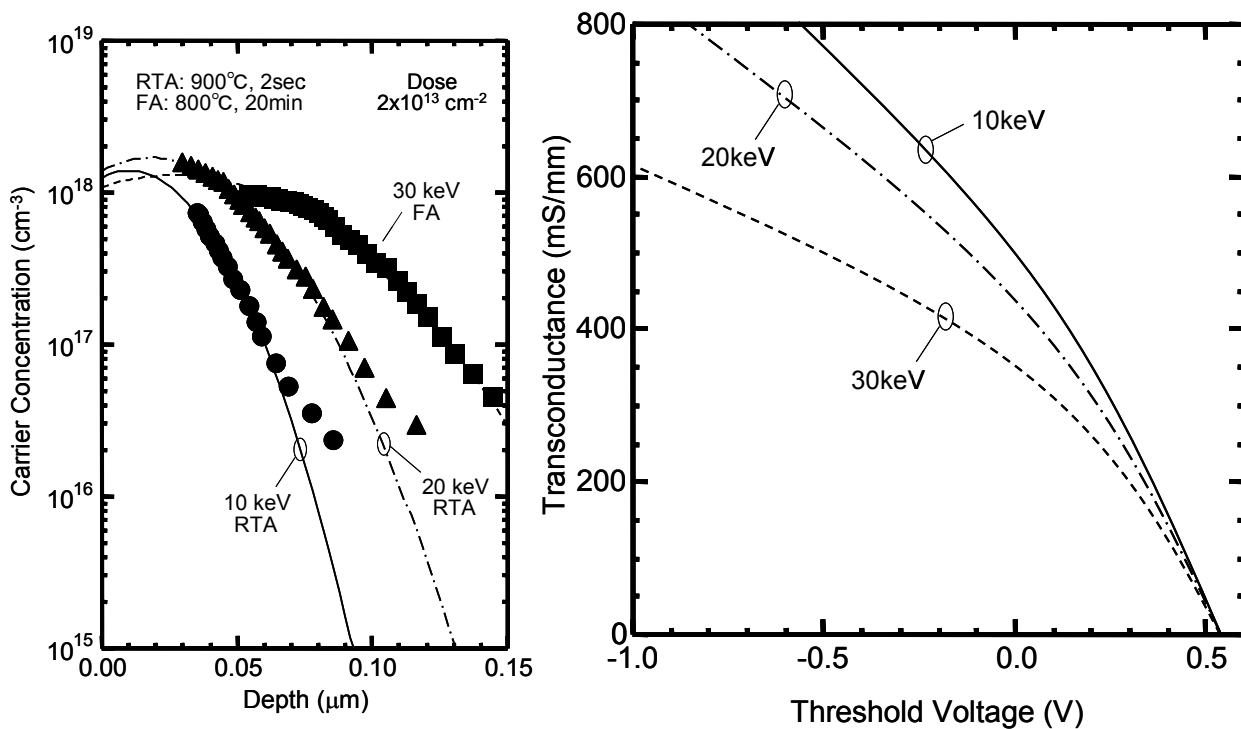
表2.3 スルー注入層のキャリアプロファイル

	E (keV)	R_p (nm)	ΔR_p (nm)	a_{eff} (nm)
Si→GaAs	30	26.2	45.2	98.3
Si→GaAs (20nm)/GaAs	30	6.2	45.2	78.3
Si→GaAs (40nm)/GaAs	30	-13.8	45.2	58.3

2.4.2 注入層構造の特性への影響

A. チャネル薄層化

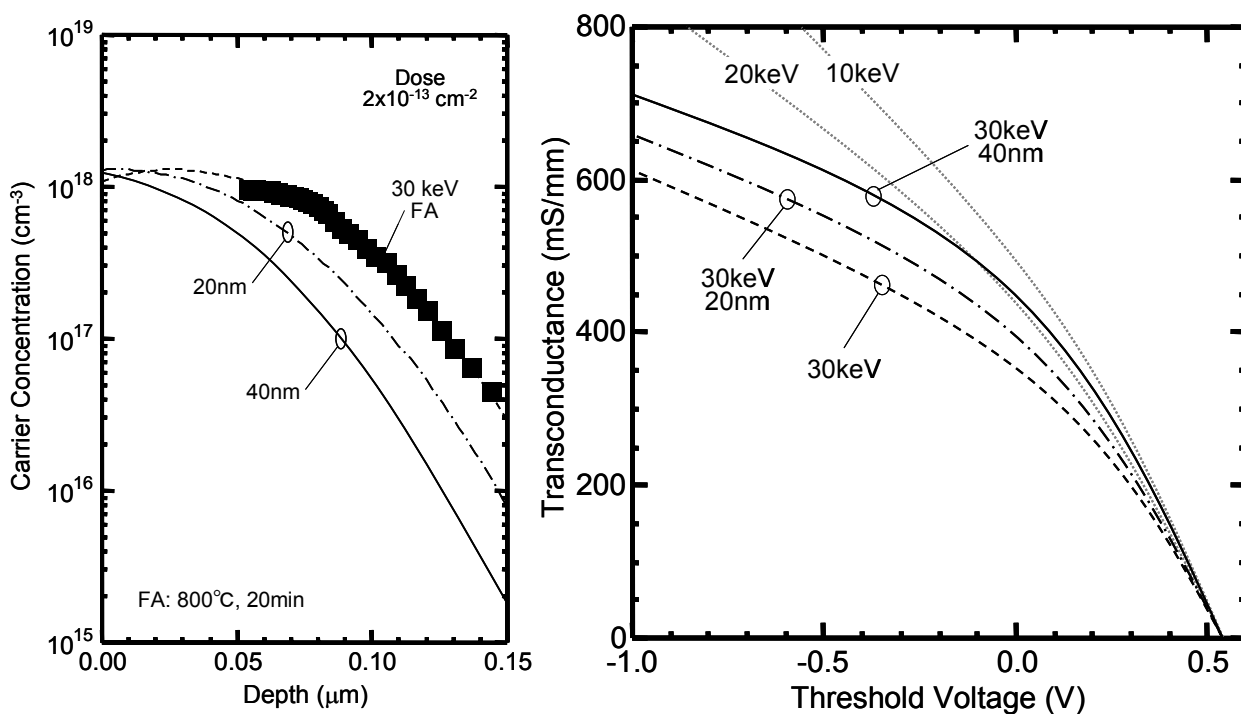
WSiNをアニール保護膜に用いた場合、表面キャリア濃度の低下を抑止することができ、高濃度注入層ほどその効果が顕著であり、チャネル層をGaAs基板の極めて表面に高濃度で薄く形成することが可能であると想定される。図2.10 (a)に各注入エネルギーについてC-V測定の結果を基にガウス分布でフィッティングしたプロファイルを示す。注入エネルギーは10、20、30keVである。10keVは900°C、2秒のランプアニール(RTA)、それ以外は800°C、20分のファーネスアニールである。プロットは杉谷らによる実測値である[29]。図2.10 (b)は、DC特性においてデバイスを評価するのに最も良い指標である相互コンダクタンスの閾値電圧依存性を示す。チャネル層プロファイルは図2.10(a)とした。ここで、ゲート長 L_g は0.5 μm 、ゲート電極・n⁺層間隔 D_{gn} は0.1 μm である。チャネル層注入エネルギーを30keVから10keVに低下させたとき、閾値電圧 $V_{\text{th}}=0\text{V}$ における相互コンダクタンスは、350mS/mm (30keV)、435mS/mm (20keV)、500mS/mm (10keV)と増加する。したがって、チャネル層を10keVまで低エネルギー化し、WSiNアニール保護膜を適用して形成すれば、相互コンダクタンス500mS/mm以上の高性能が期待される。



(a) キャリアプロファイル

(b) 相互コンダクタンスの閾値電圧依存性

図2.10 チャンネル層注入エネルギーによる特性変化



(a) キャリアプロファイル

(b) 相互コンダクタンスの閾値電圧依存性

図2.11 スルー注入膜厚による特性変化

B. スルー注入によるチャネル薄層化

チャネル層を薄層化するもう一つの方法として、スルー注入がある。イオン注入工程前に、GaAs基板の上に、 SiO_2 やSiNなどのスルー注入膜を堆積し、その膜を通してイオン注入でチャネル層を形成するものである。スルー注入膜の厚みに比例して、射影飛程 R_p が小さくなるため注入層厚が薄くなる。表2.1は、GaAs基板の上にGaAsと同じ質量数の物質をスルー注入膜として堆積した場合のキャリアプロファイルを示す。30keVイオン注入かつ電気炉アニール800°C、20分のデータを元にして、スルー注入膜分の射影飛程が小さくなると仮定した。図2.11に各スルー注入膜厚でのキャリアプロファイルの深さ方向分布を示す。スルー注入膜厚を40nmとした場合には、実効チャネル層厚が58nmとなり、注入エネルギー20keVと実効的に同等厚さのチャネルが形成可能である。

スルー注入膜厚を20nm、40nmと増加させたとき、閾値電圧 $V_{th}=0V$ における相互コンダクタンスは、チャネル層の薄層化で、350mS/mm (30keV)、395mS/mm (30keV、20nm)、445mS/mm (30keV、40nm)と増加する。スルー注入層厚が40nmの場合には、イオン注入エネルギー20keVと同等の相互コンダクタンスが得られる。しかし、閾値依存性は、30keV注入チャネル層に近く、閾値を深くしても、相互コンダクタンスがあまり伸びない。チャネル層の基板側プロファイル形状によるものと考えられる。

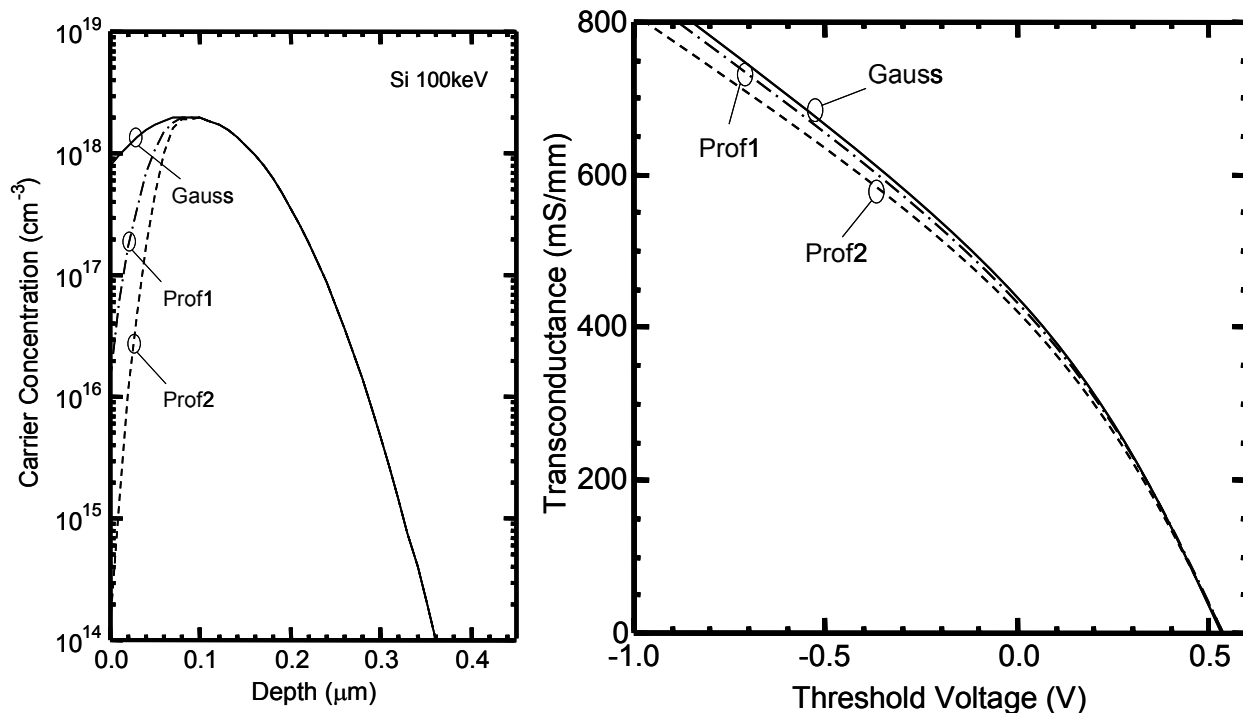
C. 表面キャリア濃度低下のデバイス特性への影響

C-1. n^+ 層表面キャリア濃度低下

GaAs基板からのAsとGaの外方拡散は、高濃度である n^+ 層で顕著であると考えられることから、まず、 n^+ 層表面キャリア濃度低下のデバイス特性への影響について評価した。デバイス構造において、 $L_g=0.5\mu\text{m}$ 、 $D_{gn}=0.1\mu\text{m}$ 、チャネル層注入エネルギー20keVとし、100keV注入による n^+ 層に対して、図2.12(a)に示すような3種のキャリア濃度プロファイルを仮定した。

- 1) Gauss分布：表2.2による通常のプロファイル
- 2) 分布1：基板表面キャリア濃度がGauss分布よりも2桁減少したプロファイル。基板側からピーク濃度まではGauss分布と同一プロファイル。
- 3) 分布2：基板表面キャリア濃度がGauss分布よりも4桁減少したプロファイル。基板側からピーク濃度まではGauss分布と同一プロファイル。

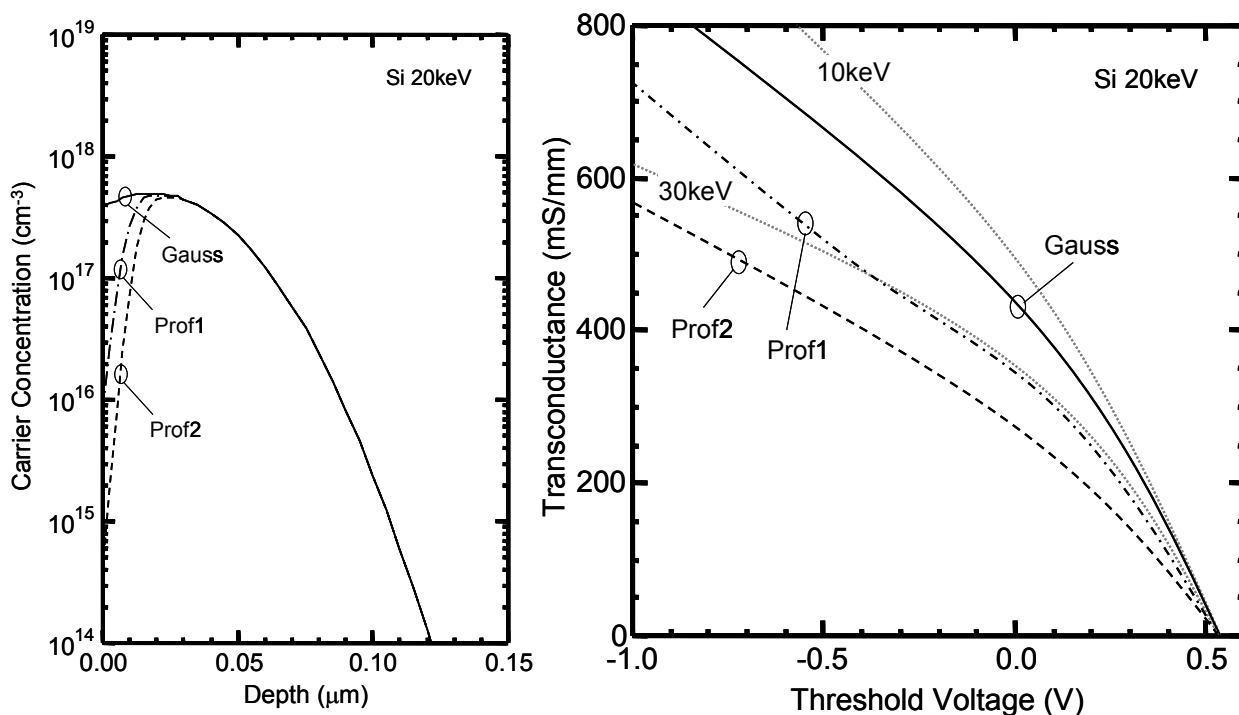
相互コンダクタンスの閾値電圧依存性を図2.12(b)に示す。ここで、閾値電圧 V_{th} は、ドレイン電圧 $V_{ds}=1V$ 、ドレイン電流 $I_{ds}=5\mu\text{A}/10\mu\text{m}$ のときのゲート電圧 V_{gs} とし、相互コンダクタンス g_m は、ドレイン電圧 $V_{ds}=1V$ 、ゲート電圧 $V_{gs}=0.5\sim 0.6V$ において計算した。図からも分かるように、2種の n^+ 層キャリア濃度プロファイルに対してほぼ同一の特性が得られた。したがって本解析からは、 n^+ 層表面キャリア濃度低下はほとんどデバイス特性に影響を与えないと考えられる。しかし、 n^+ 層の表面キャリア濃度が低下した場合、本解析では見積ることができないソース抵抗の増大を招き、真性相互コンダクタンスは同等でも外部相互コンダクタンスは低下するものと予想される。また、 n^+ 層領域における表面効果の増大も考えられ、相互コンダクタンスの周波数分散の増大、雑音指数の低下等のデバイス特性劣化が引き起こされる[28]。



(a) n^+ 層プロファイル

(b) 相互コンダクタンスの閾値電圧依存性

図2.12 n^+ 層表面キャリア濃度低下のデバイス特性への影響



(a) チャンネル層プロファイル

(b) 相互コンダクタンスの閾値電圧依存性

図2.13 チャンネル層表面キャリア濃度低下のデバイス特性への影響

C-2. チャネル層表面キャリア濃度低下

n^+ 層表面濃度低下の場合と同様に、チャネル層に対して、図2.13(a)のような3種のキャリアプロファイルを仮定した。

- 1) Gauss分布：表2.2による通常のプロファイル
- 2) 分布1：基板表面キャリア濃度がGauss分布よりも2桁減少したプロファイル。基板側からピーク濃度まではGauss分布と同一プロファイル。
- 3) 分布2：基板表面キャリア濃度がGauss分布よりも4桁減少したプロファイル。基板側からピーク濃度まではGauss分布と同一プロファイル。

以上3種のチャネル層キャリア濃度プロファイルに対する相互コンダクタンスの閾値電圧依存性を図2.13(b)に示す。 n^+ 層の場合と異なり、チャネル層表面キャリア濃度の低下はダイレクトに相互コンダクタンスの低下となっている。分布1、分布2とチャネル層表面キャリア濃度を減少させたとき、閾値電圧 $V_{th}=0V$ における相互コンダクタンスは、435mS/mm(Gauss分布)、345mS/mm(分布1)、270mS/mm(分布2)と大きく減少する。分布1の場合には、30keV注入チャネル層と同程度まで劣化してしまう。しかし、チャネル層の基板側プロファイル形状が30keV注入チャネル層よりも急峻なため、閾値電圧が小さい場合には、30keV注入チャネル層よりも良好である。

また、ピークキャリア濃度が等しいとき、分布1、2はGauss分布よりも閾値電圧が正側にシフトする。つまり分布1、2のようにチャネル層表面キャリア濃度を低下させたとき、Gauss分布と同一の閾値電圧を得るにはピークキャリア濃度を高くしなければならない。

次に、高周波小信号特性への影響を評価するために電流利得遮断周波数 f_T を算出した。寄生成分含まないデバイス真性部分のみの電流利得は、図2.14に示す真性FETの簡易等価回路から次のように与えられる。

$$h_{21} = \frac{I_2}{I_1} = \frac{g_m v_i}{2\pi f C_{gs} v_i} \quad (2.31)$$

(2.31)の電流利得は周波数の増加とともに6dB/octで減少する。電流利得遮断周波数は $|h_{21}|=1$ となる周波数として、次のように定義される。

$$f_T^{int} = \frac{g_m}{2\pi C_g} \quad (2.32)$$

添字の int は真性デバイスであることを示す。デバイスシミュレータにおいて、各バイアス条件における電流 I_{DS} および電荷 Q を算出し、(2.32)式のゲート容量 C_g および相互コンダクタンス g_m は次式により計算した。ドレイン電圧 $V_{DS}=1V$ とした。

$$C_g = \frac{Q(V_{GS} + \Delta V_{GS}, V_{DS}) - Q(V_{GS}, V_{DS})}{\Delta V_{GS}} \quad (2.33)$$

$$g_m = \frac{I_{DS}(V_{GS} + \Delta V_{GS}, V_{DS}) - I_{DS}(V_{GS}, V_{DS})}{\Delta V_{GS}} \quad (2.34)$$

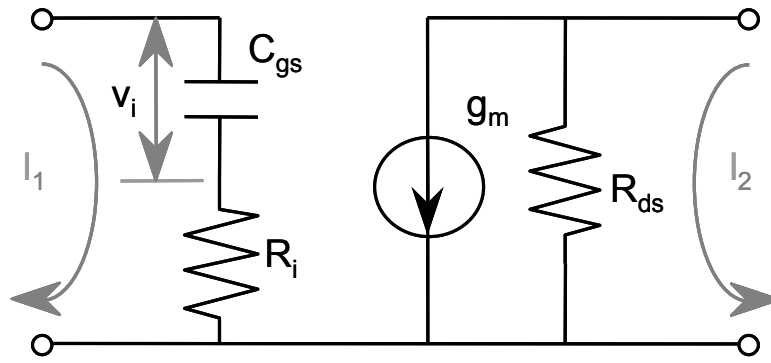
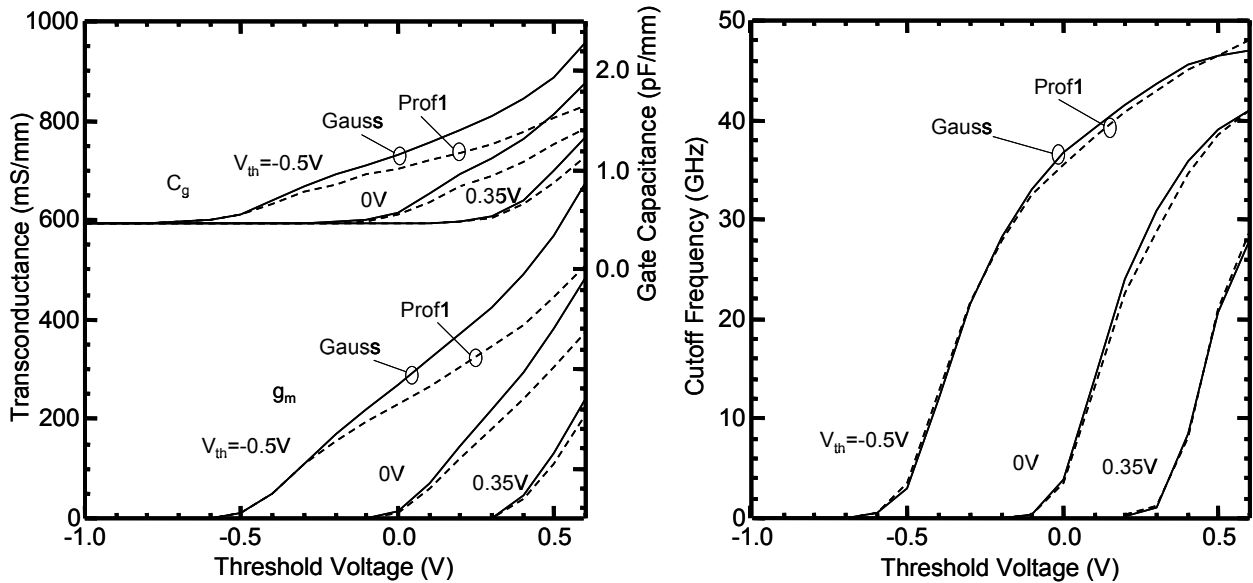


図2.14 真性FETの簡易等価回路



(a) ゲート容量および相互コンダクタンス

(b) 電流利得遮断周波数

図2.15 チャネル層キャリア濃度プロファイルと高周波特性の関係

図2.15(b)に、閾値電圧 $V_{th} = -0.5, 0, 0.35V$ について、上式を用いて算出した遮断周波数のゲート電圧依存性を示す。全ての閾値電圧に対して、分布1はGauss分布とほとんど等しい遮断周波数を与え、表面キャリア濃度低下の影響は見られない。図2.15(a)は、遮断周波数算出の元である式(2.33)、(2.34)の相互コンダクタンス g_m および真性ゲート容量 C_g のゲート電圧依存性である。表面キャリア濃度の低下した分布1では、相互コンダクタンスは図2.15(a)のように劣化するが、真性ゲート容量も同様に低下する。さらに、その相互コンダクタンス劣化分と真性ゲート容量低下分が同等であり、これが相殺して、分布1でもGauss分布と等しい遮断周波数が得られていると考えられる。

しかし、(2.32)式は寄生分を含まない真性デバイスの遮断周波数を与えるものであり、実際の遮断周波数には、以下のように浮遊容量 C_p も影響する[29]。

$$f_T = \frac{g_m}{2\pi(C_g + C_p)} = \frac{f_T^{int}}{(1 + C_p/C_g)} \quad (2.35)$$

実際の遮断周波数は $(1 + C_p/C_g)$ だけ真性遮断周波数 f_T^{int} より低くなる。浮遊容量はゲート電極のエッジ及び配線などに起因しており、無視することはできない。すなわち、相互コンダクタンス g_m と真性ゲート容量 C_g が大きいほど浮遊容量の影響 $(1 + C_p/C_g)$ を受けず、遮断周波数 f_T は大きくなるのである。したがって、分布1のようにチャネル層表面

キャリア濃度が低下したとき、実際の遮断周波数は劣化するのである。

図2.16は、閾値電圧 $V_{th} = -0.5V$ のデバイスにおける電位分布である。ここで、ゲート電圧 $V_{gs} = 0V$ 、ドレイン電圧 $V_{ds} = 1V$ である。表面キャリア濃度が低下している分布1の方が、ゲート下の空乏層は厚くなり、ゲートからチャンネルへの距離が実効的に長くなっている。平行平板近似を用いるとゲート容量 C_g は、(2.19)式から以下のように与えられる。

$$C_g = \frac{\epsilon_0 \epsilon_r}{d} = \frac{2\epsilon_0 \epsilon_r}{a+w} \quad (2.36)$$

(2.36)式から、空乏層厚 d が厚い分布1の方が、ゲート容量は小さく見える。したがって、チャンネル層表面濃度が低下することは、実効的なチャンネル厚さが厚くなることに相当する。図2.13(b)から、相互コンダクタンスに関しては、表面濃度が低下した図2.13(a)の分布1は、注入エネルギー30keV程度に相当すると考えられ、イオン注入エネルギーを高くしたことと等価となる。

以上の数値解析から、WSiNをアニール保護膜として適用してチャンネル層表面キャリア濃度低下を抑止できれば、ゲート電極とチャンネルとの実効的な距離が小さく保たれ、相互コンダクタンス、遮断周波数などのデバイス特性を十分に引き出せる可能性を有していると考えられる。

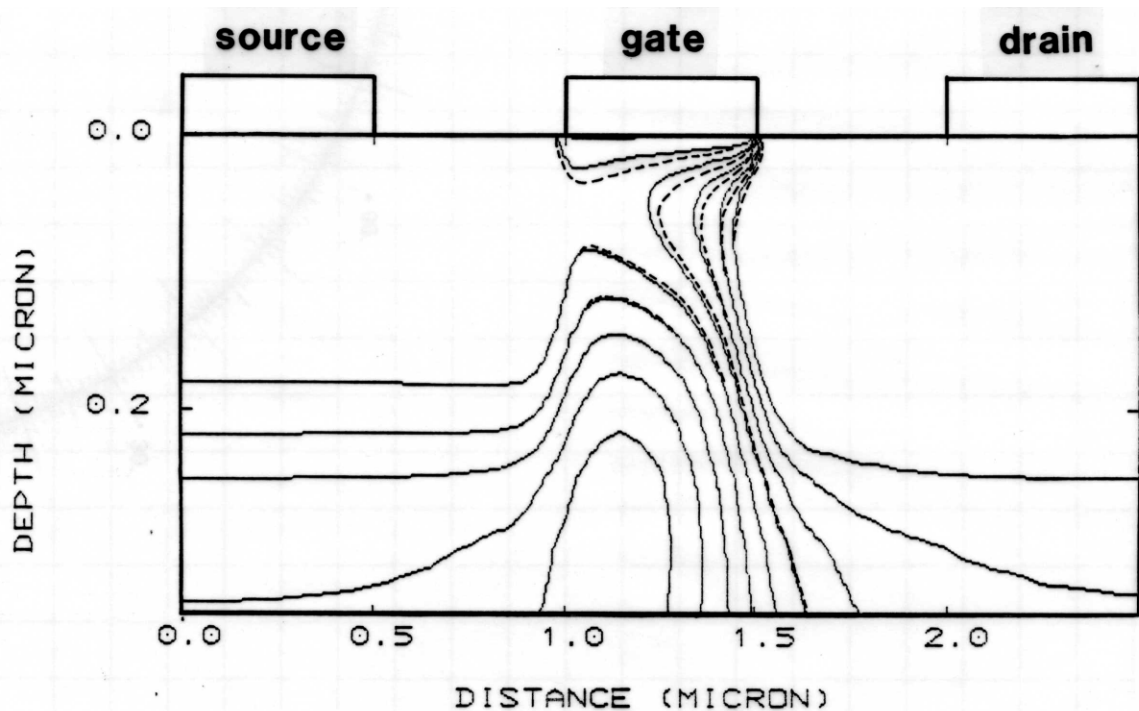


図2.16 デバイス内の電位分布
ゲート電圧 $V_{gs} = 0V$ 、ドレイン電圧 $V_{ds} = 1V$ 。
実線はGauss分布、破線は分布1。

2.5 WSiNゲートGaAs-MESFETの作製

耐熱性金属をゲート材料に用いた n^+ -自己整合型GaAs-MESFETが幅広く研究開発されている。耐熱性金属を用いたGaAs-MESFETは、簡便性、均一性、再現性の3つの点で、大きな利点がある。この技術の根幹は、ゲート材料に使用する耐熱性金属の選択である。近年、WSi[1]、WN[2]、およびWAl[3]を含め、この目的のために多くの材料が開発されている。前述したように、広範に用いられているWSiよりも、WSiNは高温熱処理に対して構造的に安定であり、良好な電気的特性が得られる。また、活性化アニール保護膜として、WSiNはチャンネル表面層からのGaおよびAsの外方拡散を抑止し、高濃度薄層チャンネルを可能にする。さらに、高温活性化アニール後もそのアモルファス状態を維持するので、微細加工性に優れ、サブミクロンゲートプロセスに適していると考えられる。

本節では、化合物半導体デバイスに対しては新興材料である耐熱性金属WSiNをゲート材料とともに、活性化アニール保護膜として用いる新しい n^+ 自己整合型GaAs-MESFET製作プロセス、および作製したデバイスの特性について述べる[30]。

2.5.1 デバイス製作技術

耐熱性金属WSiNは、 W_5Si_3 をターゲットメタルとして、Arガスに N_2 ガスを添加した混合ガス雰囲気中でスパッタリング法を用いて堆積する。 N_2 ガスを含まないArガス雰囲気ではWSiが得られ、混合ガスの N_2 ガス流量比でWSiNの窒素含有量を変えることができる。図2.17は、注入エネルギー30keV、注入ドーズ量 $1 \times 10^{13} \text{cm}^{-2}$ のSiイオン注入を行った半絶縁性GaAs基板に、混合ガスの N_2 ガス流量比を変えたWSiNを堆積し、 800°C 、20分の活性化アニールを行った試料のショットキ障壁および窒素含有量である。スパッタリング・パワーは300W、Arガスと N_2 ガスの混合ガス総流量は39sccmである。

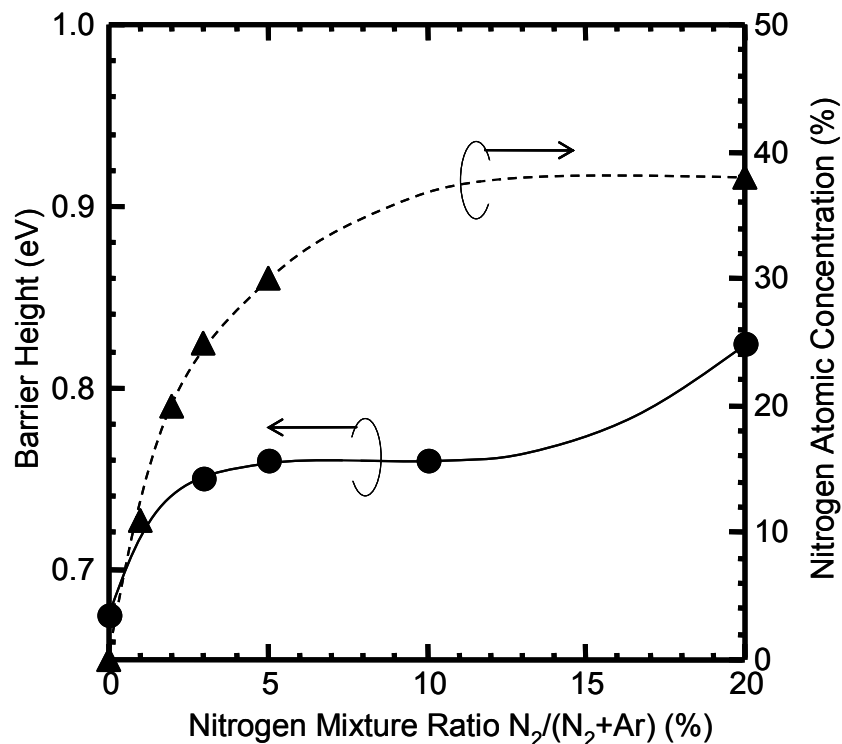


図2.17 WSiN窒素含有量およびショット障壁の N_2 ガス流量比依存性

WSiNゲートGaAs-MESFETの断面構造を図2.18に示す。このデバイスの特長は、主に以下の4点である。

- 1) 活性化アニール前にゲート電極を形成する「高融点金属ゲート構造」を採用している。簡易なプロセスで、ゲート電極の極近傍に自己整合的に n^+ 層を設けることが可能であり、GaAs表面空乏層の影響を低減し、寄生直列抵抗を減少させている。ゲート電極と n^+ 層の間隔は、 SiO_2 膜を用いたサイドウォールで自己整合的に調整可能である。
- 2) ゲート電極および活性化アニール膜として耐熱性金属WSiNを用いている。
- 3) WSiNゲート上にAuを載せた2層電極構造とし、ゲート抵抗低減を図っている。さらに、上層のAuは活性化アニールを経ており、Au本来の比抵抗値に近い。
- 4) 埋込p層を設けて、チャネル層および n^+ 層との間でpn接合を形成し、ソース領域とドレイン領域の n^+ 層間漏洩電流を抑止するとともに、実効的なチャネル層の薄層化を図っている。

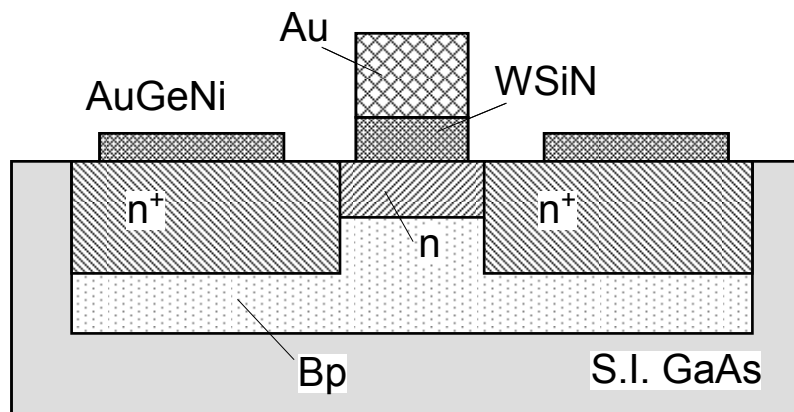


図2.18 WSiNゲートGaAs-MESFETの断面図

デバイスの製作工程は、図2.19に示すように、以下の通りである。

(a) チャネル層、埋込p層形成(図2.19(a))

デバイスは半絶縁性の3インチGaAsウエハ上に作製した。HClを用いて初期洗浄した後、 H_2SO_4 系エッチング液を用いて(100)GaAsウエハ面上にマークエッチングを行う。5:1縮小露光方式の水銀ランプi線(365nm)ステッパを用いて、フォトレジストで注入領域の開口パターンを形成し、注入エネルギー50keVのBeイオン注入で、埋込p層を形成する。同じフォトレジストマスクを用いて、Siイオン注入で、チャネル層を形成する。原料ガスは SiF_4 を用い、質量数28の CO^+ 、 N_2^+ などの分子イオンの混入を防ぐ目的で質量数29の ^{29}Si を選択する。続いて回路において抵抗体となる抵抗層を注入エネルギー30keV Siイオン注入で形成する。

(b) ゲート電極材料堆積(図2.19(b))

有機洗浄、HCl洗浄後に、GaAsウエハ上にゲート電極となるWSiN(150nm)/Au(300 nm)をスパッタリング法により順次堆積する。WSiN上のAuはゲート抵抗低減を目的として設けている。WSiNの堆積は N_2 流量比12.8%のAr、 N_2 雰囲気中で行い、WSiNの応力緩和の為に、ウエハ裏面にも堆積する。AuはAr雰囲気中でWSiNを堆積後、連続的に堆積する。ゲート電極材料の上には、ゲート電極加工マスクとなるPt(50nm)/WSiN(250nm)/ SiO_2 (100nm)を順次堆積する。

(c) ゲート電極加工マスク形成(図2. 19(c))

ゲート材料を堆積したウエハに、フォトレジストでゲート電極形状を形成する。ゲート電極フォトマスク形状の断面SEM写真を図2. 20(a)に示す。フッ素系ガス(CF₄/H₂)を用いた反応性イオンエッチング(RIE)により、このレジストマスクパターンをSiO₂膜に転写し、さらに、レジストマスク除去後に、フッ素系ガス(SF₄/H₂)を用いた反応性イオンエッチング(RIE)により、SiO₂膜ゲートマスクパターンをWSiN膜に転写する。

(d) ゲート電極加工(図2. 19(d))

WSiN膜ゲートパターンをエッチングマスクとして、Arガスを用いたミリング法でAuを加工する。Au加工後の断面SEM写真を図2. 20(b)に示す。この加工されたAuをエッチングマスクに、最終的なゲート電極であるWSiN膜を、フッ素系ガス(SF₄/H₂)を用いた反応性イオンエッチングでパターンニング形成する。

(e) 自己整合型n⁺層形成(図2. 19(e))

有機洗浄、HF洗浄後に、ゲート電極材料と同一条件でWSiN膜(20nm)をウエハ全面に堆積する。さらにウエハ全面に、Ar雰囲気中のスパッタリング法で、SiO₂膜(200nm)を堆積後、フッ素系ガス(CF₄/H₂)を用い、比較的高圧である0.1Torrの反応性イオンエッチング(RIE)により加工し、ゲート電極脇にサイドウォールを形成する。フォトレジストでn⁺層注入領域の開口パターンを形成し、チャンネル層よりも高エネルギーである、注入エネルギー60keV以上の²⁹Siイオン注入で、n⁺層を形成する。WSiNゲート電極からのオフセット量をSiO₂膜サイドウォール厚さで調整した自己整合的なn⁺層領域が形成される。

(f) 活性化アニール(図2. 19(f))

フォトレジストマスクを除去後、HF系エッチング液でSiO₂膜サイドウォールを除去する。活性化アニール保護膜としてゲート電極材料と同一条件のWSiN膜(200nm)をウエハ表面全面に堆積し、さらにSiH₄、N₂Oガスを用いたプラズマCVD法によりウエハ両面にSiO₂膜(100nm)を堆積する。高速熱処理が可能なランプアニール(900°C、2秒)または、電気炉アニール(800°C、20分)で、すべてのイオン注入層を同時に活性化、損傷回復する。活性化アニール後のゲート電極部の断面SEM写真を図2. 20(c)に示す。活性化アニール後も、WSiNに囲まれたゲート上層のAuは拡散、流出しておらず、WSiNがAuに対しても良好な拡散バリアとなっていることが分かる。

(g) ゲート電極もどし、オーミック電極形成(図2. 19(g))

HF系エッチング液でウエハ両面のSiO₂膜(100nm)を除去後、ウエハ表面の活性化アニール用保護膜としたWSiN膜(200nm)を、フッ素系ガス(SF₄/H₂)を用いた反応性イオンエッチング(RIE)により除去する。

有機洗浄、HCl洗浄後、SiH₄、NH₃ガスを用いたプラズマCVD法によりウエハ上面にSiN膜(250nm)を堆積し、水素抜き電気炉アニール(300°C、30分)を行う。SiN膜上にフォトレジストでオーミック電極領域の開口パターンを形成し、フッ素系ガス(CF₄/H₂)を用いた反応性イオンエッチング(RIE)により、オーミック電極領域の開口部のSiN膜をエッチング除去する。エッチング条件を調整することでSiN膜開口パターンがフォトレジストパターンよりも大きくなる(スペーサリフトオフ)。開口部に露出したGaAs表面を無機洗浄した後、電子ビーム蒸着法で、GaAsとオーミック接合するAuGe(150nm)/Ni(40nm)をウエハ上に順次堆積する。

(h) オーミック電極合金化(図2. 19(h))

レジストを溶解する有機液で、レジストとともに不要な堆積金属を除去するリフトオフを行い、AuGe/Niオーミック電極形状を形成する。最後に、N₂雰囲気中でホットプレートを用いたシンタ(420°C、2分)でAuGe/Niの合金化を行い、ソース電極およびドレイン電極(オーミック電極)を完成させる。図2. 20(d)に完成後のデバイス上面SEM写真を示す。

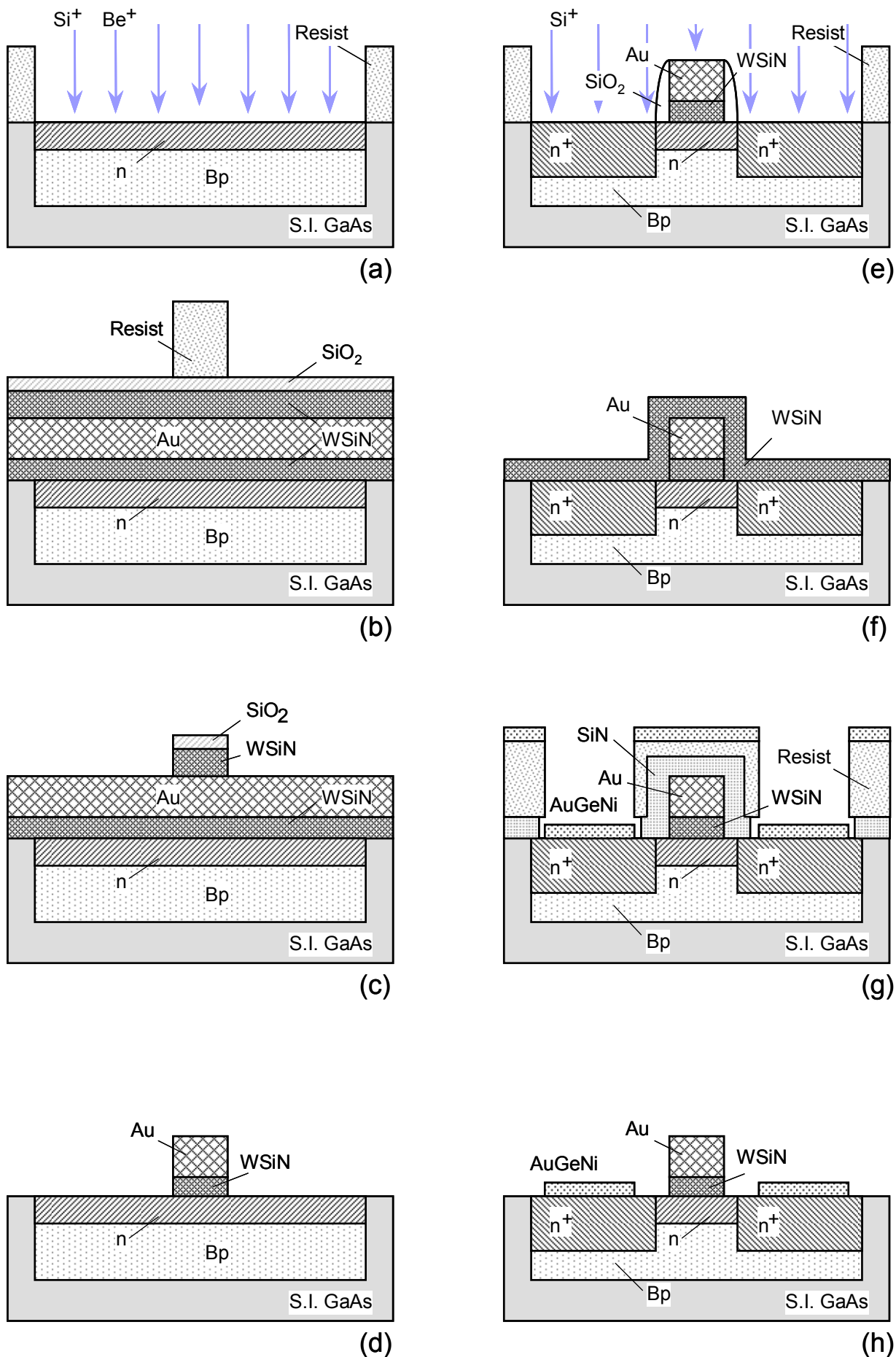
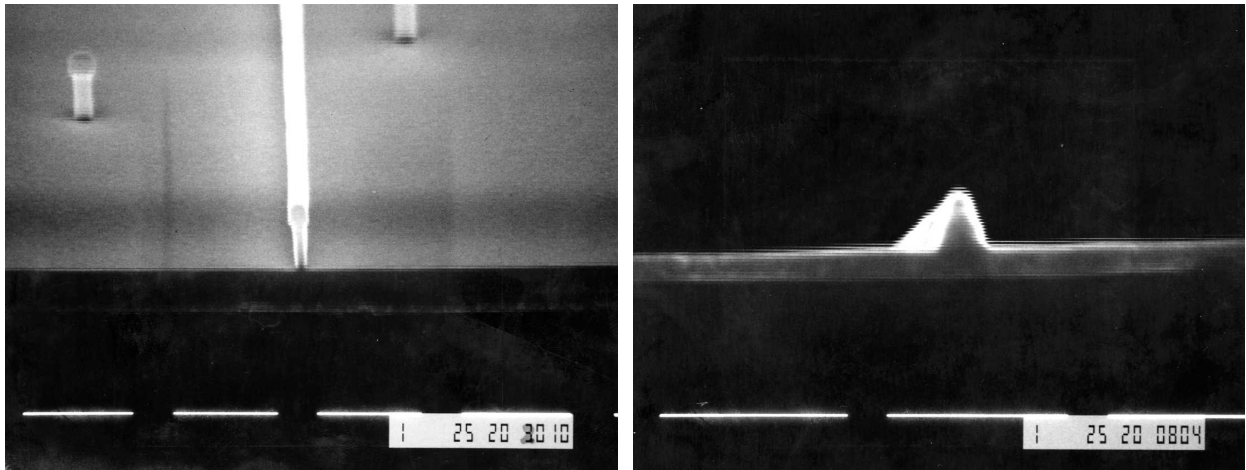
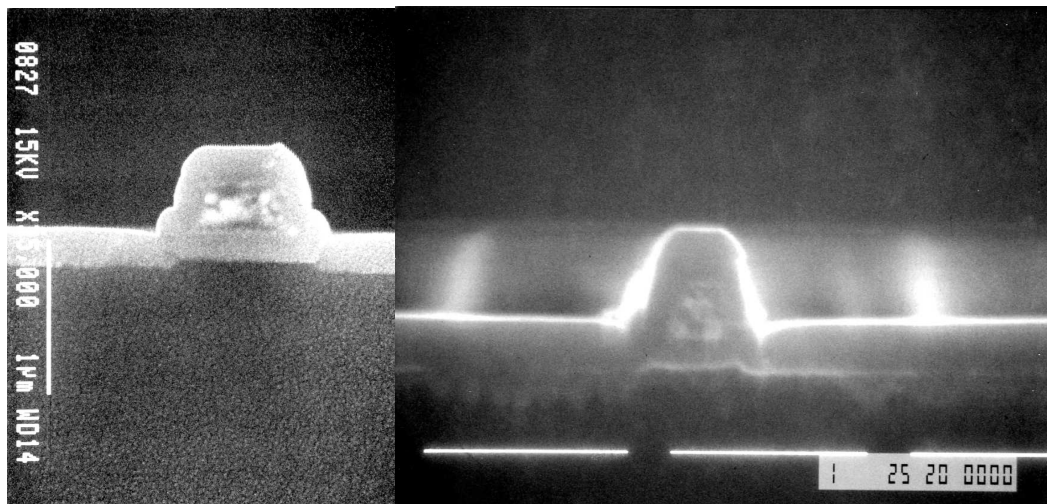


図2.19 WSiNゲートGaAs-MESFETの製作工程

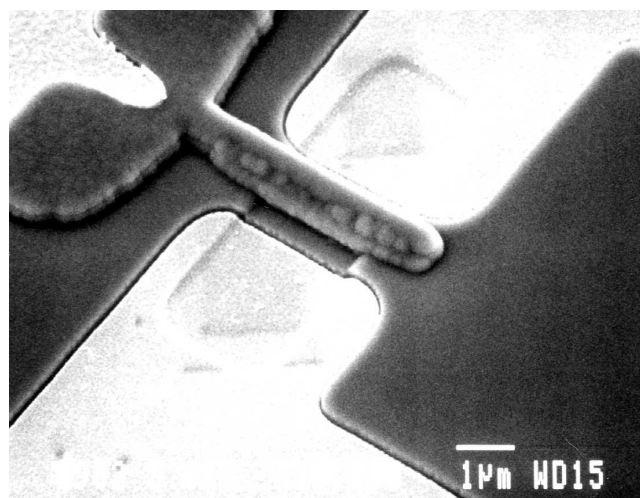


(a) ゲート電極レジストパターン

(b) ゲート電極Au加工後パターン



(c) 活性化アニール後のゲート電極断面



(d) 完成後のデバイス

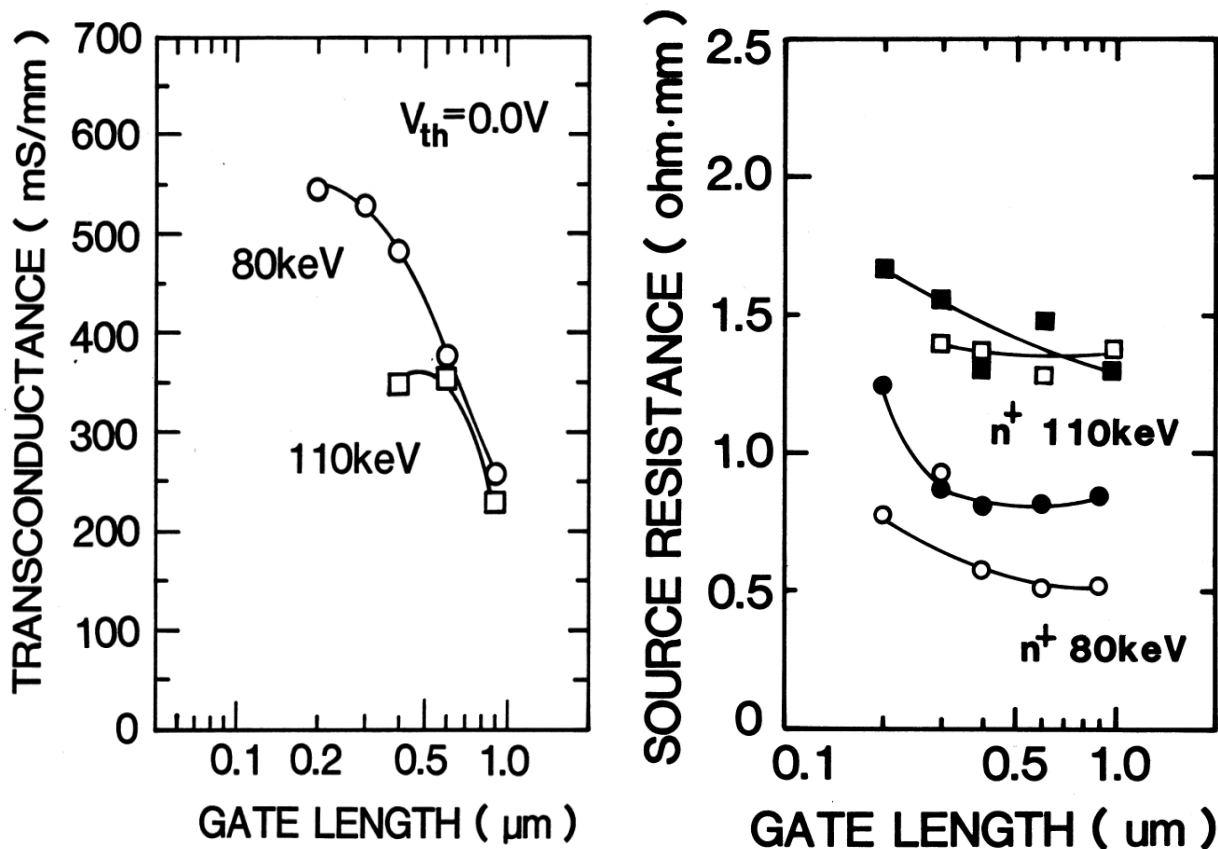
図2.20 WSiNゲートGaAs-MESFETの各製造プロセス途中のSEM写真

2.5.2 デバイス特性

イオン注入条件を表2.4に示す。チャネル層は現時点で最も低エネルギーで薄層注入層が作製可能な注入エネルギー10keVのイオン注入で作製した。n⁺層は、高濃度薄層化の効果を測るために、注入エネルギー110keVと80keVの2種類で形成した。活性化アニールは、高速熱処理である900°C、2秒で行い、保護膜にはWSiNを用いた。前項で示したように有効チャネル層厚 a_{eff} が45nmであるため、ゲート長 $0.2\mu m$ まで、アスペクト比 $L_g/a_{eff} \gg 3$ であり[31]、チャネル層内での短チャネル効果の原因となる2次元電界効果は抑止されると考えられる。

表2.4 10keV注入チャネルデバイスのイオン注入条件

	イオン種	E (keV)	Φ (cm ⁻²)
チャネル層	Si	10	1.9×10^{13}
n ⁺ 層	Si	80	8.3×10^{13}
	Si	110	1.0×10^{14}
埋込p層	Be	50	2.0×10^{12}



(a) 相互コンダクタンスのゲート長依存性

(b) シート抵抗のゲート長依存性

図2.21 n⁺層注入エネルギーの違いによるdc特性比較

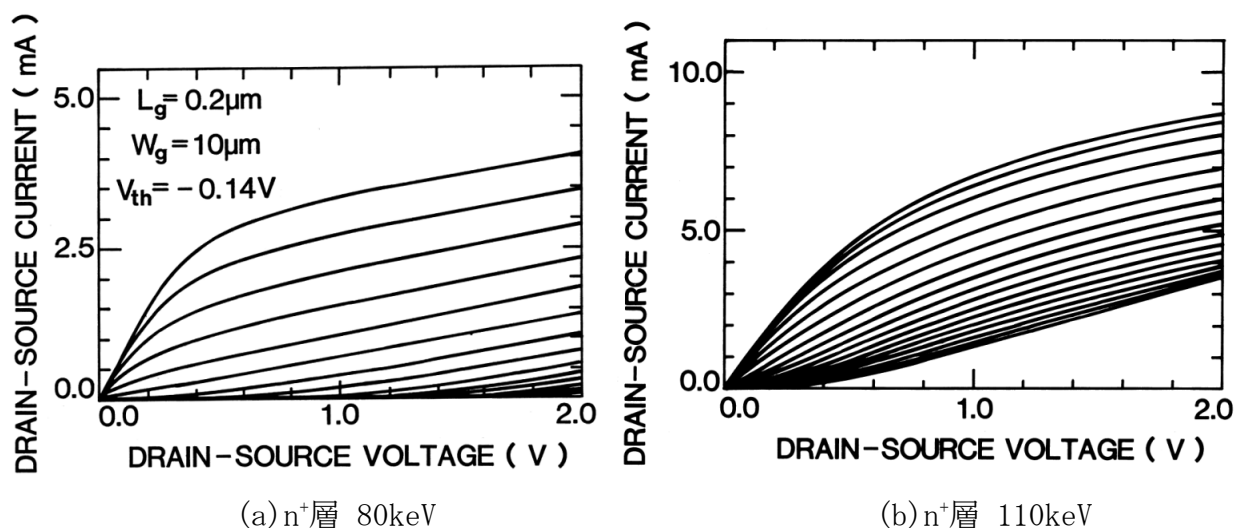
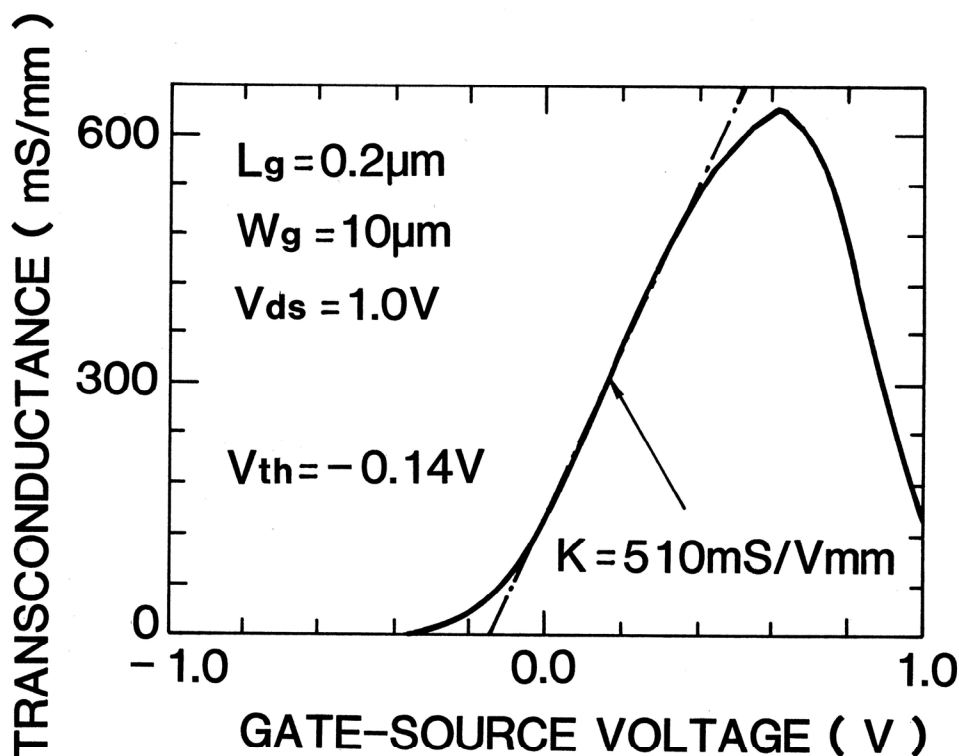
図2.22 ゲート長 $0.2 \mu\text{m}$ GaAs-MESFETのドレインI-V特性図2.23 相互コンダクタンスのゲート電圧依存性(80keV注入 n^+ 層)

図2.21(a)に作製したGaAs-MESFETの相互コンダクタンスのゲート長依存性を、ソースおよびドレイン n^+ コンタクト領域の注入エネルギー80keVおよび110keVの比較で示す。短チャネル効果などともなう閾値電圧シフトの影響を除き、 n^+ コンタクト領域の注入エネルギーの影響を正確に評価する為に、閾値電圧は0Vに統一した。 n^+ コンタクト領域の注入エネルギーを80keVまで低下させることで、ゲート長 $0.2 \mu\text{m}$ までのどのゲート長においても相互コンダクタンスの向上が見られ、単調に増大している。この良好な特性は、薄層 n^+ コンタクト領域を用いることで、基板漏洩電流ともなう短チャネル効果が十分に抑制できた結果であると考えられる。図2.21(b)に示すように I_d-V_g 特性から見積ったゲート

抵抗は $0.51\ \Omega\text{mm}$ であり、 n^+ コンタクト領域のシート抵抗は $220\ \Omega/\square$ 以下であった。これに対し、注入エネルギー 110keV では、ゲート長 $0.4\ \mu\text{m}$ 以下において相互コンダクタンスが飽和または減少してしまう。これは n^+ コンタクト領域間の基板漏洩電流に起因している。さらに、 $0.4\ \mu\text{m}$ 以上の長いゲート長においても注入エネルギー 110keV は 80keV よりも低い相互コンダクタンスを示している。この原因は、 $1.4\ \Omega\text{mm}$ と大きなゲート抵抗に起因するものと考えられる。この大きなゲート抵抗は $220\ \Omega/\square$ 以下という小さなシート抵抗からは説明できない。注入エネルギー 110keV と厚い n^+ コンタクト領域が、注入エネルギー 10keV で作製した薄層チャネルと整合が良くないためであると考えられる。LSS理論から、薄層チャネル層と n^+ コンタクト領域との接続点では約20%のキャリア濃度の差異があるとともに、接続近傍では、電流パスに不連続が生じている可能性が考えられる。

図2.22に、 n^+ コンタクト領域を注入エネルギー 80keV および 110keV で作製したゲート長 $0.2\ \mu\text{m}$ GaAs-MESFETのドレインI-V特性を示す。80keV注入の場合、ピンチオフ特性は良好であり、チャネル層内2次元電界効果および基板漏洩電流に起因する短チャネル効果は十分に抑制されている。閾値電圧は $V_{\text{th}}=-0.14\ \text{V}$ 。ドレイン電圧 $V_{\text{ds}}=1.0\ \text{V}$ 、ゲート電圧 $V_{\text{gs}}=0.6, 0.7\ \text{V}$ 間における相互コンダクタンスは 616mS/mm と良好であった。これに対し、110keV注入の場合、ゲート電圧をいくら負に振り込んでも、ゲート電圧で制御不能な基板漏洩電流が流れ、ドレイン電流はピンチオフしていない。

図2.23に、図2.22(a)と同一デバイスの相互コンダクタンスのゲート電圧依存性を示す。ドレイン電圧は $1.0\ \text{V}$ である。相互コンダクタンスの最大値およびK値として、それぞれ、 $630\ \text{mS/mm}$ と $510\ \text{mS/Vmm}$ が得られた。このトランスコンダクタンは今までGaAs-MESFETで報告された最高値である。今回作製したデバイスの埋込p層に関しては、100%活性化を仮定しており、また、最適化もされていない。しかし、真性ゲート容量はほとんどチャネル層に関係し、埋込p層には影響されないとの報告もある[32]。したがって、今回使用した比較的高濃度な埋込p層は、デバイスの高周波特性、特に電流遮断周波数 f_T の低下を引き起こす要因にはならないと考えられる。

2.6 デバイス内電子速度見積り

図2.24に示すように高速性の尺度となる電流遮断周波数はゲート長短縮とともに増大して、ゲート長 $0.2\mu\text{m}$ において 96GHz であった。このときの電子飽和速度はGaAsバルクの約80%増しの $1.8 \times 10^7\text{cm/sec}$ と見積られ、非定常効果が現れているものと期待される。そこで、デバイス内部現象の把握、およびデバイス性能予測のために、2次元数値解析を行い、WSiNゲートGaAs-MESFETのI-V特性を基に電子飽和速度の見積りを行った。

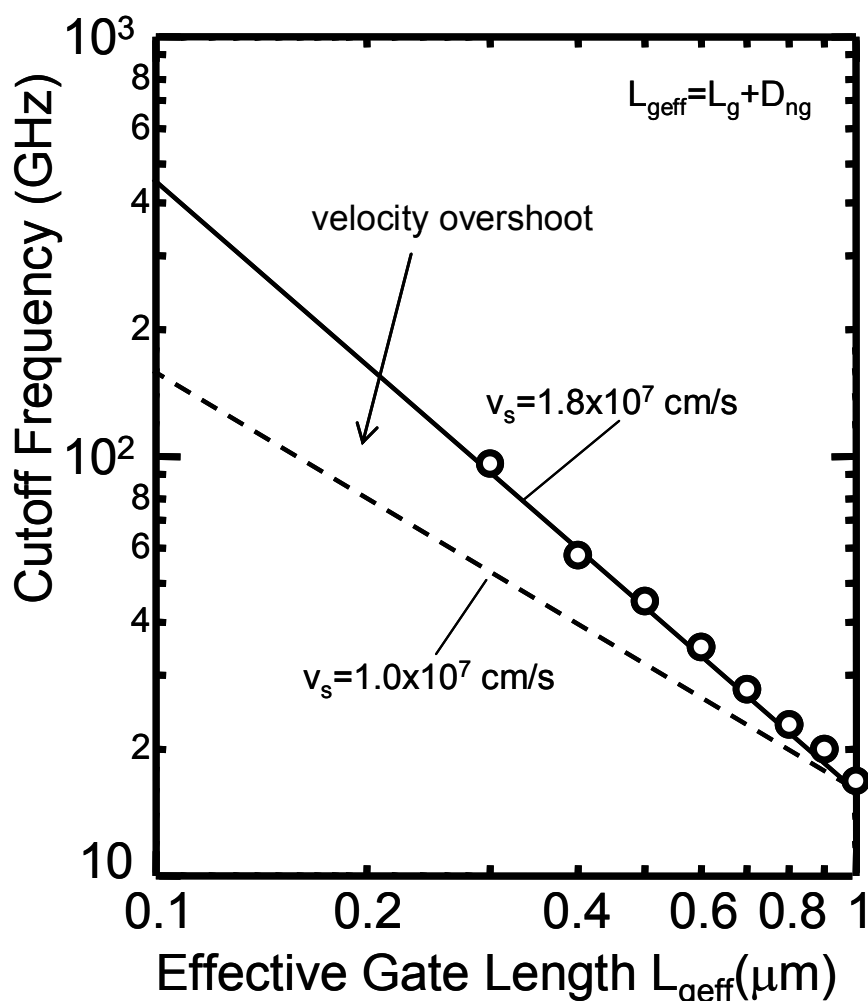


図2.24 電流遮断周波数の有効ゲート長依存性
 n^+ ゲート間隔 $D_{\text{gn}}=0.1\mu\text{m}$ であり、 n^+ 層の横方向広がり D_{gn} に比較して無視できるため、有効ゲート長 L_{eff} は、 $L_{\text{eff}}=L_g+D_{\text{gn}}$ とした。

2.6.1 解析方法

数値解析には、2次元デバイス数値解析プログラムTRANAL[22, 23]を用いた。GaAs中に電子及び正孔の2種のキャリアを考慮した。電子速度の電界依存性として、(2.25)を用い、実効的電子飽和速度 v_s は非定常効果を考慮して、実測値へのフィッティングパラメータとした。デバイス構造は、図2.25に示すように、埋込p層 n^+ 自己整合型構造であり、ゲート幅 $W_g=10\mu\text{m}$ 、ゲート・ n^+ 層間隔 $D_{\text{sn}}=0.1\mu\text{m}$ 、デバイス厚み $0.5\mu\text{m}$ とした。また、ゲート長 $L_g=0.2\mu\text{m}\sim 0.9\mu\text{m}$ において、デバイス横方向長さ $(L_g+3.4)\mu\text{m}$ とした。ショットキ障

壁高さ ϕ_{bn} はGaAsの標準的な値である0.8eVとし、GaAsの不純物濃度依存性は考慮していない。さらに、本解析プログラムでは活性化率の定義ができないので、ソース抵抗、ドレイン抵抗を実測値にフィッティングするために、ソース電極およびドレイン電極の下に抵抗層である n_r 層を設けた。

注入層プロファイルを表2.5に示す。チャネル層および n^+ 層はSiイオン注入、埋込p層はBeイオン注入であり、RTAアニール900°C、2秒のC-Vプロファイルの実測結果から得ている。射影飛程 R_p はLSS理論の値を用い、注入およびアニールにおける拡散の効果はすべて飛程標準偏差 ΔR_p に組み込んだ。ただし、埋込p層のプロファイルはデバイス特性に大きな影響を与えないので、簡単のため飛程標準偏差 ΔR_p もLSS理論の値を用いた。ソースおよびドレイン抵抗フィッティングのための n_r 層は、ピーク濃度 N_p 、射影飛程 R_p は一定とし、飛程標準偏差 ΔR_p^{nr} のみを変化させた。

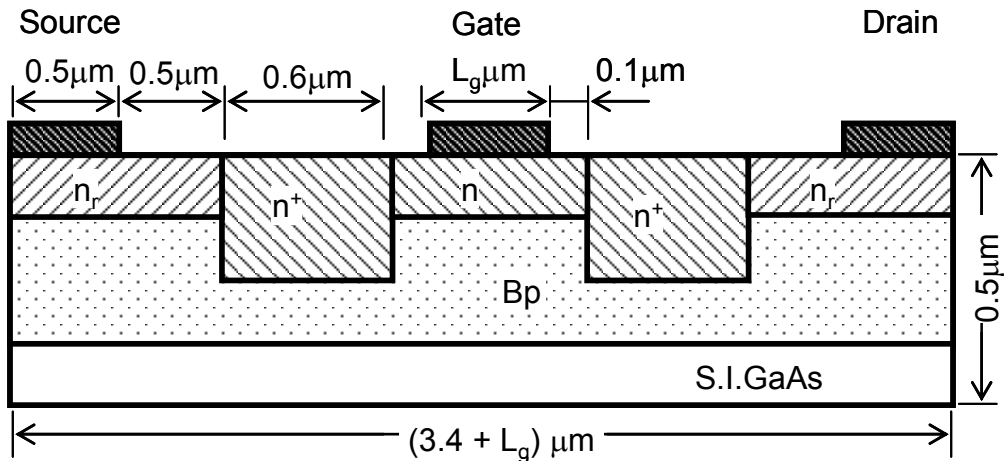


図2.25 解析に用いたGaAs-MESFETの構造

ゲート長 L_g 、ゲート幅 $10\mu\text{m}$ 、ゲート・ n^+ 層間隔 $0.1\mu\text{m}$ 、デバイス厚 $0.5\mu\text{m}$ 、デバイス横方向長さ $(L_g+3.4)\mu\text{m}$ 。ショットキ障壁高さ $\phi_{bn}=0.8\text{eV}$ 。

表2.5 注入層のキャリアプロファイル

	E (keV)	N_p (cm ⁻³)	R_p (μm)	ΔR_p (μm)
チャネル層	10	N_p^n	0.0103	0.0217
n^+ 層	80	2.0×10^{18}	0.0677	0.0554
埋込p層	50	9.0×10^{16}	0.1588	0.0886
n_r 層	-	1.0×10^{18}	0	ΔR_p^{nr}

ゲート長 $0.9\mu\text{m} \sim 0.2\mu\text{m}$ のWSiNゲ- GaAs-MESFETにおいて実測した、I-V特性および閾値電圧シフト($\Delta V_{th}-L_g$)をフィッティングすることによって、実効電子飽和速度 v_s を決定する。実効電子飽和速度 v_s を決定するフローは以下の通りである。

- 1) 抵抗層である n_r 層の飛程標準偏差 ΔR_p^{nr} を変化させ、ソース抵抗およびドレイン抵抗を実測値にフィッティングする。
- 2) 表2.5の注入プロファイルを用いて、ゲート長の一番長い $0.9\mu\text{m}$ の閾値電圧を実測

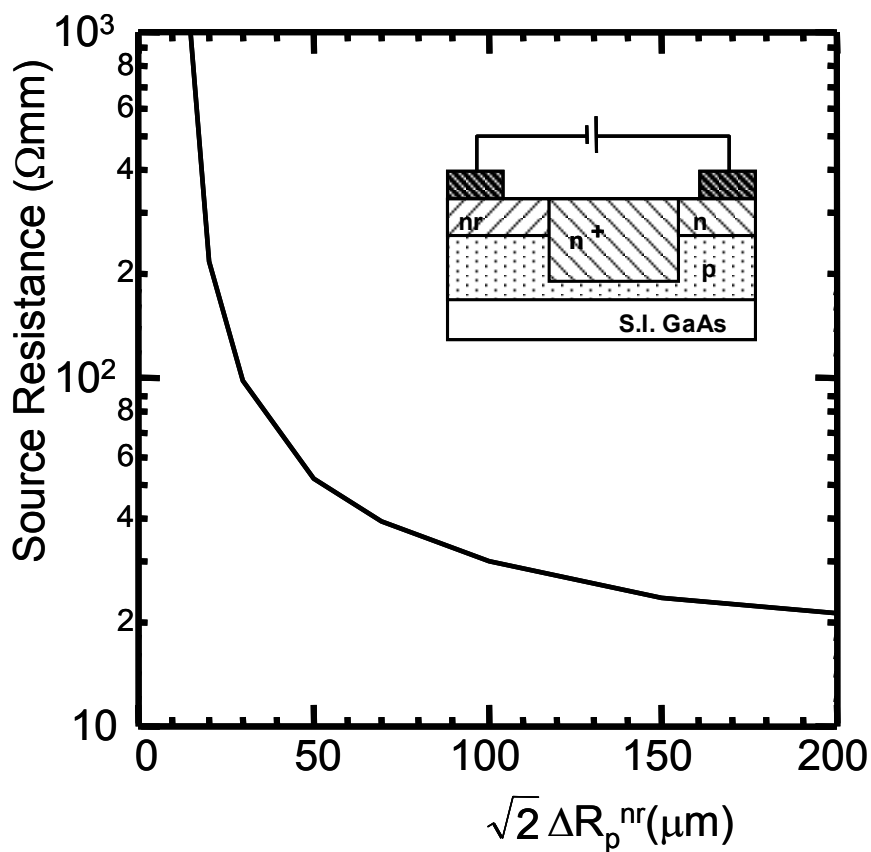


図2.26 抵抗 n^+ 層の飛程標準偏差とソース抵抗の関係

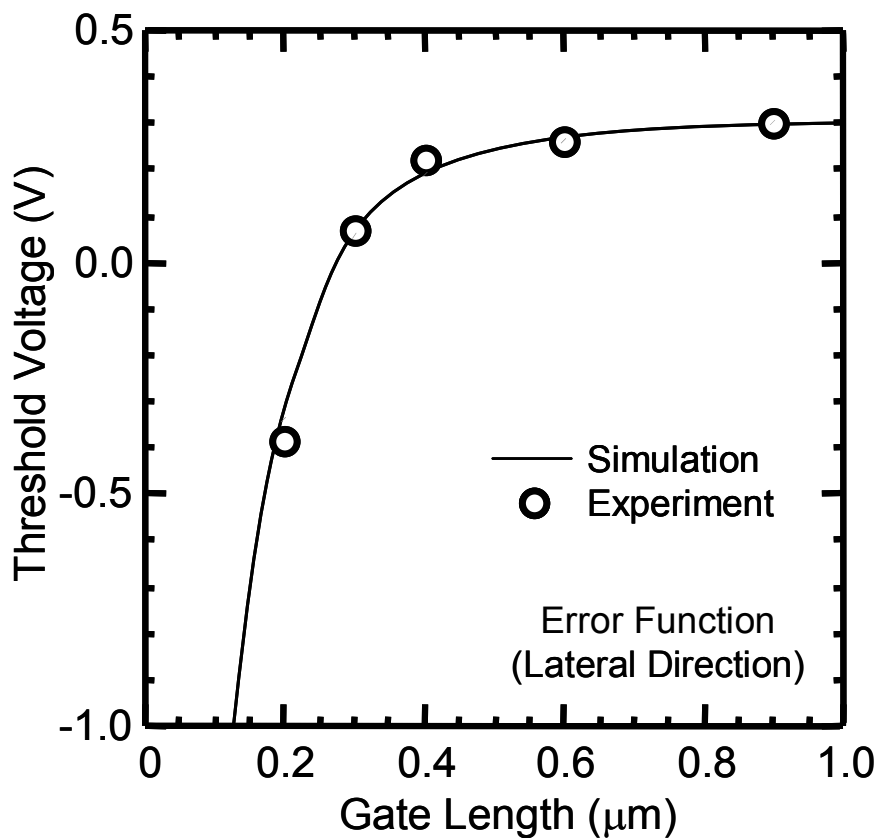


図2.27 閾値電圧のゲート長依存性

値にフィッティングする。このとき、チャンネル層キャリア濃度 N_p^n のみを変化させ、こ

れを決定する。ここで、閾値付近では、ドレイン電流は実効飽和速度 v_s に殆ど依存しないので、初期値は $2.3 \times 10^7 \text{ cm/s}$ とした。

3) 次に、2) で決定したチャネル層キャリア濃度 N_p^n を用いて、ゲート長 $0.2 \mu\text{m}$ までの閾値電圧を算出し、実測値と比較する。実測値にフィッティングする為に、ここでは、埋込p層の活性化率を変化させるか、又は、 n^+ 注入層の横方向濃度プロファイルを変化させる。

4) 以上の1~3) で、デバイスの注入層が決定したので、これを用いて実効飽和速度 v_s のみを変化させて、実測したI-V特性とのフィッティングを行い、最終的に実効飽和速度 v_s を決定する。

図2. 26の挿入図に示すように、図2. 25のFETの片側半分を切り出し、ゲート電極をオーミック接合電極とした構造のゲート・ソース間I-V特性から、ソース抵抗を算出した。 n_r 層の飛程標準偏差 ΔR_p^{nr} を変化させたときのソース抵抗は図2. 26のようになり、飛程標準偏差を小さくするとソース抵抗は急激に増大する。実測したGaAs-MESFETのソース抵抗は $0.5 \Omega\text{mm}$ であるから、抵抗 n_r 層の飛程標準偏差を $\sqrt{2} \Delta R_p^{nr} = 53\text{nm}$ とした。

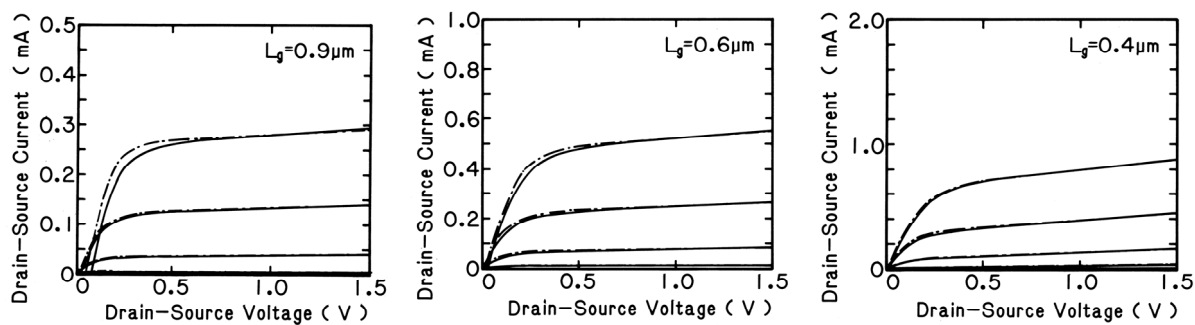
n^+ 注入層の横方向濃度プロファイルは深さ方向とは異なる誤差関数を仮定し、

$$N(x) = \frac{N_p}{\sqrt{\pi}} \operatorname{erfc}\left(\frac{x-a}{\sqrt{2}\Delta X}\right) \exp\left(-\frac{(x-R_p)^2}{2\Delta R_p^2}\right) \quad (2.37)$$

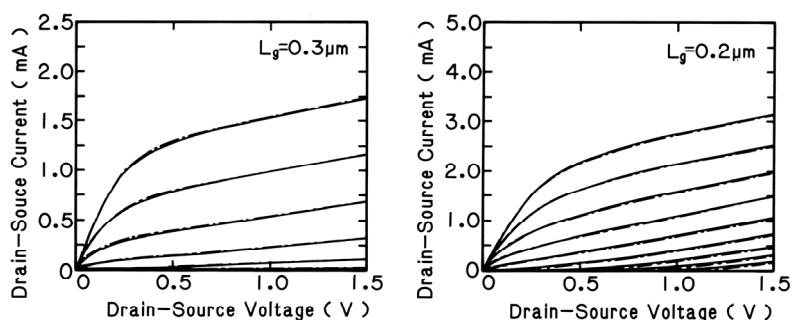
とした。ここで、横方向注入層広がりの特徴づける誤差関数の標準偏差 ΔX は、質量の軽い注入イオン種では飛程標準偏差 ΔR_p よりも大きく、質量の重い注入イオン種では飛程標準偏差 ΔR_p よりも小さい。Si程度の質量のイオン種においては、標準偏差 ΔX は飛程標準偏差 ΔR_p とほぼ等しいとしても差し支えないので、今回の計算では、 $\Delta X = \Delta R_p$ と仮定した[27]。この n^+ 注入層キャリアプロファイルを用いて算出した閾値電圧のゲート長依存性を図2. 27に示す。ここで、埋込p層の活性化率は100%とした。ゲート長 $0.4 \mu\text{m}$ 以下においても、実測値と計算値は十分に良い一致を示している。

2.6.2 実効電子飽和速度

以上の注入層キャリア濃度プロファイルを用いて、ゲート長 $0.2 \mu\text{m} \sim 0.9 \mu\text{m}$ における、I-V特性のフィッティングおよび実効飽和速度 v_s の決定を行った。図2. 28(a)-(e)にフィッティング後のI-V特性を示す。ここで、実線は実測値、一点鎖線は2次元数値解析による結果である。 $0.4 \mu\text{m}$ 以下の微細ゲート長においては、計算値と実測値は大変良く一致している。ゲート長 $0.6 \mu\text{m}$ と $0.9 \mu\text{m}$ の場合には、高いゲート電圧で実測値とのずれが大きくなる傾向にある。このずれは、ゲートリーク電流に起因する。図2. 29は、ゲートリーク電流のゲート長依存性である。ゲート電圧 $V_g = 0.6\text{V}$ 、ドレイン開放としたときの、計算値および測定値である。実線が実測値、破線が計算値である。実測値はゲート長に比例してゲートリーク電流が増加する。一方、計算値は $100 \text{ mA} \sim 150\text{mA}$ に収まっており、長ゲートにおけるゲートリーク電流の急激な増大はない。このずれは、数値解析において、ゲート・ショットキ障壁が、障壁高さ 0.8V だけで特徴づけられる簡単なモデルで記述しているためである。このゲートリーク電流のずれがI-V特性に影響し、ゲート電圧が正側へ高くなるに従い、I-V特性の計算値は実測値からずれてしまうのである。



(a) ゲート長 $0.9 \mu\text{m}$ (b) ゲート長 $0.6 \mu\text{m}$ (c) ゲート長 $0.4 \mu\text{m}$



(d) ゲート長 $0.3 \mu\text{m}$ (e) ゲート長 $0.2 \mu\text{m}$

図2.28 I-V特性のフィッティング結果。実線は実測値、破線は計算値。

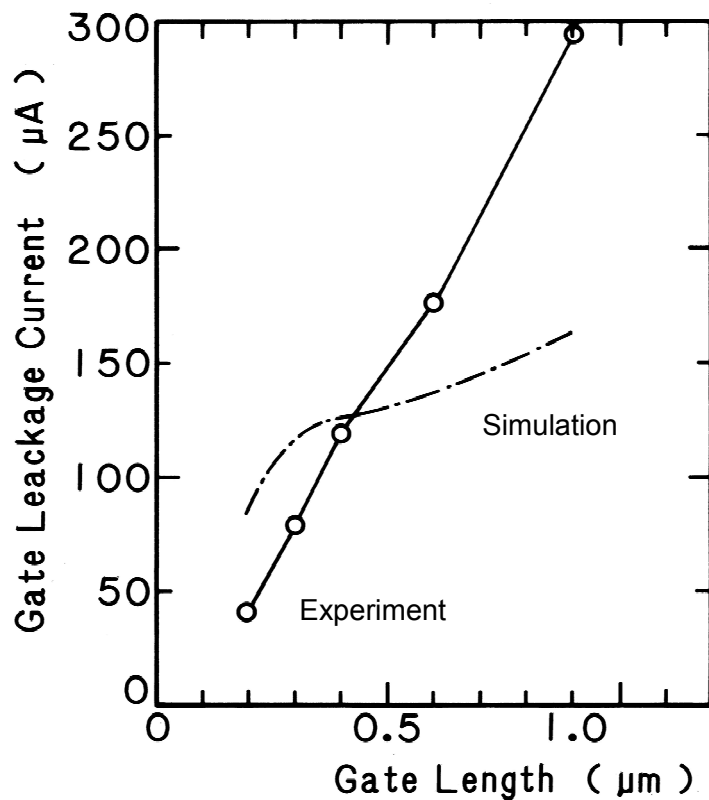


図2.29 ゲートリーク電流のゲート長依存性。実線は実測値、破線は計算値。

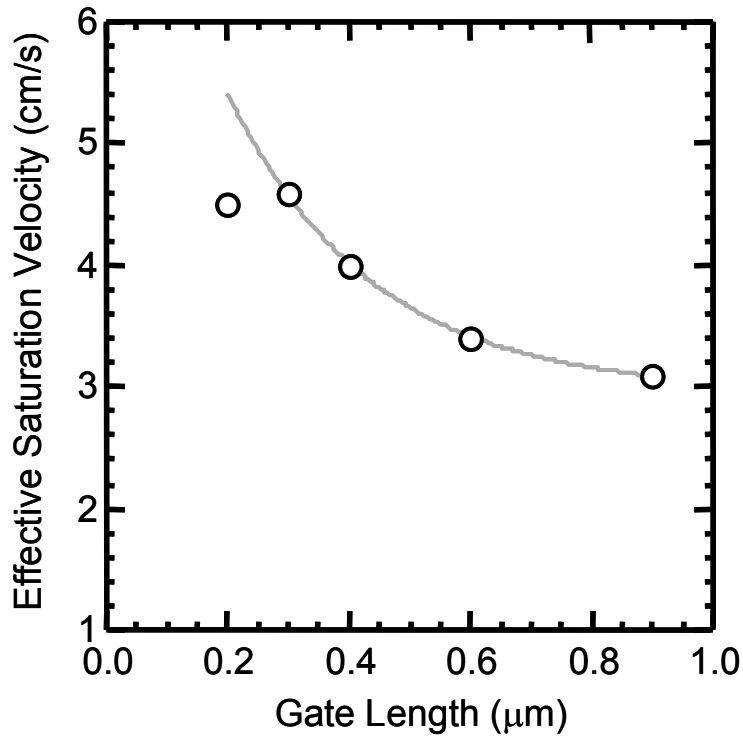


図2.30 I-V特性のフィッティングをしたときの実効飽和速度のゲート長依存性

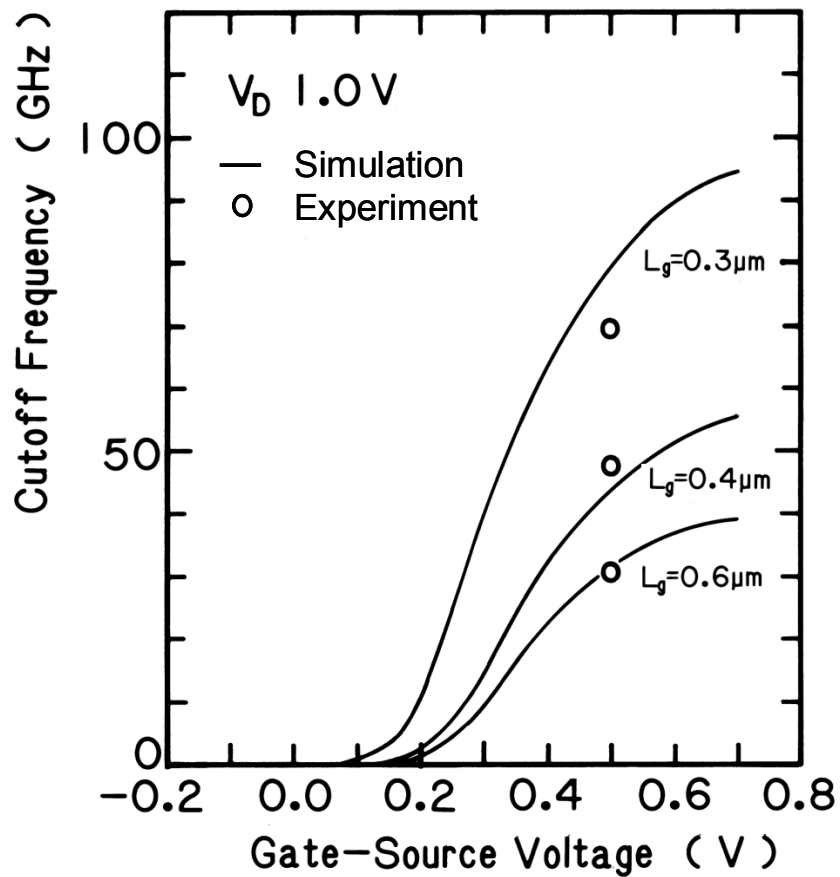


図2.31 遮断周波数のゲート長依存性。実線は計算値、プロットは実測値

図2.28でI-V特性をフィッティングしたときの実効飽和速度 v_s のゲート長依存性を図2.30に示す。ゲート長の短縮とともに、実効飽和速度は大きくなり、ゲート長 $0.9\mu\text{m}$ では $3.1 \times 10^7\text{cm/sec}$ であったのが、ゲート長 $0.3\mu\text{m}$ において $4.6 \times 10^7\text{cm/sec}$ となり、非定常効果が表れていると考えられる。また、ゲート長 $0.2\mu\text{m}$ において実効飽和速度が飽和しているのは、短チャンネル効果により、閾値電圧が負側へ大きくシフトしてしまったためである。

次に、決定した実効電子飽和速度で、小信号特性まで予測できるかどうか検証するために、遮断周波数の算出を行った。(2.31)～(2.34)を用いて算出した遮断周波数のゲート電圧依存性を図2.31に示す。ドレイン電圧 $V_{ds}=1\text{V}$ とした。実線が数値計算で算出した値であり、プロットがゲート電圧 0.5V における実測値である。10%以内の誤差で一致しており、この実効飽和速度を用いた2次元数値解析が、小信号特性まで有効であることがわかる。

2.6.3 考察

A. ゲート長 $0.2\mu\text{m}$ での実効飽和速度低下について

図2.32に算出した相互コンダクタンスの閾値電圧依存性を示す。プロット●○はチャネル層キャリア濃度が異なるデバイスの実測値である。また●は、フィッティングに用いたデバイスである。閾値電圧 $V_{th} \geq 0\text{V}$ のE-FETにおいては、本モデルによる計算値は実測値と充分良い一致を示しているが、閾値電圧が負側のD-FETなるほど計算値は相互コンダクタンスを大きく見積りすぎている。例えば、ゲート長 $0.3\mu\text{m}$ の場合、○の実測値は計算値を大きく下回り、ゲート長 $0.4\mu\text{m}$ の計算値上に載っている。したがって、このゲート長 $0.3\mu\text{m}$ D-FETの実測値からは、ゲート長 $0.4\mu\text{m}$ FET程度の実効飽和速度しか得られないことになる。ゲート長 $0.2\mu\text{m}$ において実効飽和速度が飽和しているのは、短チャンネル効果により、閾値電圧が負側へ大きくシフトしてしまったことが大きな原因である。ゲート長 $0.2\mu\text{m}$ E-FETでフィッティングを行い、実効飽和速度を算出すれば、図2.30の線上の値、 $5.4 \times 10^7\text{cm/sec}$ が得られる。また、この実効飽和速度及びフィッティングが有効なのはE-FETに限られる。D-FETにおいて、本モデルが有効でない原因としては、活性化率低下による実際のD-FETチャネルの厚層化、チャネル不純物の増加、チャネル形状がガウス分布ではなく上詰まりになっている、また、本解析プログラムTRANALは流体モデルである為、電位分布が実物を反映していないなどの理由が考えられる[33]。

B. 大きな実効飽和速度について

解析に用いたTRANALは流体シミュレータであり、緩和時間近似シミュレータや、モンテカルロシミュレータとは異なり、運動量緩和時間やエネルギー緩和時間を考慮していない。このため、キャリアは電圧印加と同時に電界に応じたエネルギーを有し、ゲート電極ドレイン端のポテンシャルが実際よりも急峻となり、キャリアの蓄積を大きく見積り過ぎてしまうという欠点がある。この結果、電流が実際よりも少なく見積られる。流体モデルシミュレータでは、この電流の減少を、実効飽和速度を大きくすることによって補正している。 $0.9\mu\text{m}$ という非定常効果が発生する可能性が少ないゲート長において、実効飽和速度が $3.1 \times 10^7\text{cm/sec}$ と大きいのはこのためである。図2.33は、流体シミュレーションから得られたチャネル内の電子速度分布を示す。 $0.9\mu\text{m} \sim 0.3\mu\text{m}$ のどのゲート長においても、ドレイン端 $1 \sim 1.5\mu\text{m}$ のみで急峻に飽和速度に達している。実際には、ドレイン端におけるポテンシャルがもっと緩やかであり、飽和速度で走行する距離も長い。

流体シミュレータ特有のこの効果分を取り除くために、以下の計算を行った。2.2.2項で示したレホーベック・ツーリングモデルに従えば、ドレイン電流は(2.13)式によって表される。実効飽和速度に関係するのは分母だけなので、これを以下のように置く。

$$D_{den} = 1 + \frac{\mu V_p}{v_s L_g} (u_2^2 - u_1^2) \quad (2.38)$$

また、ゲート長が短縮するほど、粒子シミュレータを用いた場合の方が流体シミュレータを用いた場合よりも、ドレイン電流は大きくなり、そのドレイン電流比 F_u は富沢らの計算によれば図2.34のようになる[34]。 D_{den} 値の比は、このドレイン電流比と等しいと考えて良い。したがって、流体シミュレータ特有の飽和速度の増加分を取り去った実効飽和速度は、以下のように表される。

$$\frac{1}{v_s^o} = \frac{F_u}{v_s^T} + \frac{(F_n - 1)L_g}{\mu_n V_d (u_2^2 - u_1^2)} \quad (2.39)$$

ここで、 v_s^T は流体シミュレーションTRANALで得られた実効飽和速度である。

(2.38)式を用いて算出した実効飽和速度 v_s^o を同様に図2.34に示す。電子飽和速度は、 1.5×10^7 cm/sec(ゲート長 $0.9 \mu\text{m}$) から、 2.0×10^7 cm/sec(ゲート長 $0.3 \mu\text{m}$)、 2.2×10^7 cm/sec(ゲート長 $0.2 \mu\text{m}$)へと増加し、特に、ゲート長 $0.4 \mu\text{m}$ 以下から増加傾向が大きくなっている。また、この値は、図2.24に示す遮断周波数から簡易的に求めた電子飽和速度とほぼ等しくなっており、妥当な値であると考えられる。

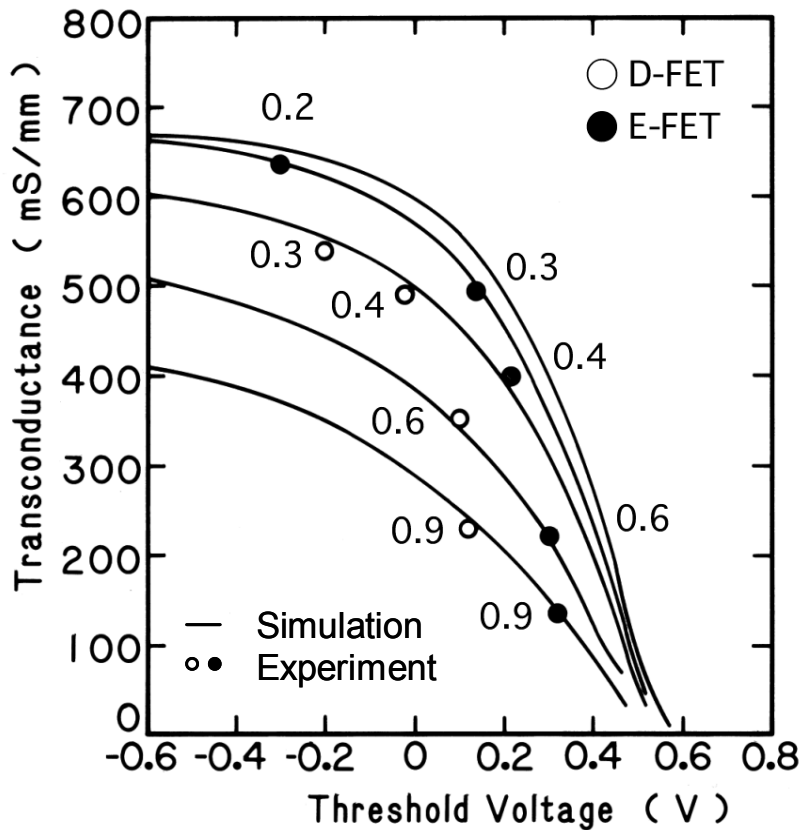


図2.32 算出した相互コンダクタンスの閾値電圧依存性
 プロットは実測値、実線は計算値(上からゲート長0.2、0.3、0.4、0.6、0.9 μm)

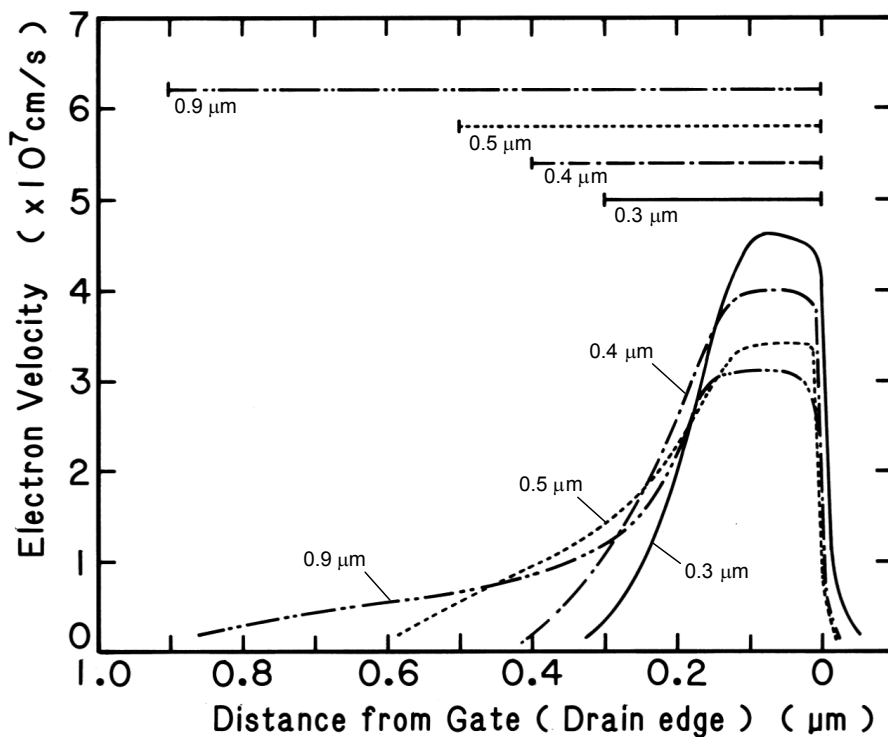


図2.33 チャネル内の電子速度分布

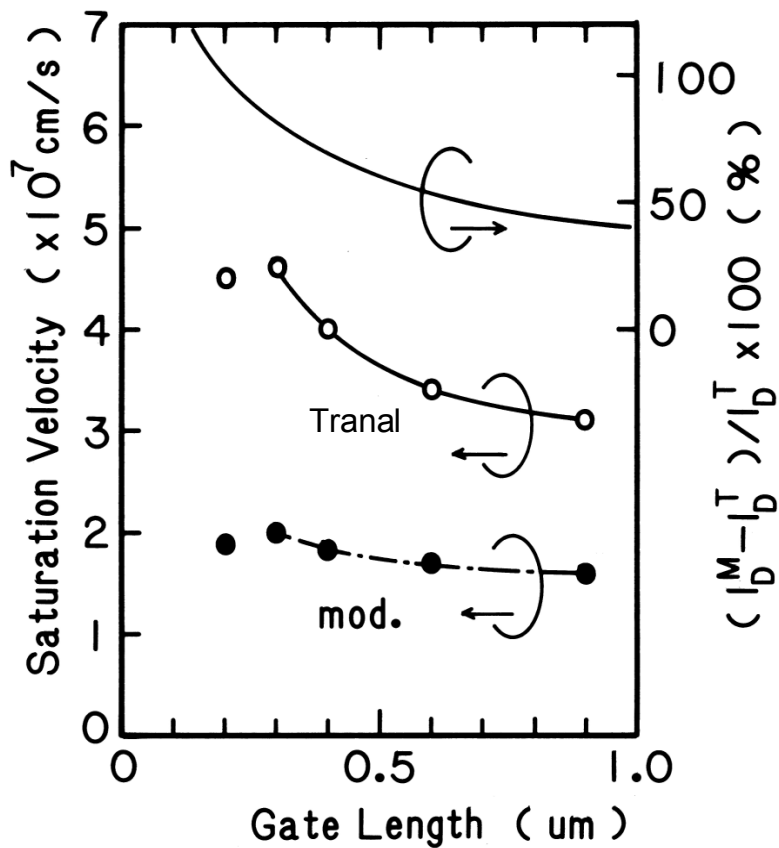


図2.34 流体シミュレーションと粒子シミュレーションのドレイン電流比と算出した電子飽和速度のゲート長依存性

○は流体シミュレーションTRANALで得られた実効飽和速度 v_s^T

●は流体シミュレーション特有のドレイン端のキャリア過剰蓄積を補正した実効飽和速度 v_s^0

2.7 むすび

GaAs-MESFETの動作原理およびデバイス高性能化指針を概観し、また、耐熱性金属WSiNをゲート材料とともに活性化アニール保護膜として用いる新しい n^+ 自己整合型GaAs-MESFET製作プロセスおよびデバイスの特性について検討した。

【1】ゲート-チャネル間距離の短縮は、移動度および飽和電子速度の伝達抵抗を減少させる。サブミクロンゲート長のMESFET高性能化には、電子速度を向上させるゲート長の短縮とゲート-チャネル間距離の短縮、つまり、高濃度薄層チャネルが有効である。

【2】WSiNを活性化アニール膜に用いた場合、SIMS測定からAsとGaの外方拡散が抑止されていることが、また、C-V測定から基板側で急峻なキャリアプロファイルとなっていることが示される。WSiNを活性化アニール膜として用いた場合には、C-V法では測定しきれない基板表面側でキャリア濃度が高いままに保たれていると考えられる。逆に、通常のアニール保護膜SiO₂、SiNでは表面キャリア濃度が低下していると予想される。

【3】 n^+ イオン注入層の表面キャリア濃度の低下は、ほとんどデバイス特性に影響を与えないが、チャネル層の表面キャリア濃度の低下は、デバイス特性を大きく劣化させる。チャネル層の濃度ピーク位置が基板側へシフトし、ゲート-チャネル間距離が実質的に大きくなってしまう。

【4】試作したAu/WSiN耐熱ゲートGaAs-MESFETは、ゲート長 $0.2\mu\text{m}$ においても、Siイオン注入エネルギー 10keV とランプアニールを採用した高濃度薄層チャネルを形成することで2次元電界効果にとまなう短チャネル効果は十分に抑制することができた。また n^+ コンタクト領域を 80keV まで低エネルギー化したイオン注入で作製することで基板漏洩電流も効果的に抑止できた。この結果、閾値電圧 $V_{\text{th}}=-0.14\text{V}$ のデバイスにおいて、相互コンダクタンス 630mS/mm を達成した。

【5】2次元数値解析のI-V特性フィッティングから求めた実効飽和速度は、エネルギーの緩和時間と運動量の緩和時間を無視していることから、実効飽和速度の値は全体的に通常より大きく見積られた。流体シミュレーション特有のover-estimate分を取り除いて飽和速度を算出すると、遮断周波数から簡易的に求めた電子飽和速度とほぼ一致した。ゲート長 $0.4\mu\text{m}$ 以下から増加傾向が大きくなり、非定常効果が生じているものと考えられる。

参考文献

- [1] K. Ueno, T. Furutsuka, M. Kanamori, and A. Higashisaka, "High Transconductance GaAs MESFET's Fabrication Using Sidewall-Assisted Self-Aligned Technology (SWAT)," in Extended Abstr. 17th Conf. Solid State Devices and Materials, 1985, pp. 405-408.
- [2] N. Uchitomi, M. Nagaoka, K. Shimada, T. Mizoguchi, and N. Toyoda, "Characterization of Reactive Sputtered WN_x Films as a Gate Metal for Self-Alignment GaAs Metal-Semiconductor Field-Effect Transistors," J. Vac. Sci. Tech., vol. B4, no. 6, pp. 1392-1397, 1986.
- [3] H. Nakamura, Y. Sano, T. Nonaka, T. Ishida, and K. Kaminishi, "A Self-Aligned Gate MESFET with WAl Gate," in Tech. Dig. GaAs IC Symp., 1983, pp. 134-137.
- [4] G. C. Dacay and I. M. Ross, "Uniplanar Field-Effect Transistor," Proc. IRE. 41, p. 970, 1953.
- [5] S. M. Sze, "Physics of Semiconductor Devices," Second Edition, John-Wiley & Sons, p. 312, 1981.
- [6] W. Shockley, "A Uniplanar Field-Effect Transistor," Proc. IRE, vol. 40, pp. 1365-1376, 1952.
- [7] K. Rehovec, and R. Zuleeg, "Voltage-Current Characteristics of GaAs J-FET's in Hot Electron Range," Solid State Electron., vol. 13, pp. 1415-1426, 1970.
- [8] R. H. Dennard et. al., "Design of Ion-Implanted MOSFET's with Very Small Physical Dimensions," IEEE J. Solid State Circuit, Vol. 9, No. 9, pp. 256-268, 1974.
- [9] 井野正行、「微細化GaAsロジックLSIの性能予測」、電子材料、p.116, 1986.
- [10] D. K. Ferry, "Material Considerations for Advances in Submicron Very Large Scale Integration," Advances in Electronics and Electron Phys., Vol. 58, pp. 312-390, 1982.
- [11] J. Lindhard and M. Scharff, Phys. Rev. 124, 128(1961)
- [12] J. W. Mayer, L. Eriksson, and J. A. Davies, "Ion Implantation in Semiconductors," Academic Press, Inc., New York, 1970.
- [13] J. F. Gibbons, "Historical Perspectives on Ion Implantation," Nucl. Instr. Meth. Phys. Res. B 21, 83-89 (1987).
- [14] J. F. Gibbons, W. S. Johnson, and S. W. Mylroie, "Projected Range Statistics," Academic Press, Inc., New York, 1975.
- [15] H. Yamazaki, "Ion implantation for GaAs IC fabrication," Nuclear Instruments and Methods in Physics Research, B39, pp. 433-440, 1989.
- [16] S. Sugitani, K. Yamasaki, and H. Yamazaki, "Characterization of a Thin Si-Implanted and Rapid Thermal Annealed n-GaAs layer," Appl. Phys. Lett., Vol. 51, No. 11, pp. 806-808, 1987.
- [17] F. Hyuga, H. Yamazaki, K. Watanabe, and J. Osaka, "Activation Efficiency Improvement in Si-Implanted GaAs by P Co-Implantation," Appl. Phys. Lett., Vol. 50, No. 22, pp. 1592-1594, 1987.
- [18] J. Gyulai, J. W. Mayer, I. V. Mitchell, and V. Rodriguez, Appl. Phys. Lett., 17, 332(1970).
- [19] S. Takatani, N. Nakashima, J. Shigeta, N. Hashimoto, and H. Nakashima, J. Appl. Phys., 61, 220(1982).

- [20] K. Asai, H. Sugahara, Y. Matsuoka, and M. Tokumitsu, "Refractory Sputtered WSiN Films Suppresses As and Ga out-diffusion," *J. Vac. Sci. Technol.*, vol. B6, 1526 (1988).
- [21] M.-A. Nicolet, *Thin Solid Films*, 52, 415(1978).
- [22] K. Yokoyama, M. Tomizawa, A. Yoshii, and T. Sudo, "Semiconductor Device Simulation at NTT," *IEEE Trans. Electron Devices*, vol. ED-32, 2008 (1988).
- [23] K. Yokoyama, M. Tomizawa, T. Takada, and A. Yoshii, "Anomalous Gate-to-Drain Capacitance Characteristics of GaAs MESFET's," *IEEE Trans. Electron Devices*, vol. ED-30, 719 (1983).
- [24] K. Yamasaki and M. Hirayama, "Determination of Effective Saturation Velocity in n+Self-Aligned GaAs MESFET's with Submicrometer Gate Lengths," *IEEE Trans. Electron Devices*, vol. ED-33, 1652 (1986).
- [25] D. L. Rode, "Electron Transport in GaAs," *Phys. Rev.*, B3, 2534 (1971).
- [26] S. Sugitani, K. Yamasaki, N. Kato, and H. Yamazaki, "Improving GaAs-MESFET Performance by Rapid Thermal Annealing," *Review of the Electrical Communication Laboratories*, vol. 36, 539 (1988).
- [27] S. Furukawa, H. Matsumura, and H. Ishiwara, "Theoretical Considerations on Lateral Spread of Implanted Ions," *J. J. Appl. Phys.*, vol. 11, 134 (1972).
- [28] P. H. Ladbrook and S. R. Blight, "Low-Field Low-Frequency Dispersion of Transconductance in GaAs MESFET's with Implications for Other Rate-Dependent Anomalies," *IEEE Trans. Electron Devices*, vol. ED-35, 257 (1988).
- [29] F. Hasegawa, "Principal GaAs Parameter Which Most Influences the Transconductance g_{mmax} ," *Extended Abstract of the 19th Conference on Solid State Devices and Materials*, 387 (1987).
- [30] K. Onodera, T. Tokumitsu, S. Sugitani, Y. Yamane, and K. Asai, "A 630 mS/mm GaAs MESFET with Au/WSiN Refractory Metal Gate," *IEEE Electron Device Lett.*, vol. 9, pp. 417-418, 1988.
- [31] K. Heime, H. Dambkes, and W. Brookerhoff, "GaAs MESFET's with Highly Doped Channel," in *Extended Abstr. 16th Conf. Solid State Devices and Materials*, 1984, pp. 375-378.
- [32] P. C. Canfield et al., "Buried-Channel GaAs MESFET with Improved Small Signal Characteristics," in *Tech. Dig. GaAs IC Symp.*, 1987, pp. 163-166.
- [33] M. S. Shur, "Low Field Mobility, Saturation Velocity, and Performance of Submicron GaAs MESFET's," *Electron. Lett.*, vol. 18, 909 (1982).
- [34] 富沢雅彰、吉井彰、横山清行、「SiおよびGaAs MESSFETの粒子モデルによるデバイスシミュレーション」、電子通信学会論文誌、vol. J66-C、1072 (1983).

第3章 埋込p層の高周波特性へ及ぼす影響

3.1 まえがき

サブミクロンゲート長を有する微細化デバイスの高性能化を行うとき、ゲート長の短縮とともに、短チャネル効果を抑止することが最も重要な課題である。この対策には、スケーリング則[1]に基づくチャネル層、 n^+ 層の薄層化に加え、LDD構造(Lightly Doped Drain)、p層埋込み構造等を導入することが有効である。特に、埋込p層は、チャネル層および n^+ 層の下側に形成して、pn接合を形成することで、チャネルの薄層化を促進し、ソースおよびドレイン電極の n^+ 層間の漏洩電流を低減することが可能である。

埋込p層の最適化を考えた場合、埋込p層内に中性領域が存在すると、寄生的な容量が生じ、ゲート当りの伝搬遅延時間 t_{pd} が増加するとの懸念から、これまで埋込p層は完全空乏化することが最適であるとされてきた[2, 3]。しかし、完全空乏化した埋込p層では、チャネル層や n^+ 層とのpn接合によって形成される拡散電位が低く、基板リーク電流抑止に不十分である。近年、相互コンダクタンス g_m 、K値の向上や、閾値変動 ΔV_{th} 、 $\sigma \Delta V_{th}$ 、ドレインコンダクタンス g_d の抑制には、埋込p層内にある程度の中性領域が存在する方が良好とする報告[4, 5]や、ゲート容量の大半がチャネル層の真性容量で決定され、埋込p層内の中性領域に起因するゲート寄生容量は、それに比較して小さく、埋込p層高濃度化による g_m 向上の利点の方が大きいとする報告[6]など、埋込p層内に中性領域を残すデバイス設計が始動している。このように、埋込p層内の中性領域を容認する方向にあるが、この中性領域のデバイス特性に及ぼす影響について、 g_m 、K値などのDC特性に対しての実験的検討は散見されるものの、高周波特性、特に最大発振周波数 f_{max} への影響についての明確な実験的および解析的考察は何ら成されていない。

本章では、完全空乏化条件以上の埋込p層濃度を有するGaAs-MESFETの高周波特性についてのデバイス設計指針、およびデバイス特性について述べる。5.2節では、チャネル層下に埋込むp層の設計法について述べる。5.3節では、中性領域を含む埋込p層を有するデバイスを試作し、Sパラメータ測定および等価回路解析を行い、高濃度埋込p層が高周波特性に及ぼす影響の検討について述べる。埋込p層は、(1)チャネル層と埋込p層のpn接合によりチャネルを薄層化する、(2) n^+ 層と埋込p層のpn接合によりソースおよびドレイン電極の n^+ 層間の漏洩電流を低減する、という2つの役割を果たす。埋込p層を高濃度化した場合、チャネル層周りの寄生容量増大を招くため、5.4節ではチャネル層下に関わる(1)と n^+ 層間に関わる(2)の効果を別々に行う設計指針を示し、「 n^+ 層を囲い込む」構造を提案する。「 n^+ 層を囲い込む」第2埋込p層(Bp2)、「 n^+ 層を囲い込む」第3埋込p層(Bp3)を新たに設け、その効果の検証結果について述べる。最後に、5.5節では埋込p層構造を最適化したデバイスを用いたミリ波帯増幅器への応用について述べる。GaAs-MESFETを用いたV帯増幅器に関しては、M. Fengらによってパイオニア的に開発され、5~6dB@60GHzと良好な利得が得られている[7, 8]。しかし、これまでの報告は、ほとんど全てがQ帯までであり、また、エピタキシャルチャネル層、リセスゲート構造を採用している[9-12]。したがって、HEMTと同一製造プロセスであるため、集積化におけるGaAs-MESFETの利点が生かせない。本章では、均一性、再現性に優れ、モノリシック化に優位な、プレーナ構造セルフアライン n^+ イオン注入GaAs-MESFET技術を用いて、AlGaAs/GaAs-HEMTと同等以上の特性が得られた結果についても述べる。

3.2 埋込p層の設計

図3.1のようなデバイスの概略図を用いて、GaAs-MESFETにおける埋込p層の完全空乏化条件を、1次元解析によって解析する[3]。チャネル層（n層）またはn⁺層と、埋込p層間の接合として階段接合を仮定すると、p層側の空乏層幅 W_A は次のようになる[24]。

$$W_A = \sqrt{\frac{2\varepsilon_r\varepsilon_o}{qN_A} \left(V_{bi} - \frac{2k_B T}{q} \right)} = L_D \sqrt{2 \left(\frac{q}{k_B T} V_{bi} - 2 \right)} \approx 10L_D \quad (3.1)$$

ここで、 ε_r はGaAsの比誘電率、 ε_o は真空の誘電率、 N_A はp層濃度、 V_{bi} はpn接合の拡散電位である。 L_D はデバイ長であり、次のように表せる。

$$L_D = \sqrt{\frac{\varepsilon_r\varepsilon_o k_B T}{q^2 N_A}} \quad (3.2)$$

また、GaAsの拡散電位 V_{bi} を約1.2eVとして、次のように近似した。

$$\sqrt{2 \left(\frac{q}{k_B T} V_{bi} - 2 \right)} \approx 10 \quad \left(\frac{q}{k_B T} \approx 26mV @ 300K \right) \quad (3.3)$$

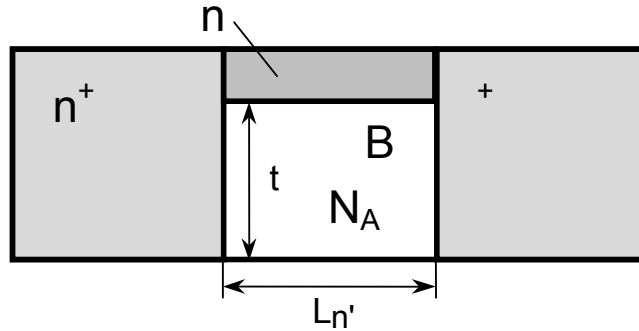


図3.1 埋込p層概略図

以上 (3.1) ~ (3.3) を用いて、埋込p層濃度がちょうど完全空乏化するときのp層濃度 N_A とp層厚さ t_A は次のようにして求められる。

【条件I】基板漏洩電流を抑止するためには、ソースおよびドレイン電極下のn⁺層-n⁺層間の障壁を高く保つ必要があり、n⁺層-n⁺層間隔 L_{n+} に対して、以下のような条件を付けければよい。

$$L_{n+} \approx 10L_D \quad (3.4)$$

したがって、(3.2)式および(3.4)式からp層濃度の条件として以下を得る。

$$N_A \approx \left(\frac{10}{qL_{n+}} \right)^2 \varepsilon_r\varepsilon_o k_B T \quad (3.5)$$

(3.4)式を図示すると図3.2の灰色破線のようになる。灰色破線よりも右上が中性領域の残るp層濃度、灰色破線よりも左下が完全空乏化する濃度である。

【条件II】チャンネル層とp層間で拡散電位を高く保ち、しかも空乏化させるには、p層厚さ t_A に対して以下のような条件を付ければよい。

$$t_A \approx 10L_D = \sqrt{\frac{2qV_{bi}}{k_B T} L_{n^+}} \quad (3.6)$$

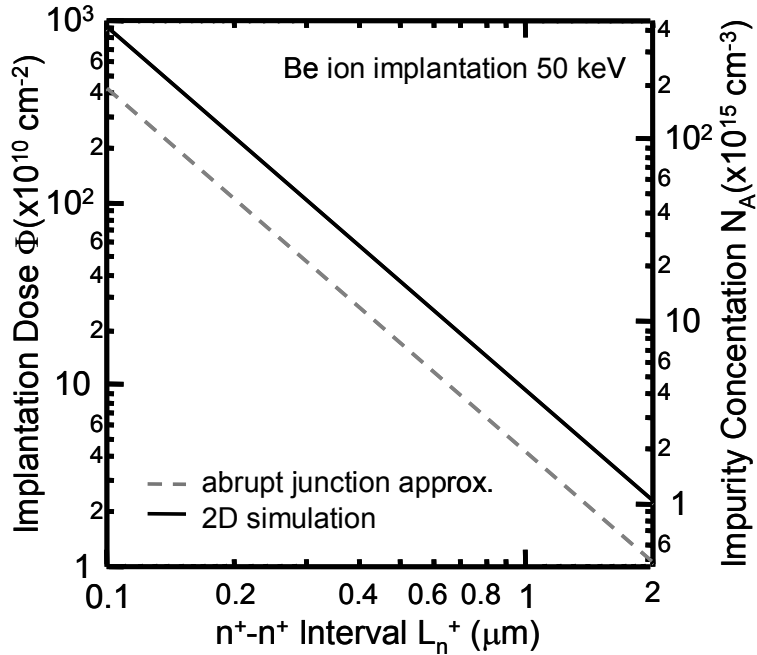


図3.2 埋込p層濃度およびBe注入ドーズ量とn'層間隔の関係

この計算結果によれば、 n^+ 層- n^+ 層間隔 $L_{n^+}=0.3 \mu\text{m}$ （ゲート長 $L_g=0.2 \mu\text{m}$ 、ゲート n' 層間隔 $L_{gn'}=0.05 \mu\text{m}$ ）のデバイスでは、ちょうど完全空乏化する埋込p層の条件は、

$$\begin{aligned} \text{p層濃度 } N_A &= 2.1 \times 10^{16} \text{ cm}^{-3} \\ \text{p層厚さ } t_A &= 0.29 \mu\text{m} \end{aligned} \quad (3.8a)$$

となる。埋込p層をBeイオン注入で形成する場合、上記のp層厚さを得るには、注入エネルギーを50keVとすれば良く、100%活性化を仮定した場合には、ちょうど完全空乏化する埋込p層の条件は、以下のようになる。

$$\begin{aligned} \text{注入ドーズ量 } \Phi_A &= 4.6 \times 10^{11} \text{ cm}^{-2} \\ \text{注入エネルギー } E_A &= 50 \text{ keV} \end{aligned} \quad (3.8b)$$

以上、pn接合を階段接合と仮定し、(3.8a)式のように埋込p層がちょうど完全空乏化する条件を求めたが、この仮定では n' 層の横方向広がりを全く考慮していない。ゲート長 $0.5 \mu\text{m}$ 以下のデバイスにおいては、 n' 層のチャンネル方向への横方向広がりが無視できず、短チャンネル効果を引き起こす大きな要因となっている。したがって、このことを考慮したときには、完全空乏化するp層濃度は、(3.8a)式の条件よりも、もっと高濃度であることが予想される。

そこで、埋込p層がちょうど完全空乏化する注入ドーズ量の条件をもっと詳しく求めるために、2次元数値解析を行った[13, 14]。数値解析に用いたデバイス構造パラメータを表3.1に、各注入層のプロファイルを表3.2に示す。

表3.1 2次元数値解析に用いたデバイス構造パラメータ

ゲート長	L_g	$0.20 \mu m$
ゲート-n'層間隔	L_{gn}'	$0.05 \mu m$
ゲート-n ⁺ 層間隔	L_{gn}^+	$0.25 \mu m$
ゲート-オーミック間隔	L_{gs}, L_{gd}	$0.70 \mu m$
基板厚さ	W_{sub}	$0.70 \mu m$

表3.2 2次元数値解析に用いた注入プロファイル

注入層	n_p cm^{-3}	R_p nm	ΔR_p nm	ΔX nm
n ⁺ 層	2×10^{18}	68.0	56.0	56.0
n'層	2×10^{18}	34.0	32.0	32.0
チャンネル層	1×10^{18}	10.0	22.0	-
p層	n_{pa}	159.0	89.0	-

※ n_p : ピーク濃度、 R_p : ガウス分布射影飛程、 ΔR_p : ガウス分布飛程標準偏差
 ΔX : 誤差関数横方向標準偏差、※基板濃度 : $1 \times 10^{11} cm^{-3}$

ここで、チャンネル層と埋込p層はガウス分布で近似したが、n'層とn⁺層は注入プロファイルの横方向広がりやを厳密に取り扱うために、横方向分布を誤差関数、深さ方向をガウス分布で近似した。また、p層ピーク濃度 n_{pa} は、 $3.6 \times 10^{16} cm^{-3}$ 、 $4.5 \times 10^{16} cm^{-3}$ 、 $9.0 \times 10^{16} cm^{-3}$ 、 $1.8 \times 10^{17} cm^{-3}$ の4種類について計算を行った。このp層ピーク濃度 n_{pa} は、Beイオン50keV注入のドーズ量に換算すると、それぞれ、 $8 \times 10^{11} cm^{-2}$ 、 $1 \times 10^{12} cm^{-2}$ 、 $2 \times 10^{12} cm^{-2}$ 、 $4 \times 10^{12} cm^{-2}$ にあたる。

図3.3に、ゲート直下における、深さ方向への不純物プロファイルを示す。この不純物プロファイルにおいて、ゲート直下に発生する正孔濃度の、深さ方向依存性を図3.4に示す。Beイオン注入ドーズ量が、 2×10^{12} 、 $4 \times 10^{12} cm^{-2}$ の場合には、注入した不純物濃度とほぼ同等のピーク濃度を有する正孔が発生しているが、注入ドーズ量 $1 \times 10^{12} cm^{-2}$ の場合には、正孔濃度は不純物濃度の数%である。さらに、 $8 \times 10^{11} cm^{-2}$ の場合には、正孔は殆ど発生していない。したがって、埋込p層がちょうど完全空乏化するBeイオン注入ドーズ量は50keV注入換算で約 $1 \times 10^{12} cm^{-2}$ であり、(3.8a)は次のように修正される。

$$\text{注入ドーズ量 } \Phi_A = 1.0 \times 10^{12} cm^{-2}$$

$$\text{注入エネルギー } E_A = 50keV \tag{3.8c}$$

よって、ちょうど完全空乏化するp層濃度の条件は、図3.2の実線のようになる。

図3.5は、チャンネル層、n'層およびn⁺層の下に発生する正孔濃度の等高線表示である。ここで、Beイオンの注入ドーズ量が、(a) $1 \times 10^{12} \text{ cm}^{-2}$ 、(b) $2 \times 10^{12} \text{ cm}^{-2}$ 、(c) $4 \times 10^{12} \text{ cm}^{-2}$ の場合について示した。Beイオンの注入ドーズ量が $1 \times 10^{12} \text{ cm}^{-2}$ と $2 \times 10^{12} \text{ cm}^{-2}$ の場合には、正孔はチャンネル層およびn'層下という、デバイス内に部分的にしか発生していないが、 $4 \times 10^{12} \text{ cm}^{-2}$ では、n⁺層下にまでに及び、デバイス全体に正孔が発生している。

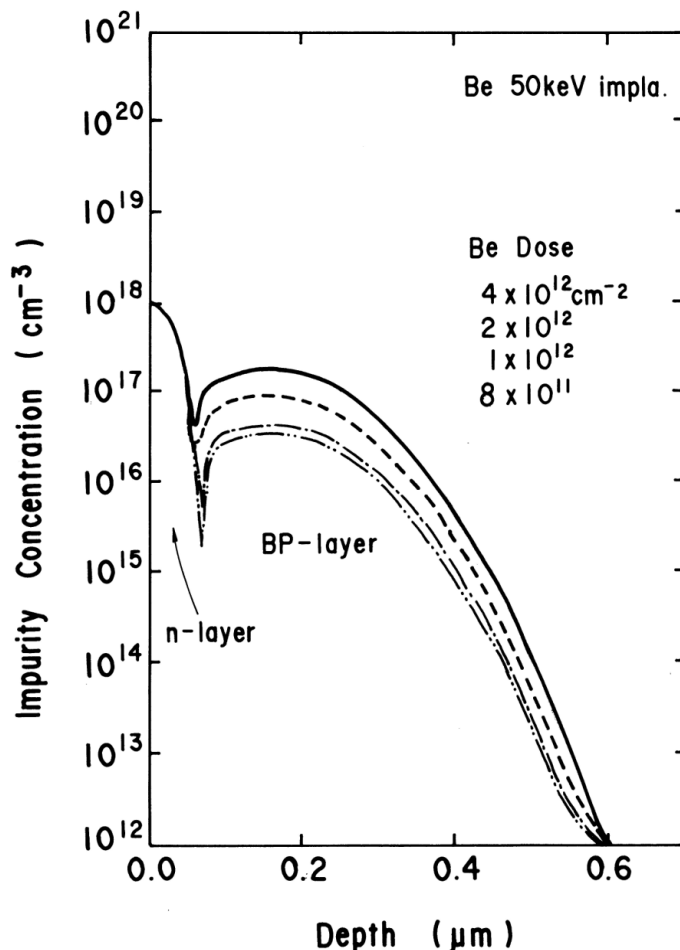


図3.3 ゲート直下における深さ方向不純物プロファイル

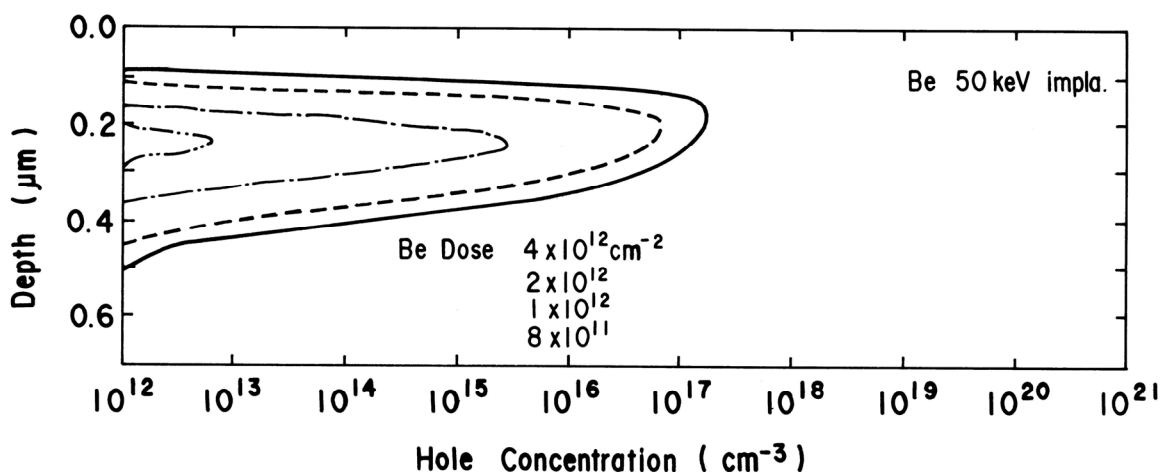
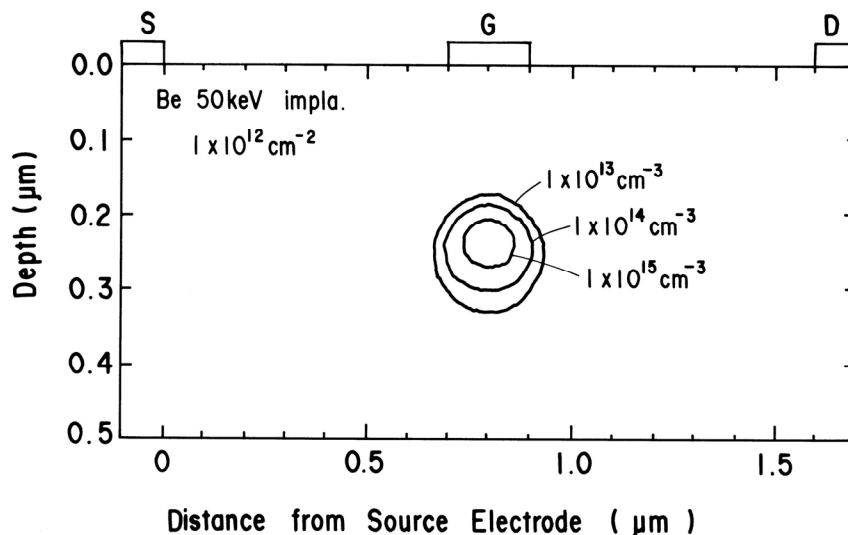
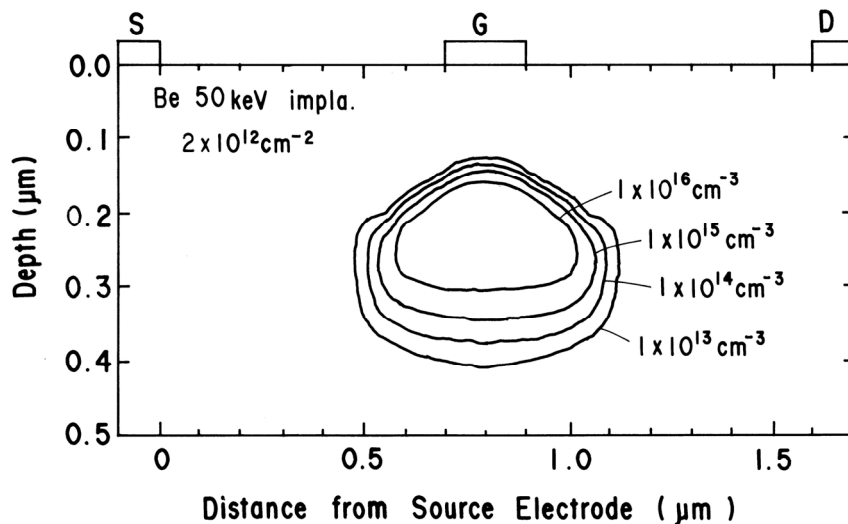


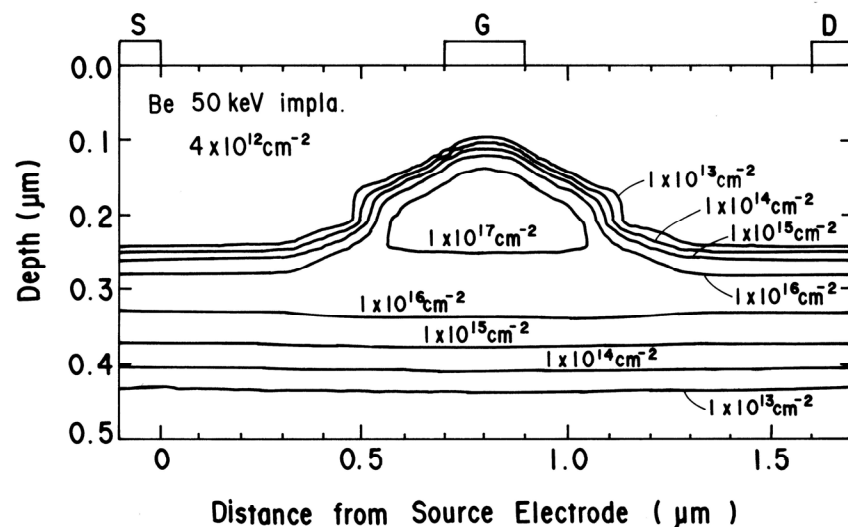
図3.4 ゲート直下における深さ方向正孔濃度



(a) Be ドーズ量 $1 \times 10^{12} \text{ cm}^{-2}$



(b) Be ドーズ量 $2 \times 10^{12} \text{ cm}^{-2}$



(c) Be ドーズ量 $4 \times 10^{12} \text{ cm}^{-2}$

図3.5 埋込p層の正孔濃度分布

3.3 埋込p層構造

3.3.1 デバイス製造

図3.6に、試作したAu/WSiNゲートGaAs-MESFETのデバイス構造を示す。前項で検討したように、ゲート長 $0.2\mu\text{m}$ の場合、ちょうど完全空乏化するp層濃度および厚さはBeイオン注入で、注入エネルギー50keV、ドーズ量 $1\times 10^{12}\text{cm}^{-2}$ であった。そこで、埋込p層の厚さを変えずに、濃度だけを変えて正孔の中性領域を作製することを考え、表3.3のような埋込p層濃度を有する条件1、条件2で試作した[25, 26]。

ここで、埋込p層濃度を変えた場合、閾値がシフトしてしまうので、2種のFETの閾値を合わせるために、チャンネル層濃度も変えている。埋込p層の注入ドーズ量が $2\times 10^{12}\text{cm}^{-2}$ の条件1では、チャンネル層および n' 層下にもみ中性領域が存在するが、 $4\times 10^{12}\text{cm}^{-2}$ の条件2では、 n' 層下にも中性領域が存在しており、中性領域の広がりの違いに起因する高周波特性への影響が検討できる。本FETでは、短チャンネル効果の抑止対策として、

- 1) LDD構造、p層埋込構造を採用して基板リーク電流を抑えている。
- 2) Siイオン10keV注入という低加速電圧注入を用いた高濃度薄層チャンネルを形成して、チャンネル層における2次元電界効果が生じないようにしている[15, 16]。

さらに、注入層の活性化アニールは、窒素雰囲気中で、 920°C 、2秒のランプアニールを用いて行い、Si拡散を最小限に抑えている。また、従来から活性化アニール保護膜として用いられている SiO_2 や、 SiN は、Asの外方拡散を生じ、高活性化率が得られないことから、活性化アニール保護膜として、ゲート材料であるWSiNを用いた。この耐熱性金属WSiNは、通常の活性化アニール程度の温度では再結晶化せずに、アモルファス状態を保持し、

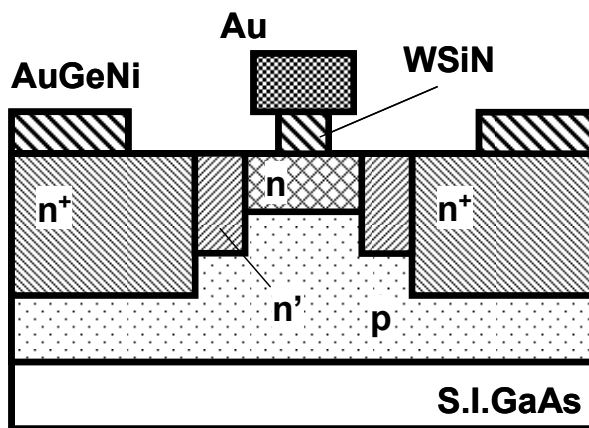


図3.6 デバイス構造

表3.3 製作したデバイスの注入条件

	条件1	条件2
p層 (Be/50keV)	$2.0\times 10^{12}\text{cm}^{-2}$	$4.0\times 10^{12}\text{cm}^{-2}$
チャンネル層 (Si/10keV)	$2.7\times 10^{13}\text{cm}^{-2}$	$3.4\times 10^{13}\text{cm}^{-2}$

GaおよびAsの外方拡散を抑止できる。したがって、表面まで高濃度で急峻なプロファイルを持つ注入層が得られ、高性能が期待できる。耐熱性金属WSiNはアモルファス状態を保持するため、ゲート材料として、極微細化にも適している。しかし、他の耐熱性ゲート材料であるWSi、WN、WAlなどと比較して、比抵抗が $580 \mu \Omega \text{ cm}$ と大きい。これを改善するために、ゲート電極としてAu/WSiNの2層構造を用いて、ゲート抵抗を低減し、 f_{max} の向上を図った。

3.3.2 DC特性

図3.7に、試作したゲート長 $L_g=0.2 \mu \text{ m}$ 、ゲート幅 $W_g=50 \mu \text{ m}$ のGaAs-MESFETのI-V特性を示す。ここで、(a)埋込p層注入ドーズ量 $2 \times 10^{12} \text{ cm}^{-2}$ (条件1)、(b)埋込p層注入ドーズ量 $4 \times 10^{12} \text{ cm}^{-2}$ (条件2)である。閾値電圧 V_{th} およびオン電流 I_{on} は、埋込p層濃度に関わりなく、殆ど同等の値であり、それぞれ、 $V_{\text{th}}=-2\text{V}$ 、 $I_{\text{on}}=1\text{A/mm}$ であった。しかし、高濃度埋込p層を有する条件2の方が、良好な電流飽和特性を示し、ドレインコンダクタンス g_d は、条件1の 62mS/mm に対し、 35mS/mm と抑制されている。

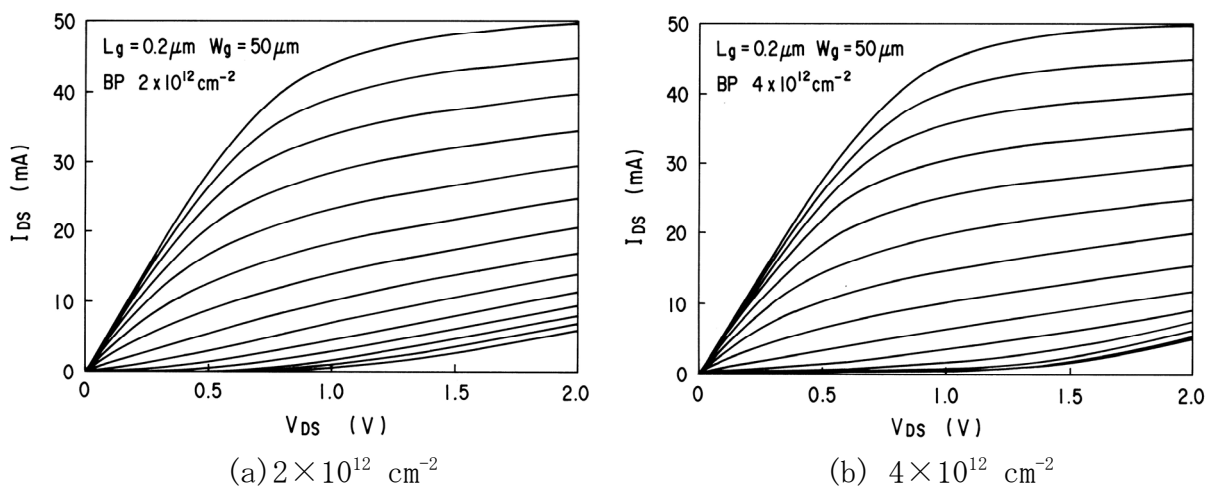


図3.7 ドレインI-V特性

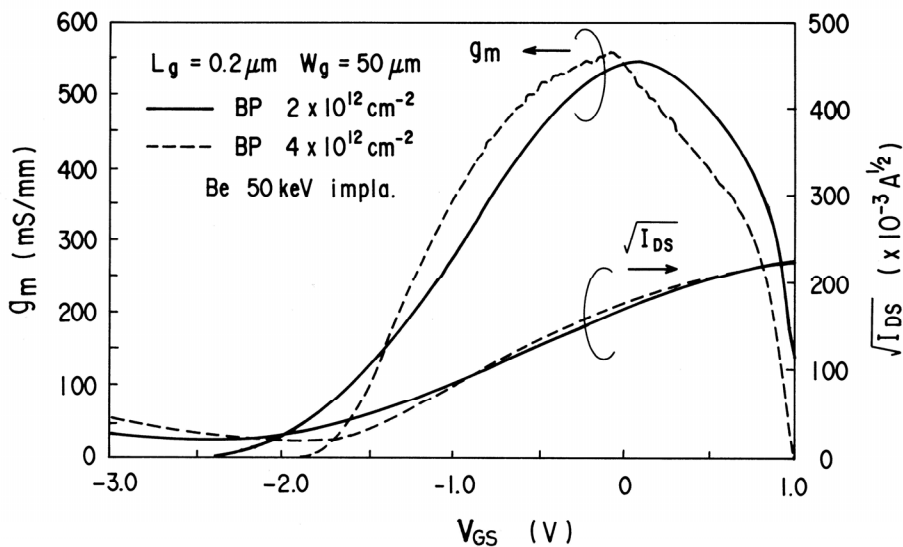


図3.8 相互コンダクタンスとドレイン電流のゲート電圧依存性

図3.8には、図3.7と同一のデバイスにおける g_m および I_{ds} の V_{gs} 依存性を示す。埋込p層を高濃度とした条件2の方が、閾値電圧附近の電流絞り込みが良好になっており、K値が条件1の146mS/mmから、212mS/mmへと増加している。しかし、相互コンダクタンスの最大値 g_{mmax} は、埋込p層注入ドーズ量を完全空乏化条件の4倍である $4 \times 10^{12} \text{cm}^{-2}$ まで高濃度化しても、もはや向上していない。逆に、 $V_{gs} > 0V$ において、 g_m は低下している。この g_m の低下の原因は、ショットキ障壁 ϕ_{Bn} が条件1の450mVから、条件2の410mVへと1割程度低下するためである。ショットキ障壁低下の主因は、埋込p層高濃度化にともなって、チャンネル層濃度も高濃度化しているためであり、埋込p層高濃度化が直接的な原因ではないと考えられる。したがって、ゲート長 $0.2 \mu\text{m}$ のデバイスにおいては、埋込p層濃度を n^+ 層下に中性領域が広がる程に高濃度化しても、DC特性に対して、直接的な悪影響は及ぼしていないと考えられる。以上の条件1、条件2に対するDC特性の比較を表3.4にまとめて示す。

次に、埋込p層高濃度化がDC特性に及ぼす影響を、ゲート長依存性の観点から考える。以下に示すデバイス特性は、すべて表3.3に示した条件1および条件2と同一の注入条件で作製されたデバイスであり、ゲート長だけが変化している。

図3.9に相互コンダクタンスの最大値 g_{mmax} およびK値のゲート長依存性を示す。ゲート長 $0.5 \mu\text{m}$ 以下のデバイスにおいて、 g_{mmax} は、埋込p層注入ドーズ量を $2 \times 10^{12} \text{cm}^{-2}$ から $4 \times 10^{12} \text{cm}^{-2}$ へと高濃度化したことにより向上している。K値についても同様で、全ゲート長において、埋込p層注入ドーズ量が多い方が良好である。図3.10にはドレインコンダクタンス g_d のゲート長 L_g 依存性を示す。ここで、バイアス条件は、ゲート電圧 $V_{gs}=0V$ 、ドレイン電圧 $V_{ds}=1.5$ および $3.0V$ とした。ドレイン電圧 $V_{ds}=1.5V$ の場合には、 g_d はゲート長に関わらず、埋込p層高濃度化で抑止されている。しかし、ドレイン電圧 $V_{ds}=3.0V$ の場合には、ゲート長 $0.5 \mu\text{m}$ 以下のデバイスにおいて、逆に増大している。また、埋込p層注入ドーズ量が、 $4 \times 10^{12} \text{cm}^{-2}$ と大きいときには、ゲート長 $0.4 \mu\text{m}$ 附近で g_d はピークをもっている。ドレインで厚 $V_{ds}=3.0V$ の場合における g_d のゲート長依存性の振る舞いは、長いゲート長において、埋込p層濃度が最適値よりも多すぎたためと考えられる。詳細は後節で、デバイスの高周波特性とともに考察する。

図3.11に閾値電圧シフト ΔV_{th} のゲート長 L_g 依存性を示す。閾値電圧シフトはゲート長 $1.5 \mu\text{m}$ デバイスの閾値電圧を基準にしている。埋込p層注入ドーズ量 $2 \times 10^{12} \text{cm}^{-2}$ と $4 \times 10^{12} \text{cm}^{-2}$ とで比較すると、埋込p層が高濃度である方が、明らかに、閾値電圧シフトが小さく、短チャンネル効果が抑止されている。作製したデバイスで、全般的に閾値電圧シフトが大きいのは、DFETとするために、チャンネル層注入ドーズ量が多いことと、ゲート- n^+ 層間隔 L_{gn} が狭いことに起因している。

表3.4 ゲート長 $0.2 \mu\text{m}$ デバイスのDC特性性能比較

性能指数	条件1	条件2
Φ_A (cm^{-2})	2×10^{12}	4×10^{12}
g_{mmax} (mS/mm)	548	550
K-value (mS/Vmm)	145	212
g_d (mS/mm)	62	35
V_{th} (V)	-1.99	-1.78
ϕ_{Bn} (mV)	450	410

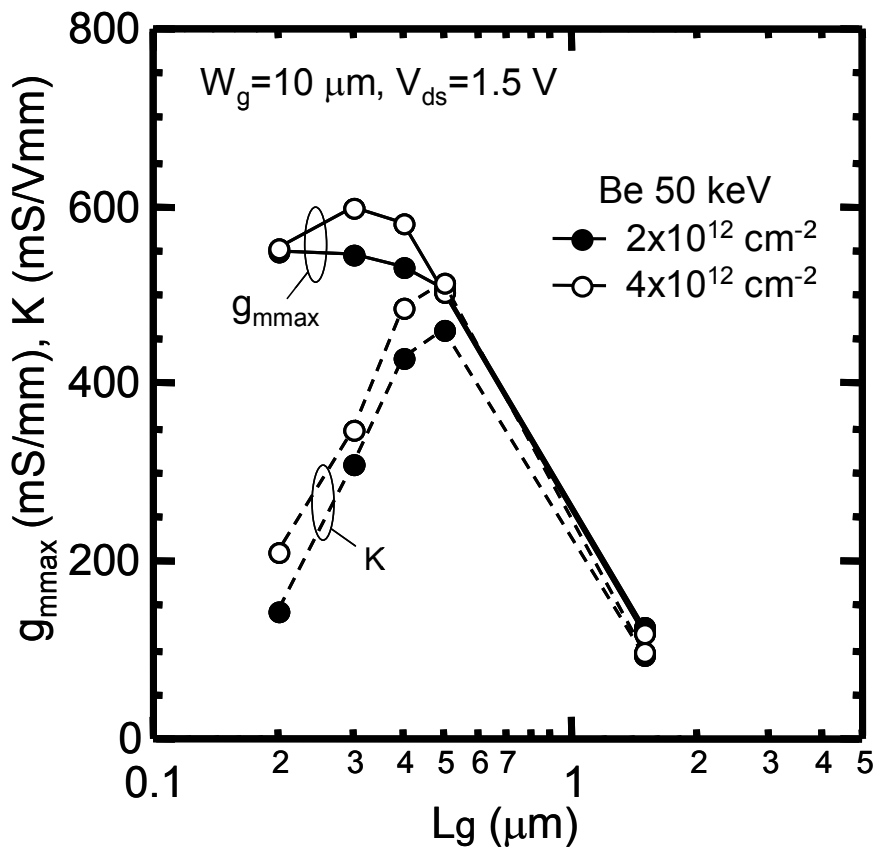


図3.9 相互コンダクタンスの最大値とK値のゲート長依存性

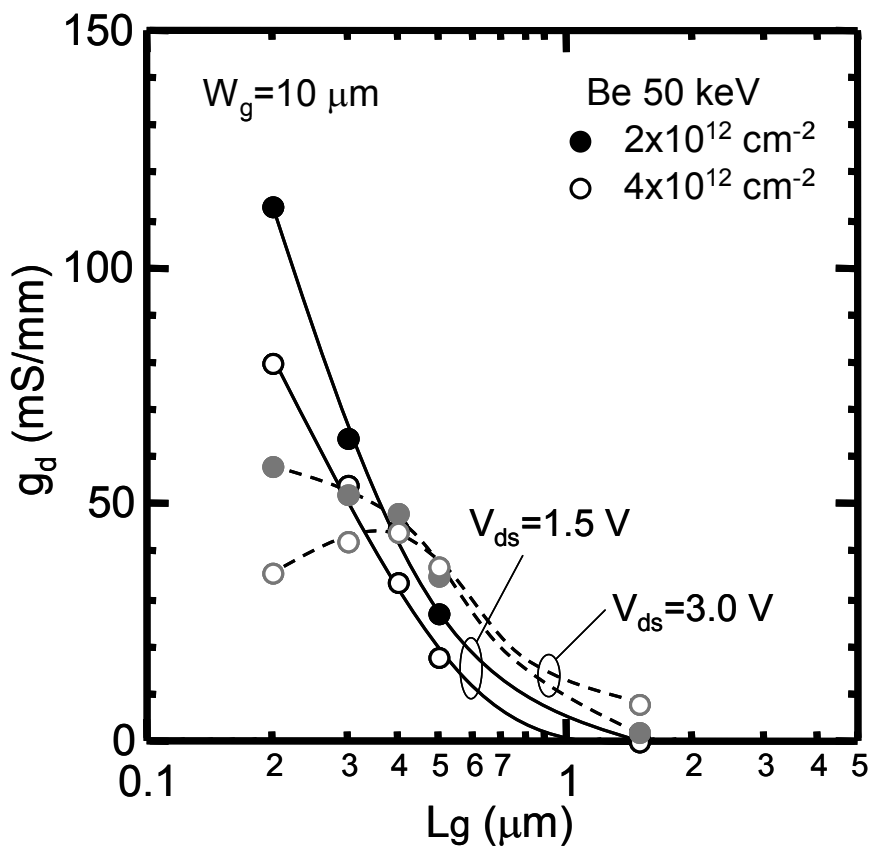


図3.10 ドレインコンダクタンスのゲート長依存性

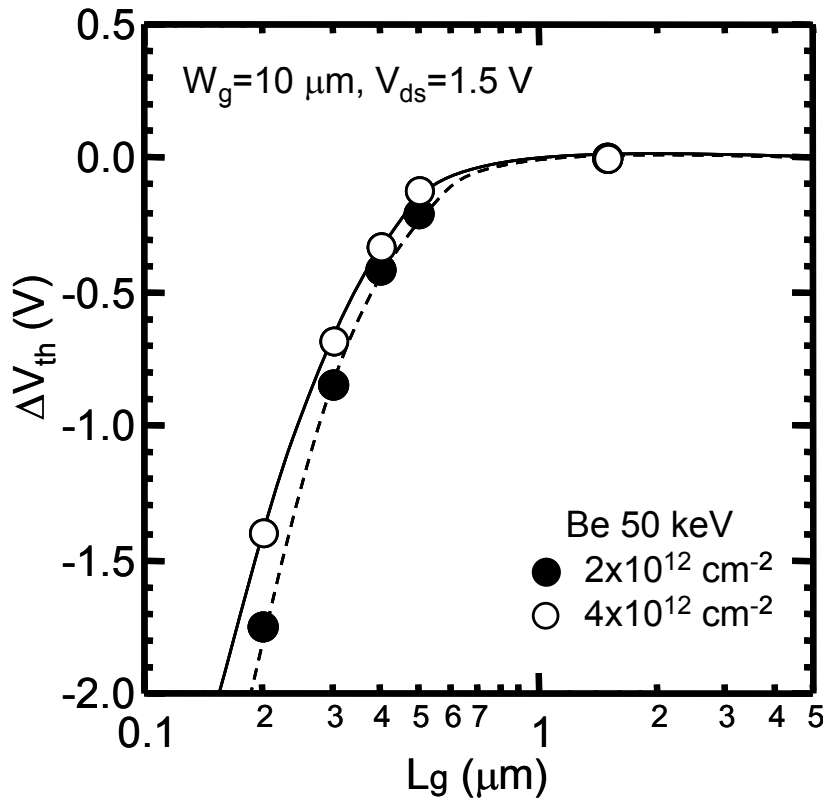


図3.11 閾値電圧シフト量のゲート長依存性

3.3.2 RF特性

A. ゲート電圧依存性

DC測定を行った2種の埋込p層濃度の異なるゲート長 $0.2 \mu\text{m}$ デバイスに対して、 $0.5 \sim 25.5 \text{ GHz}$ のSパラメータ測定を行った。電流遮断周波数 f_T は、測定したSパラメータから計算した電流利得 H_{21} の周波数依存性を -6 dB/oct で外挿して求めた。また、同様に、最大発振周波数 f_{max} は、単方向性利得 U を -6 dB/oct で外挿して求めた[17, 18]。

図3.12(a)に電流遮断周波数 f_T と最大発振周波数 f_{max} のゲート電圧 V_{gs} 依存性を示す。ここでバイアス条件は、 f_{max} の最大値が得られる付近で、ドレイン電圧 $V_{ds}=3.0 \text{ V}$ とした。図から分るように、 f_T は埋込p層注入ドーズ量を $2 \times 10^{12} \text{ cm}^{-2}$ から $4 \times 10^{12} \text{ cm}^{-2}$ へと高濃度化することによって、 $10 \sim 20 \text{ GHz}$ 低下している。しかし、それにも関わらず、 f_{max} は、 $V_{gs} > 0 \text{ V}$ において、埋込p層濃度に依らない同等の値をである 130 GHz を示している。測定を行ったデバイスの中で、最大の f_{max} は、埋込p層注入ドーズ量 $2 \times 10^{12} \text{ cm}^{-2}$ の場合に 138 GHz 、埋込p層注入ドーズ量 $4 \times 10^{12} \text{ cm}^{-2}$ の場合に 137 GHz であり、その時のバイアス条件での f_T の値は、それぞれ、 77 GHz 、 56 GHz であった。図3.13(a)、(b)には、それぞれの最大発振周波数 f_{max} が得られたときの単方向性利得 U の周波数依存性を示す。

上記のように、埋込p層を高濃度化したとき、 f_T は低下するが、 f_{max} は低下しないという現象が生じた。そこで、この要因を回路設計の立場から解明するために、等価回路解析を行った。フィッティングに用いたデバイスの等価回路を図3.14に示す。このデバイス等価回路では、各測定用電極パッド間の容量である、ゲートパッド・ソースパッド間容量 C_{gss} 、ドレインパッド・ソースパッド間容量 C_{dss} を考慮している。また、GaAs-MESFETで特徴的な、ゲートリーク電流に起因する R_{gs} も考慮している。

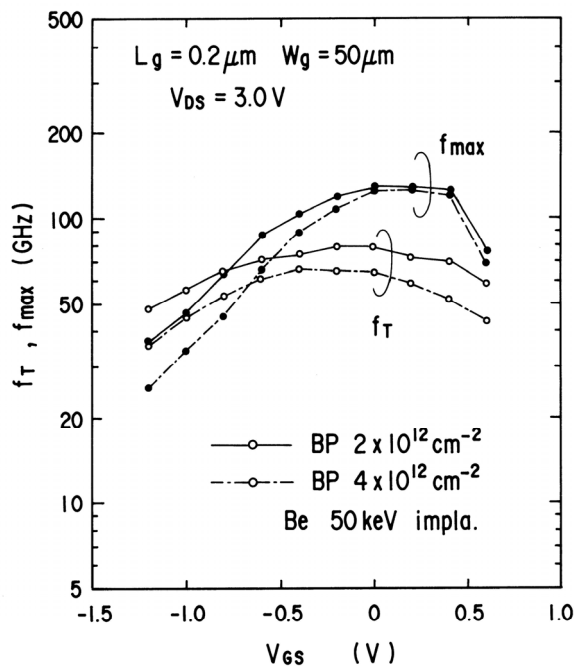


図3.12(a) 電流遮断周波数と最大発振周波数のゲート電圧依存性

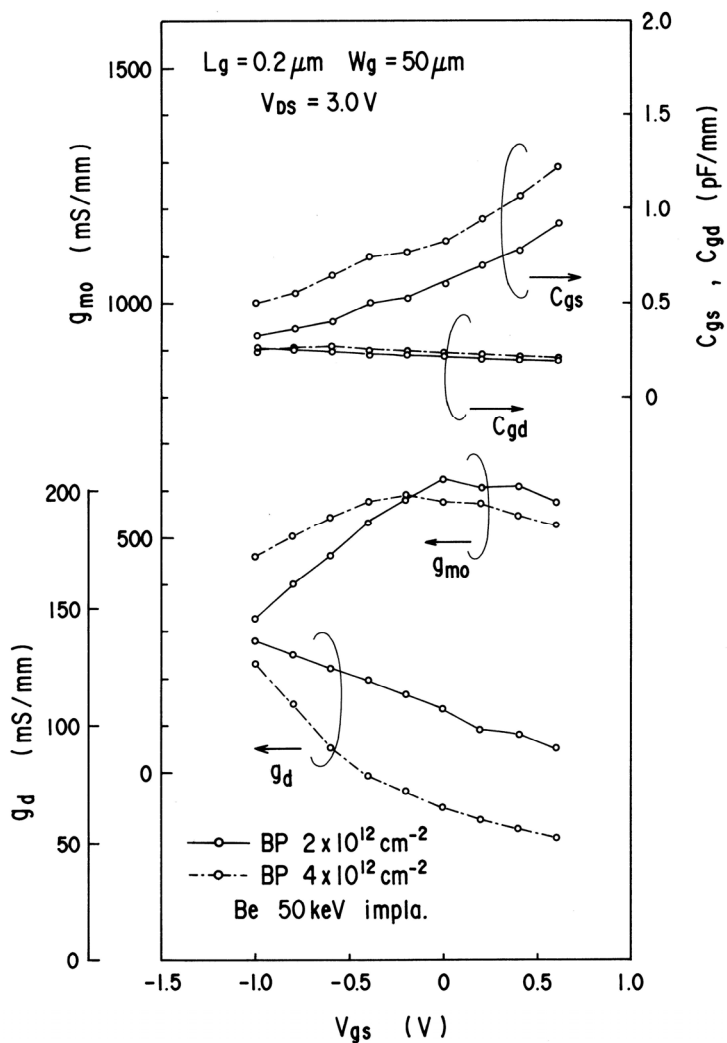
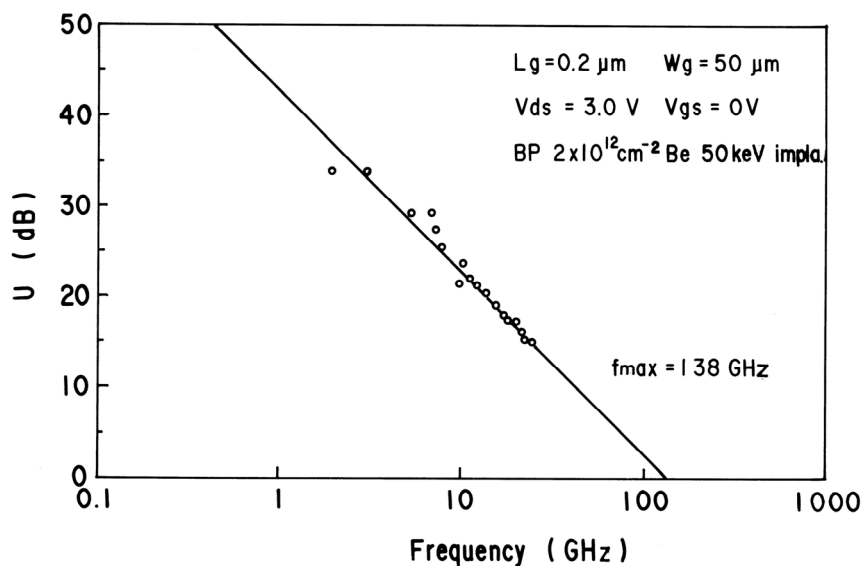
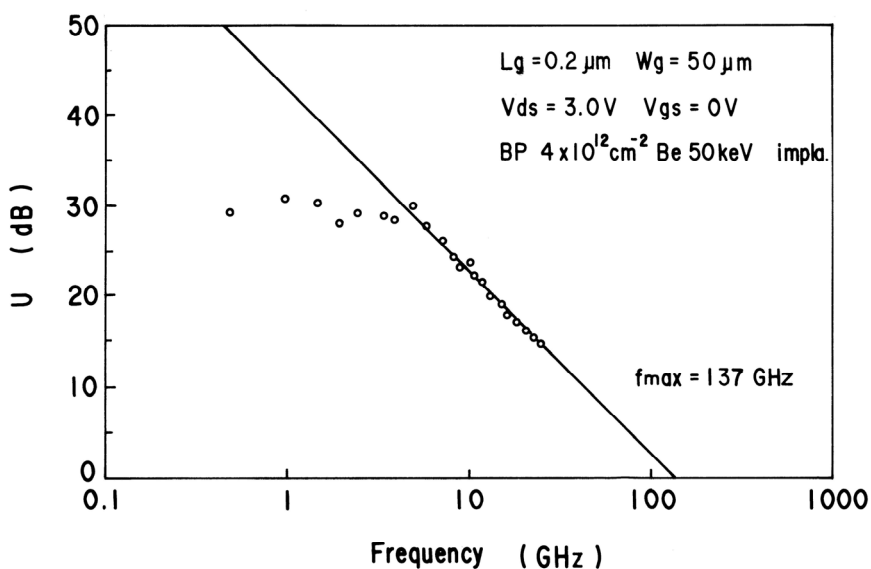


図3.12(b) 等価回路解析結果のゲート電圧依存性



(a) Be ドーズ量 $2 \times 10^{12} \text{ cm}^{-2}$



(b) Be ドーズ量 $4 \times 10^{12} \text{ cm}^{-2}$

図3.13 単方向性利得 U の周波数依存性

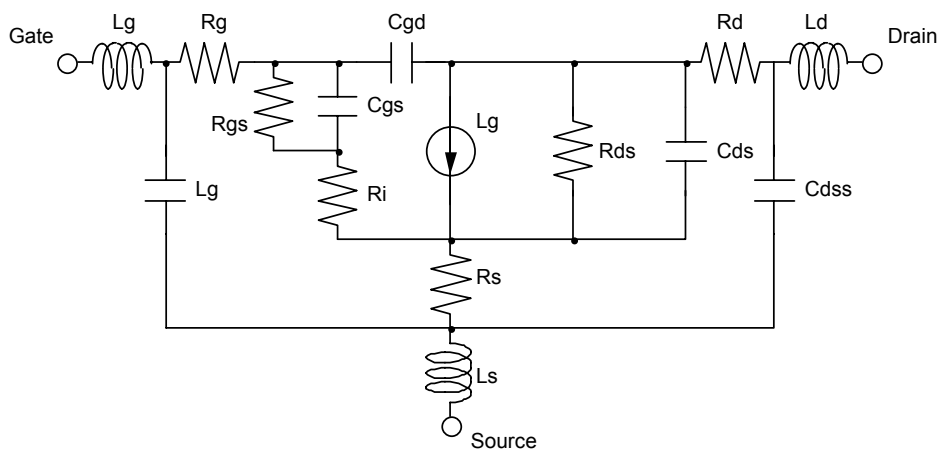


図3.14 デバイス等価回路

図3.14のデバイス等価回路に基づいてフィッティングした、典型的な要素回路定数の値を表3.5に示す。バイアス条件は、ゲート電圧 $V_{gs}=0.2V$ 、ドレイン電圧 $V_{ds}=3.0V$ である。埋込p層濃度を高濃度化した結果、各要素回路定数において、ゲート・ソース間容量 C_{gs} 、ドレインコンダクタンス g_d の逆数である R_{ds} が増大し、真性相互コンダクタンス g_{m0} が若干減少しているのが特徴的である。

表3.5 ゲート長 $0.2\mu m$ デバイスの等価回路定数

FET1		(Be-dose $2 \times 10^{12} \text{cm}^{-2}$)		FET2		(Be-dose $4 \times 10^{12} \text{cm}^{-2}$)	
$R_g (\Omega)$	4.8	$C_{gd} (\text{fF})$	10.2	$R_g (\Omega)$	4.8	$C_{gd} (\text{fF})$	11.2
$C_{gs} (\text{fF})$	35.2	$R_d (\Omega)$	7.5	$C_{gs} (\text{fF})$	47.2	$R_d (\Omega)$	7.5
$R_i (\Omega)$	2.0	$g_{m0} (\text{mS})$	30.0	$R_i (\Omega)$	2.0	$g_{m0} (\text{mS})$	28.6
$R_{gs} (\Omega)$	10^4	$R_{ds} (\Omega)$	205	$R_{gs} (\Omega)$	10^4	$R_{ds} (\Omega)$	333
$R_s (\Omega)$	7.3	$C_{ds} (\text{fF})$	13.9	$R_s (\Omega)$	7.0	$C_{ds} (\text{fF})$	17.2

図3.12(a)の f_T 、 f_{max} の測定結果に対応させるために、各ゲート電圧 V_{gs} に対して、この等価回路定数計算した結果を図3.12(b)に示す。ゲート・ドレイン間容量 C_{gd} は、ゲート電極のドレイン端から放射状に電気力線が出ているとする次式の近似モデル、

$$C_{gs} = \pi \epsilon_r \frac{W_g}{2} \approx \frac{10 \text{ fF}}{50 \mu m} \tag{3.9}$$

にほぼ一致し、埋込p層依存性は殆どない。しかし、ゲート・ソース間容量 C_{gs} は埋込p層高濃度化で、3割程度増加している。埋込p層高濃度化にともないチャンネル層を高濃度化しているが、このことによる容量増加分は、階段接合近似を適用すれば、以下のようになる。

$$\frac{C_{gs(\text{cond}2)}}{C_{gs(\text{cond}1)}} = \sqrt{\frac{\Phi_D(\text{cond}2)}{\Phi_D(\text{cond}1)}} \tag{3.10}$$

ここで、 $C_{gs}(\text{cond}1)$ および $C_{gs}(\text{cond}2)$ は、それぞれ、条件1および条件2のゲート・ソース間容量である。また、 $\Phi_D(\text{cond}1)$ および $\Phi_D(\text{cond}2)$ は、それぞれ、条件1および条件2に対するチャンネル層注入ドーズ量である。(3.10)式を用いて、容量増加分を算出すると、チャンネル層高濃度化に起因するゲート・ソース間容量の増加は高々1割程度である。また、今回試作したデバイスのように注入ドーズ量が非常に高い場合、活性化率が低下し、チャンネル層濃度は注入ドーズ量に比例しない。したがって、チャンネル層高濃度化に直接起因するゲート・ソース間容量の増加割合は、さらに低くなると考えられる。したがって、このゲート・ソース間容量 C_{gs} の増加は、高濃度埋込p層内に生じた中性領域（正孔）に起因する寄生容量が増大した結果であると考えられる。つまり、中性領域内の正孔が微小信号によって流動し、この電位分布を補償すべくチャンネル層内の電子が再分布して、拡散容量が増加したものと考えられる。

電流遮断周波数 f_T は、近似的に次式で表される。

$$f_T = \frac{g_{m0}}{2\pi(C_{gs} + C_{gd} + C_{gss} + C_{dss})} \quad (3.11)$$

ここで、パッド間容量 C_{gss} および C_{dss} は約10fF/50 μ mで、デバイス作製条件により違いはない。また、真性相互コンダクタンス g_{m0} は、DC特性の相互トランスコンダクタンスと同様に、埋込p層を完全空乏化条件の4倍まで高濃度化しても、殆ど飽和してしまっている。以上のことから、埋込p層高濃度化による f_T の低下は、中性領域に起因する C_{gs} の寄生容量増大が主な原因である。(3.11)式からも分るように、 g_{m0} が飽和してしまっているので、 C_{gs} の増大がそのまま f_T の低下に関係している。

一方、最大発振周波数 f_{max} は電流遮断周波数 f_T と異なり、次式のようにドレインコンダクタンス g_d の逆数である R_{ds} にも依存している。

$$f_{max} = \frac{f_T}{2\sqrt{\gamma_1 + f_T\tau_3}}$$

$$\gamma_1 = \frac{R_g + R_i + R_s}{R_{ds}}$$

$$\tau_3 = 2\pi R_g C_{gd} \quad (3.12)$$

DC特性のときと同様に高周波特性においても、埋込p層注入ドーズ量を $2 \times 10^{12} \text{cm}^{-2}$ から $4 \times 10^{12} \text{cm}^{-2}$ へと増やして高濃度化すると、電流飽和特性が改善され、ドレインコンダクタンス g_d が減少する。このため、(3.12)式における γ_1 が小さくなるので、 f_T の低下を補うことができる。したがって、 $V_{gs} > 0\text{V}$ では、 f_T が低下するにも関わらず、 f_{max} は埋込p層濃度に関わりなく、同等の値となり、 f_{max} の最大値もほぼ等しくなっている。また、図3.12(a)において、 $V_{gs} < 0$ で、 V_{gs} の低下にともない f_{max} が急激に低下するのは、 g_d が急速に増大するためと考えられる。そして、 g_d の増大原因は、埋込p層高濃度化にともなって、閾値電圧を一定にするために高濃度化したチャネル層において、ブレイクダウンが生じ易くなったためと考えられる。

B. ドレイン電圧依存性

図3.15(a)に、ゲート電圧依存性と同様にして求めた f_T および f_{max} のドレイン電圧 V_{ds} 依存性を示す。ここで、ゲート長 $L_g = 0.2 \mu\text{m}$ 、ゲート幅 $W_g = 50 \mu\text{m}$ であり、また、ゲート電圧 $V_{gs} = 0\text{V}$ である。 f_T はドレイン電圧 $V_{ds} = 1.5\text{V}$ 付近で最大となり、これより高ドレイン電圧側では単調に低下している。そして、この傾向は埋込p層濃度に依らない。図3.15(a)から、 f_T の最大値は $V_{ds} = 1.4\text{V}$ で生じ、それぞれ、約100GHzおよび80GHzである。埋込p層注入ドーズ量 $4 \times 10^{12} \text{cm}^{-2}$ の方が2割程度低くなっている。図3.16には、埋込p層注入ドーズ量 $2 \times 10^{12} \text{cm}^{-2}$ のFET1において、最大の電流遮断周波数 f_T が得られたときの電流利得 H_{21} の周波数依存性を示す。ここで、印加電圧は、 $V_{ds} = 1.4\text{V}$ 、 $V_{gs} = 0\text{V}$ であり、この時の最大発振周波数 f_{max} は101GHzであった。図3.15(a)において、 f_{max} は f_T と異なり、ドレイン電圧 V_{ds} に対して単調に増加し、 $V_{ds} = 2\text{V}$ 付近から飽和傾向を示している。また、埋込p層注入ドーズ量が $4 \times 10^{12} \text{cm}^{-2}$ と多い方が、低ドレイン電圧での f_{max} の低下傾向が強い。

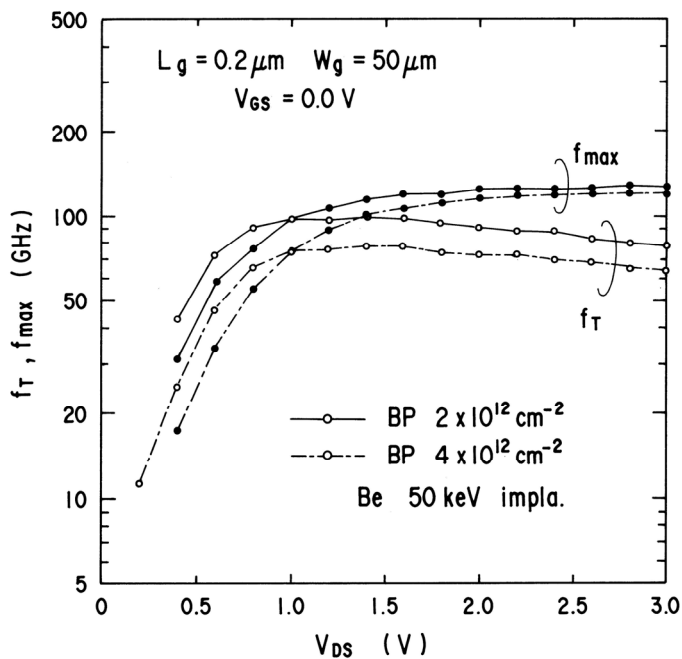


図3.15(a) 電流遮断周波数と最大発振周波数のドレイン電圧依存性

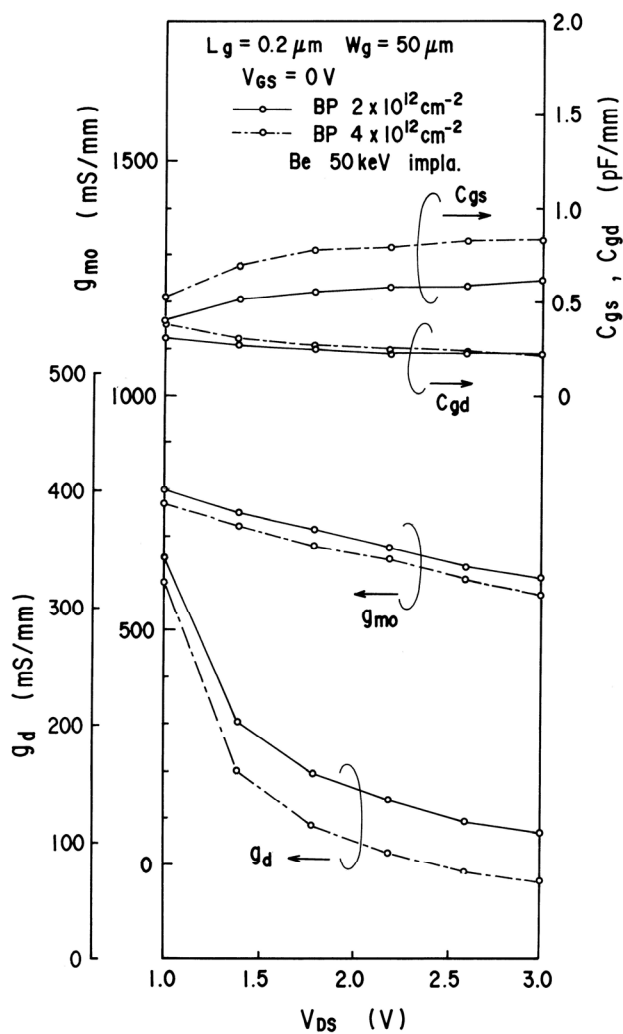
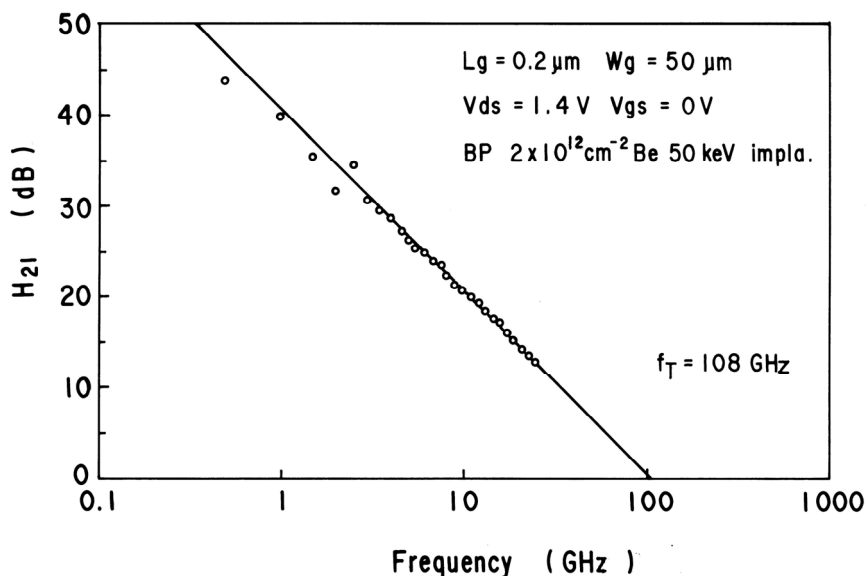


図3.15(b) 等価回路解析結果のドレイン電圧依存性

図3.16 電流利得 H_{21} の周波数依存性

各ドレイン電圧 V_{ds} に対して、この等価回路定数計算した結果を図3.15(b)に示す。ゲート・ドレイン間容量 C_{gd} は、高ドレイン電圧下において、空乏層のドレイン側への広がりにより、僅かに低下しているが、ゲート電圧依存性の場合と同様に、ほとんど埋込p層濃度に依存していない。ゲート・ソース間容量 C_{gs} はドレイン電圧 V_{ds} に依存し、低ドレイン電圧において減少している。また、埋込p層濃度による差異も、ドレイン電圧 $V_{ds}=1.8V$ 附近より低電圧側においては縮まっている。この差異が縮まる原因は、 C_{gs} の中性領域に起因する寄生容量が、ドレイン電圧に依存しているためと考えられる。低ドレイン電圧では、微小信号による正孔の流動が少なくなるためである。

f_T がドレイン電圧 $V_{ds}=1.5V$ 附近で最大となるのは、ドレイン電圧に対する、真性相互コンダクタンスの単調増加、ゲート・ソース間容量 C_{gs} の単調減少に加え、低ドレイン電圧においては、ゲート・ドレイン間容量 C_{gd} が C_{gs} と同程度に影響を与えるためである。埋込p層注入ドーズ量が $4 \times 10^{12} \text{cm}^{-2}$ の場合、 f_{max} が、ドレイン電圧 $V_{ds} < 1.5V$ で急激に減少しており、 $2 \times 10^{12} \text{cm}^{-2}$ の場合よりも減少傾向が強い。これは、低ドレイン電圧下でのドレインコンダクタンス g_d 増大に起因している。つまり、 $V_{ds}=3V$ 附近で、 f_T が低いにも関わらず、注入ドーズ量 $2 \times 10^{12} \text{cm}^{-2}$ と同等の $f_{max} \sim 130 \text{GHz}$ が得られたのは、埋込p層高濃度化によるドレインコンダクタンス g_d の減少効果が主因であった。しかし、低ドレイン電圧 $V_{ds} < 1.5V$ では、デバイス動作における線形領域に近づくため、 g_d が減少せず、もともと、ゲート・ソース間容量 C_{gs} が大きいため、その分だけ f_{max} の低下が急激になっている。

C. ゲート長依存性

図3.17(a)に電流遮断周波数 f_T 、最大発振周波数 f_{max} のゲート長 L_g 依存性を示す。デバイスはすべてゲート幅 $W_g=50 \mu\text{m}$ であり、バイアス条件は f_T または、 f_{max} の最大値が得られる附近とし、それぞれ、 $V_{gs}=0V$ 、 $V_{ds}=1.4V$ 、または、 $V_{gs}=0V$ 、 $V_{ds}=3V$ とした。埋込p層注入ドーズ量を $2 \times 10^{12} \text{cm}^{-2}$ から $4 \times 10^{12} \text{cm}^{-2}$ へと高濃度化することにより、 f_T と f_{max} は、ともに低下している。 f_T は、ゲート長 L_g の短縮とともに、差異が広がっているが、一方、 f_{max} は、差異が狭まっており、ゲート長 $L_g=0.2 \mu\text{m}$ では、ほぼ同等の値が得られている。

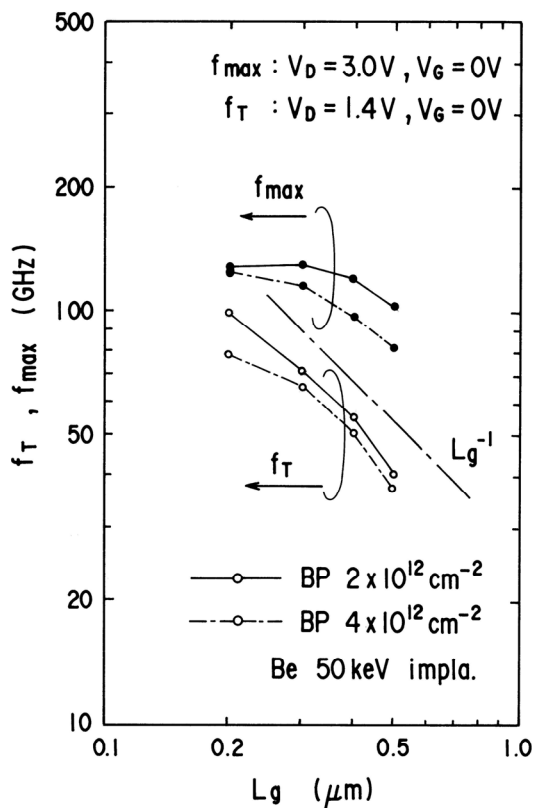


図3.17(a) 電流遮断周波数と最大発振周波数のゲート長依存性

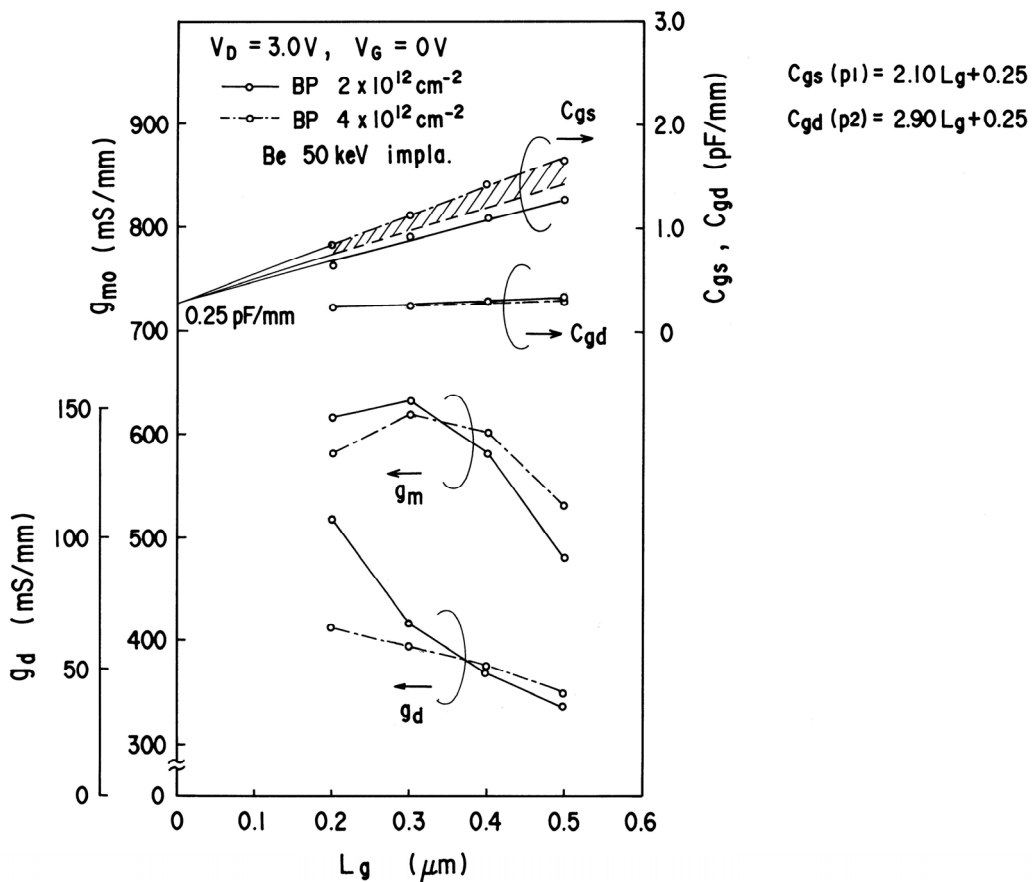


図3.17(b) 等価回路解析結果のゲート長依存性

等価回路解析結果を図3.17(b)に示す。ここで、バイアス条件は $V_{gs}=0V$ 、 $V_{ds}=3.0V$ である。ゲート・ソース間容量 C_{gs} は、ゲート長に比例して増大しており、 $L_g=0\mu m$ で、同一の容量値 $C_{gs}=0.25pF/mm$ に収束している。ゲート・ソース間容量 C_{gs} をゲート長に比例する真性容量 C_{gs0} とゲート長に依存しない寄生容量 C_p に分離して、

$$C_{gs} = C_{gs0} + C_p \quad (3.13)$$

とすると、寄生容量 $C_p=0.25pF/mm$ となる。また、寄生容量 C_p は、ゲート・ドレイン間容量 C_{gd} と殆ど同等の値となっており、また、埋込p層濃度にも依存していない。したがって、寄生容量 C_p は、ゲート電極端に起因するフリンジ容量である。

埋込p層注入ドーズ量を $2 \times 10^{12}cm^{-2}$ から $4 \times 10^{12}cm^{-2}$ へと増加させ、高濃度化したことで、ソース・ゲート間容量が増大した。(3.8)式に示した、閾値電圧を合わせるためのチャンネル層高濃度化による容量増加分のみを考慮すると、注入ドーズ量 $2 \times 10^{12}cm^{-2}$ から $4 \times 10^{12}cm^{-2}$ で、約1割の容量増加となるから、この場合のソース・ゲート間容量 C_{gs} は、注入ドーズ量を $2 \times 10^{12}cm^{-2}$ と $4 \times 10^{12}cm^{-2}$ の間となる。チャンネル層高濃度化による容量増加分のみを考慮したゲート・ソース間容量 C_{gs} と、実際の注入ドーズ量 $4 \times 10^{12}cm^{-2}$ の C_{gs} の差分が、図中の斜線部である。つまり、斜線部は、チャンネル層高濃度化による容量増加分を差し引いた正味の埋込p層高濃度化に起因するゲート・ソース間容量増加分である。また、この容量増加分は、 $L_g=0\mu m$ において、チャンネルが無い場合の $0pF/mm$ に収束する。したがって、埋込p層高濃度化に依るゲート・ソース間容量の増加は、チャンネル層と埋込p層との相互作用であり、中性領域中の正孔流動を緩和しようとして生じるチャンネル内電子の流動に依るものであり、ゲート長（チャンネル長）に比例する。

ドレインコンダクタンス g_d は、ゲート長に対し単調減少している。減少の割合は、埋込p層ドーズ量 $2 \times 10^{12}cm^{-2}$ の場合の方が、 $4 \times 10^{12}cm^{-2}$ の場合よりも急峻である。また、ゲート長 $L_g=0.35\mu m$ 附近で、交わっている。ゲート長 $L_g>0.35\mu m$ では、埋込p層ドーズ量 $2 \times 10^{12}cm^{-2}$ の方が、ゲート長 $L_g<0.35\mu m$ では、 $4 \times 10^{12}cm^{-2}$ の方が良好なドレインコンダクタンス g_d を示している。このため、埋込p層を高濃度化した場合に、長ゲート側で、 f_T と同様に f_{max} も低下してしまっている。このドレインコンダクタンス g_d の振る舞いについては、次のように考えられる。図3.2に示したように、完全空乏化条件を満たす埋込p層濃度は、ほぼゲート長の2乗に反比例して、長ゲートほど低くなっている。したがって、ゲート長 $0.2\mu m$ のデバイスに対して設計した埋込p層濃度では、長ゲートになる程、中性領域過剰な状態になる。また、長ゲートのデバイスに対しては、Siイオン注入エネルギー $10keV$ で形成したチャンネル層は、スケーリング則上、薄層過ぎ、最適なチャンネル層のときよりも、ドレイン端での電界が強くなる傾向にある。このため、長ゲートのデバイスでは、ドレイン端においてブレイクダウンが生じ易く、これにともなってドレインコンダクタンス g_d は増大してしまう。DC特性において、ドレイン電圧 $V_{ds}=3.0V$ で、ドレインコンダクタンスに多少の異常が生じていたが、この現象もドレイン端の電界集中が原因していると考えられる。

3.4 n⁺層囲い込み埋込p層構造

3.2節で示したように、1次元解析によって求めた埋込p層の完全空乏化条件は、短チャンネル効果を抑止しするための埋込p層の指針を与える。ゲート長を $0.1\mu\text{m}$ 程度まで短縮してデバイス性能の向上を目指す場合、埋込p層濃度および厚さの条件式(3.5)、(3.6)からは、埋込p層を高濃度薄層化しなければならない。しかし、等価回路解析の結果から、埋込p層を高濃度化した場合、チャンネル層周りの寄生容量の増大を招く。埋込p層は、(1)チャンネル層と埋込p層のpn接合によりチャンネルの薄層化する、(2) n⁺層と埋込p層のpn接合によりソースおよびドレイン電極のn⁺層間の漏洩電流を低減する、と云う2つの役割を果たす。そこで、チャンネル層下に関わる(1)とn⁺層間に関わる(2)の効果を別々に設計することを考え、(2)の効果をもたらす「n⁺層を囲い込む」第2埋込p層(Bp2)、「n⁺層を囲い込む」第3埋込p層(Bp3)を新たに設け、その効果を検証する。ソース・ドレイン間Bp3の間隔は、Bp2層の間隔よりも広く、埋込p層間隔が狭まることの影響が解析できる。

3.4.1 デバイス製造

n⁺層およびn⁺層を囲い込む第2埋込p層(Bp2)、第3埋込p層(Bp3)を設計するために、Be⁺イオン注入を用いた埋込p層のイオン注入エネルギー依存性を調べた。図3.18に、SIMS分析によるBe⁺イオンの深さ方向分布を示す。800°C、20分の活性化アニール後の結果である。イオン注入エネルギーは10keVから50keV、注入ドーズ量はすべて $1\times 10^{13}\text{cm}^{-2}$ である。図3.19は、図3.18の深さ方向分布をガウス分布でフィッティングしたときの射影飛程 R_p 、飛程標準偏差 ΔR_p を示す。図3.19(a)から、測定したSIMS分析によるBe⁺イオンの深さ方向分布は、LSS理論から得られる射影飛程、飛程標準偏差の約1.2倍であることが分かる。また、図3.19(a)から、同一の注入ドーズ量の場合、注入エネルギー50keV以下では、急激にピーク濃度が増加することが分かる。

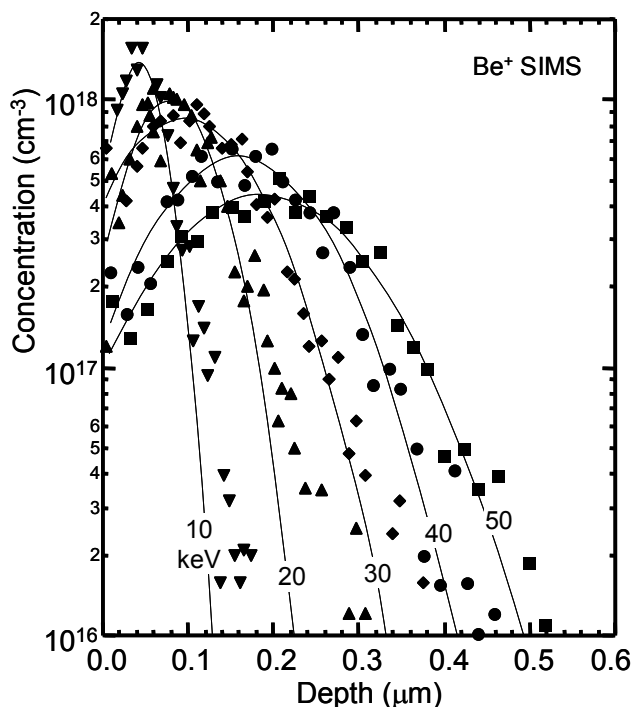


図3.18 SIMS分析によるBe⁺イオンの深さ方向分布

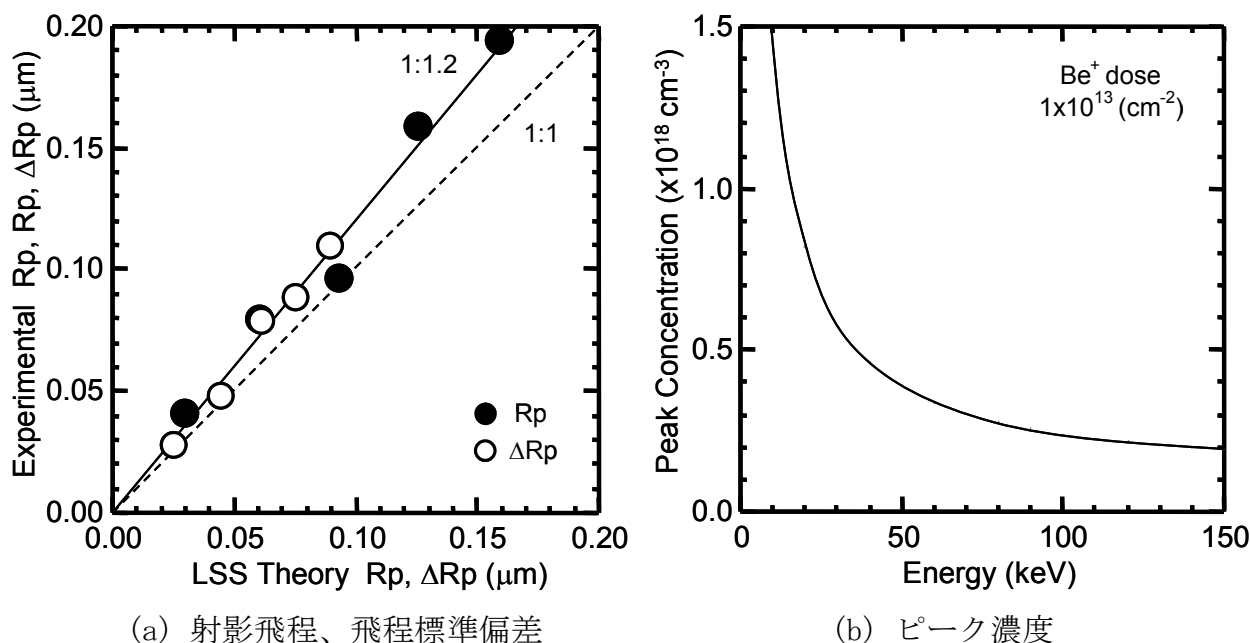


図3.19 Be⁺イオンの深さ方向分布

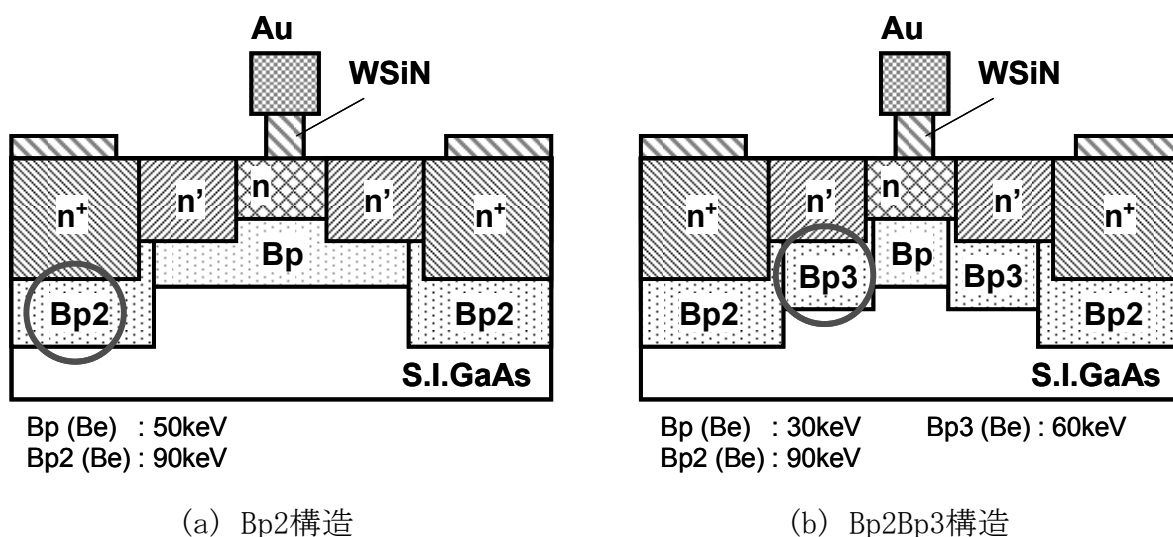


図3.20 第2埋込p層(Bp2)、第3埋込p層(Bp3)を有するデバイス構造

以上の結果を踏まえて、図3.19のような2つのn⁺層(n'層)囲い込み埋込p層を有するデバイス構造を検討した。作製したデバイス構造は、図3.20(a)のようにn⁺層を囲い込む第2埋込p層(Bp2)を有する構造A、(b)のようにn⁺層を囲い込む第2埋込p層(Bp2)とn'層を囲い込む第3埋込p層(Bp3)を有する構造B、および、参照として、第3埋込p層(Bp3)のみを有する構造Cである。表3.6に製作したデバイスの構造パラメータ、表3.7に製作したデバイスの注入条件を示す。埋込p層(Bp層)の注入条件として、構造Aは、前節の検討から注入エネルギー50keV、ドーズ量 $2 \times 10^{12} \text{ cm}^{-2}$ とした。構造B、Cは薄層化の観点から注入エネルギーを30keVとし、ドーズ量は $1.5 \times 10^{12} \text{ cm}^{-2}$ とした。この場合、構造A、B、Cともに、Bp層ピーク濃度は $9 \times 10^{16} \text{ cm}^{-3}$ と同一となる。第2埋込p層(Bp2)、第3埋込p層(Bp3)の注入条件は、各々、注入エネルギーを90keV、60keVとし、ピーク濃度が $5 \times 10^{16} \text{ cm}^{-3}$ となるように設定した。構造Bの場合には、第2埋込p層(Bp2)と第3埋込p層(Bp3)をともに注入するため、Bp2およびBp3の積算ピーク濃度が $5 \times 10^{16} \text{ cm}^{-3}$ となるように設定した。構造Aから構造Cのイオン注入層の深さ方向分布は、各々、図3.21のようである。

表3.6 製作したデバイスの構造パラメータ

ゲート長	L_g	$0.13 \mu m$
ゲート-n'層間隔	L_{gn}'	$0.15 \mu m$
ゲート-n ⁺ 層間隔	L_{gn}^+	$0.25 \mu m$
ゲート-オーミック間隔	L_{gs}, L_{gd}	$0.70 \mu m$

表3.7 製作したデバイスの注入条件

		A構造	B構造	C構造
Bp層	dose (cm ⁻²)	2.0×10^{12}	1.5×10^{12}	1.5×10^{12}
	energy (kev)	50	30	30
Bp2層	dose (cm ⁻²)	2.0×10^{12}	1.0×10^{12}	N/A
	energy (kev)	90	90	N/A
Bp3層	dose (cm ⁻²)	N/A	0.75×10^{12}	1.5×10^{12}
	energy (kev)	N/A	60	60

		n層	n'層	n ⁺ 層
Si ⁺ 注入層	dose (cm ⁻²)	$1.8 \times 10^{13} \text{ cm}^{-2}$	$2.0 \times 10^{13} \text{ cm}^{-2}$	$8.6 \times 10^{13} \text{ cm}^{-2}$
	energy (kev)	10	40	80

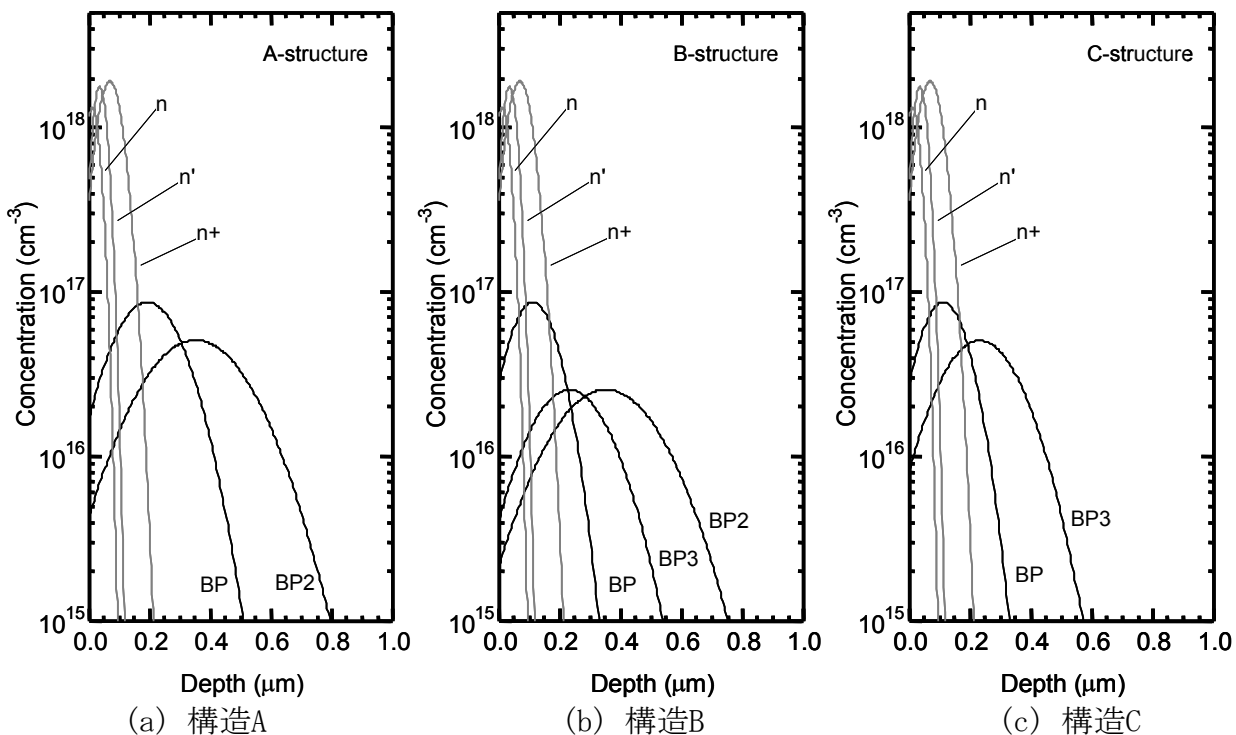
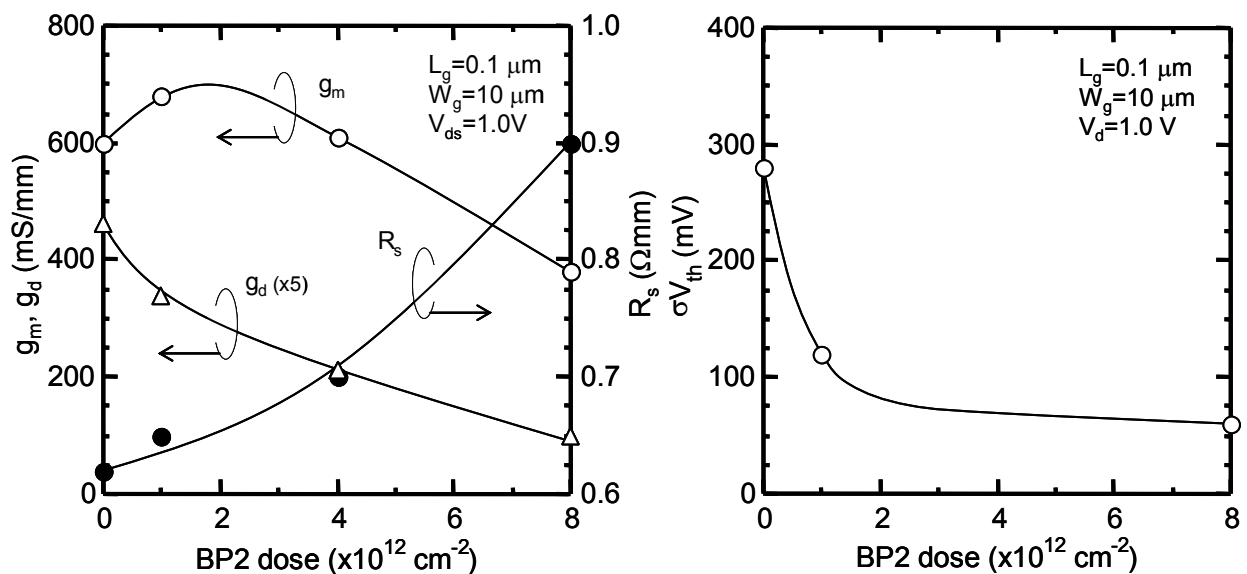


図3.21 各構造におけるイオン注入層の深さ方向依存性

上記3種類の構造のデバイスを3インチ半絶縁GaAs基板上に作製した。デバイス作製プロセスは前節のGaAs-MESFET作製法と同様である。全てのドーピング層は選択イオン注入を用いて作製した。ショットキゲート電極は耐熱性金属WSiNである。極微細ゲート電極の形成は、反射防止膜をフォトリソグラフィ上にコートしたi線フォトリソグラフィを用い、第4章で詳細に述べるフッ素系ガスを用いたECR-RIEで行った。ゲート長は $0.13\mu\text{m}$ である[19]。ゲート抵抗を低減するために、Auを載せたAu/WSiN₂層ゲートとした。Auはあまり大きくすると寄生容量が増加し利得減少の原因となるためフットプリント $0.3\mu\text{m}$ とした。ゲート・ソース間隔は $1.0\mu\text{m}$ であり、デバイス構造はソース、ドレインで対称構造である。配線は2層構造とし、1層当たりのAu配線厚さは $1\mu\text{m}$ である。配線層間絶縁膜は $2.5\mu\text{m}$ 厚のポリイミドを用いた。MIM容量は2層配線間に 200nm のSiO₂を挟んだ構造である。

3.4.1 DC特性

構造Aにおいて、第2埋込p層(Bp2)のドーピング量を変えた場合のDC特性を図3.22示す。図3.22(a)は相互コンダクタンス g_m 、ドレインコンダクタンス g_d およびソース抵抗 R_s 、図3.22(b)は閾値分散 σV_{th} のドーピング量依存性である。測定したデバイスは、ゲート長 $L_g=0.13\mu\text{m}$ 、ゲート幅 $W_g=10\mu\text{m}$ であり、バイアス条件はドレイン電圧 $V_{ds}=1.0\text{V}$ 、ゲート電圧 $V_{gs}=0.5\sim 0.6\text{V}$ である。相互コンダクタンス g_m はドーピング量 $1\times 10^{12}\text{cm}^{-2}$ 近傍で最大となり、値も 600mS/mm を超えるが、それ以上ドーピング量を増加すると低下する傾向にある。ドーピング量 $4\times 10^{12}\text{cm}^{-2}$ では 400mS/mm 以下まで低下する。これに対しドレインコンダクタンス g_m 、ソース抵抗 R_s はドーピング量とともに単調に減少または増加する。また、3インチウエハ面内での閾値分散 σV_{th} は、Bp2層ドーピング量0から $1\times 10^{12}\text{cm}^{-2}$ とすることで大きく低減するが、それ以上ドーピング量を増加させても閾値分散低減への効果は飽和してしまう。以上の結果から、Bp2層を設けて、ドーピング量 $1\sim 2\times 10^{12}\text{cm}^{-2}$ 程度までは、短チャネル効果低減効果が大きい、それ以上ドーピング量を増やすと過剰なBp2層がソース抵抗の増大を招き、相互コンダクタンスを低下させてしまうことが分かる。したがって、相互コンダクタンス向上および閾値分散低減の観点から、Bp2層のドーピング量は $1\sim 2\times 10^{12}\text{cm}^{-2}$ 程度が良いと考えられる。



(a) コンダクタンスおよびソース抵抗

(b) 閾値分散

図3.22 第2埋込p層(Bp2)ドーピング量依存性

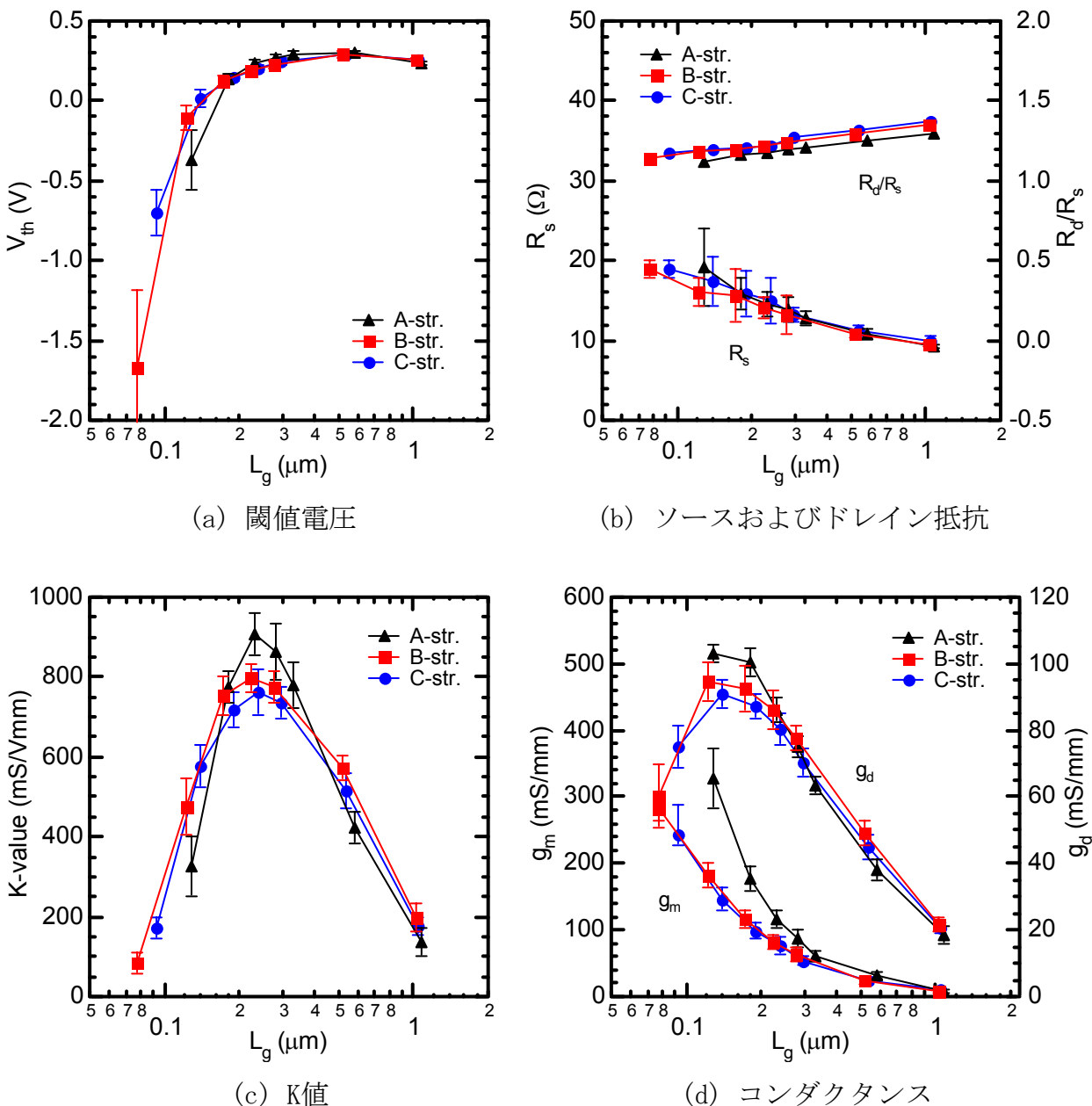


図3.23 構造A~Cの各種DC特性のゲート長依存性

図3.23は、構造A、B、Cにおける各種DC特性のゲート長依存性を示す。評価した素子は、ゲート幅 $100\mu\text{m}$ (単位ゲート幅 $50\mu\text{m}$ 、2フィンガ) である。全ての測定値は3インチウエハ面内で等間隔に配置された21の素子を測定した平均値である。エラーバーは測定値の 3σ を表す。ウエハ間でのゲート電極加工精度の不安定さにより、各構造でゲート寸法が若干異なり、構造A、B、Cで最小ゲート長は各々、 $0.13\mu\text{m}$ 、 $0.08\mu\text{m}$ 、 $0.09\mu\text{m}$ となっている。作製した最大ゲート長は $1.1\mu\text{m}$ である。図3.23(a)は閾値電圧のゲート長依存性である。ゲート長 $0.2\mu\text{m}$ まではどの構造も閾値電圧シフトは 0.2V 以内であるが、ゲート長 $0.2\mu\text{m}$ 以下では、 n' 層を囲い込む第3埋込p層(Bp3)を設けた構造B、Cの方が、閾値電圧シフトが抑制されている。ゲート長 $0.1\mu\text{m}$ で 0.2V 程度改善している。図3.23(b)はソース抵抗 R_s 、およびドレイン抵抗とソース抵抗の比 R_d/R_s である。どの構造においても、ソース抵抗はゲート長短縮とともに増大し、ゲート長 $1\mu\text{m}$ から $0.1\mu\text{m}$ で、2倍程度となっており、構造によるソース抵抗値の違いはない。ソース抵抗はドレイン電極フローティン

グとしたゲート・ソース間ショットキ特性の傾きから求めた値であり、ソース抵抗が増大するのは、ゲート長の微細化にともなうゲート抵抗の増大が主要因である。図3.23(c)はK値のゲート長依存性である。K値は、閾値電圧近傍でのゲート電圧に対する相互コンダクタンスの急峻性、電流遮断特性の良好性を表す指数である。構造B、Cに比較して、構造Aはゲート長 $0.2\sim 0.3\mu\text{m}$ で大きなK値を示すが、ゲート長 $0.1\mu\text{m}$ 近傍では構造B、Cの方が多少優る。図3.23(d)は相互コンダクタンス g_m およびドレインコンダクタンス g_d のゲート長依存性である。ゲート長 $0.1\sim 0.2\mu\text{m}$ では構造Aが他の構造に比較して、良好な相互コンダクタンスを示している。ゲート長 $0.1\mu\text{m}$ で、 50mS/mm 程度良好である。しかし、構造Aでは構造B、Cに比較して、ゲート長 $0.3\mu\text{m}$ 以下でドレインコンダクタンスが顕著に増大しており、短チャネル効果が強い。以上から、ゲート長 $0.2\mu\text{m}$ までは構造Aが適しているが、さらにゲート長を微細化して、ゲート長 $0.1\mu\text{m}$ 以下では、第3埋込p層(Bp3)を設けた構造B、Cの方が、短チャネル効果を抑止して閾値電圧制御性の良く、デジタル回路用途にも適していると考えられる。

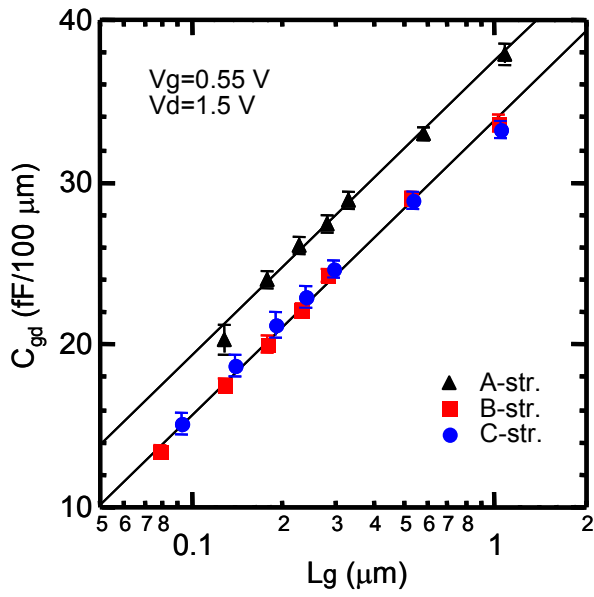
3.4.2 RF特性

DC特性を測定した素子に対して、HP8510Cネットワークアナライザを用いて $0.5\sim 50\text{GHz}$ のSパラメータ測定を行った。バイアス条件はゲート電圧 $V_{gs}=0.55\text{V}$ 、ドレイン電圧 $V_{ds}=1.5\text{V}$ である。図3.24に、構造A、B、Cにおける各種RF特性のゲート長依存性を示す。図3.24(a)は帰還容量であるゲート-ドレイン間容量 C_{gd} のゲート長依存性である。この帰還容量は、測定したSパラメータをYパラメータに変換し、 Y_{21} から直接算出した。

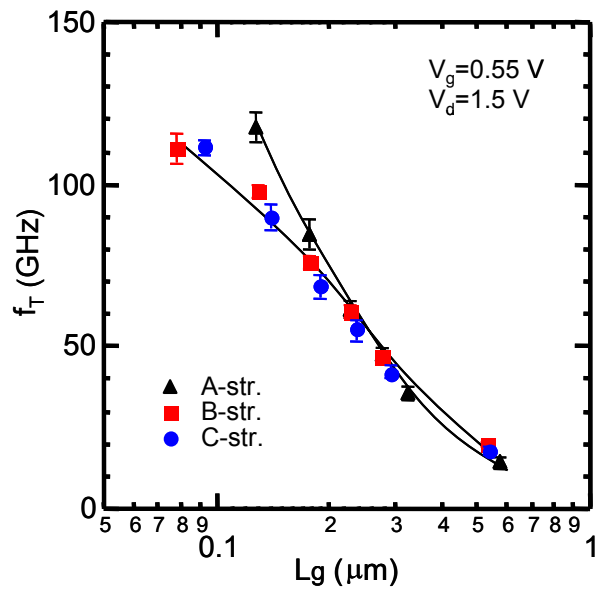
$$C_{gd} = -\text{Im}\left(\frac{Y_{12}}{\omega}\right) \quad (3.14)$$

ゲート-ドレイン間容量 C_{gd} はゲート長の対数に比例し、第3埋込p層(Bp3)を用いた構造B、Cではほぼ同一の値となった。構造Aに比較して、帰還容量 C_{gd} が $30\sim 40\text{fF/mm}$ 減少しており、帰還容量 C_{gd} は第3埋込p層(Bp3)を用いることで軽減している。図3.24(b)は測定したSパラメータから計算した電流利得 H_{21} の周波数依存性を -6dB/oct で外挿して求めた電流利得遮断周波数 f_T のゲート長依存性である。DC特性で求めた相互コンダクタンスと同様に、ゲート長 $0.1\sim 0.2\mu\text{m}$ では構造Aが他の構造に比較して、良好な電流利得遮断周波数 f_T を示している。ゲート長 $0.1\mu\text{m}$ で、 20GHz 以上高く、 120GHz を得ている。しかし、最大発振周波数 f_{max} は、構造Aで 130GHz であるのに対して、構造Bおよび構造Cは 150GHz と高い。Bp3層を導入することでゲート・ドレイン間容量 C_{gd} およびドレインコンダクタンスが低減したことがその主要因である。図3.24(c)に 10GHz における最大安定利得MSGのゲート長依存性を示す。MSGはゲート長の短縮に対して線形に増加し、ゲート長 $0.1\mu\text{m}$ において 17dB が得られる。 60GHz において 8dB であった。図3.24(a)で示した帰還容量の影響で、構造B、Cは構造Aに較べ、すべてのゲート長でMSGが約 0.7dB 向上している。

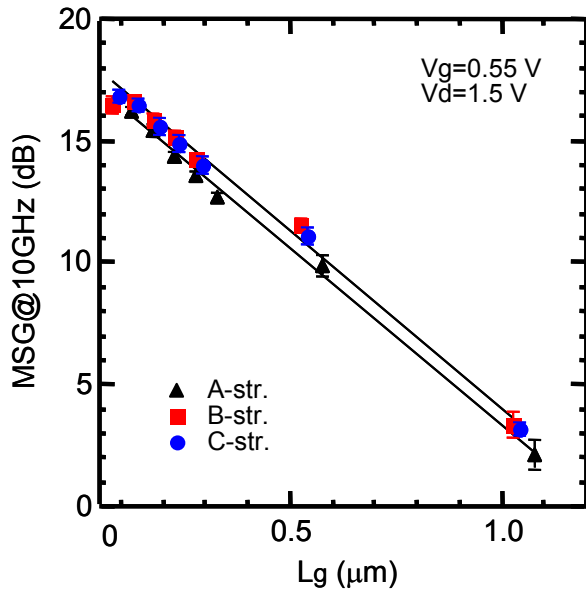
以上の結果から、 n' 層を囲い込む第3埋込p層(Bp3)を用いることで、構造Aに比較して構造B、Cの方が短チャネル効果を効率的に抑制することができ、微細ゲートにおいても閾値電圧の制御性が良好であるとともに、帰還容量の低減が可能であること分かる。構造Aの方が、ゲート長 $0.1\sim 0.3\mu\text{m}$ において、相互コンダクタンスおよび電流利得遮断周波数が優るものの、構造B、Cでは、帰還容量低減にともなう電力利得向上が見込まれ、利得を重視するアナログ回路でも第3埋込p層(Bp3)が有効と考えられる。また、第3埋込p層(Bp3)を用いた2つの構造B、Cでは、第2埋込p層(Bp2)の有無で特性に殆ど差がないことが分かる。



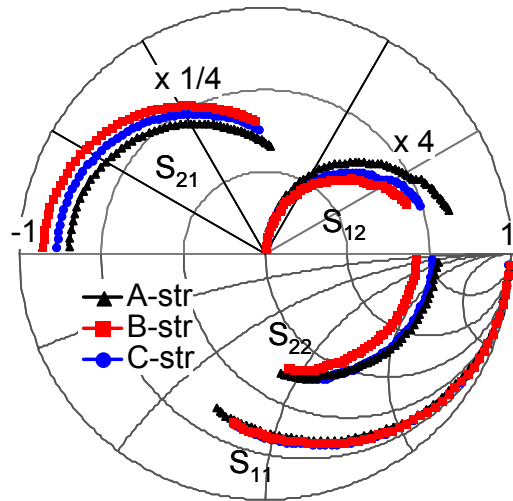
(a) ゲート・ドレイン間容量



(b) 電流利得遮断周波数



(c) 最大安定利得



(d) スミスチャート

図3.24 構造A~Cの各種RF特性のゲート長依存性

3.5 MMICへの適用

本研究を通じて開発した中性領域を有する埋込p層を有するGaAs-MESFETを。実際のMMICに適用し、その可能性を確認した。

3.5.1 V帯増幅回路

Bp2層を有する構造A、Bp2層およびBp3層を有する構造Bのデバイスを用いて、V帯増幅器を作製した[20]。増幅器に使用したデバイスの等価回路を図3.25に示す。また、スミスチャート上のSパラメータを図3.24(d)に示す。構造A、B、Cでゲート長は各々、 $0.13\ \mu\text{m}$ 、 $0.08\ \mu\text{m}$ 、 $0.09\ \mu\text{m}$ である。バイアス条件はドレイン電圧 1.5V であり、ドレイン電流は構造Aで 20mA 、構造Bで 23mA である。構造Bの方が、ゲート・ドレイン間容量が小さい構造であり、また、微細ゲートであるために、 S_{12} および S_{11} が小さいとともに S_{21} が大きくなっている。

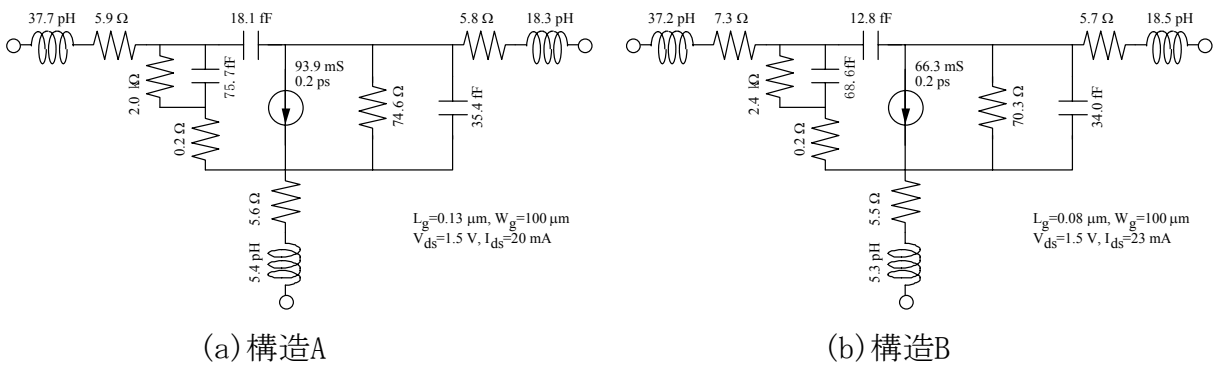


図3.25 各構造の等価回路

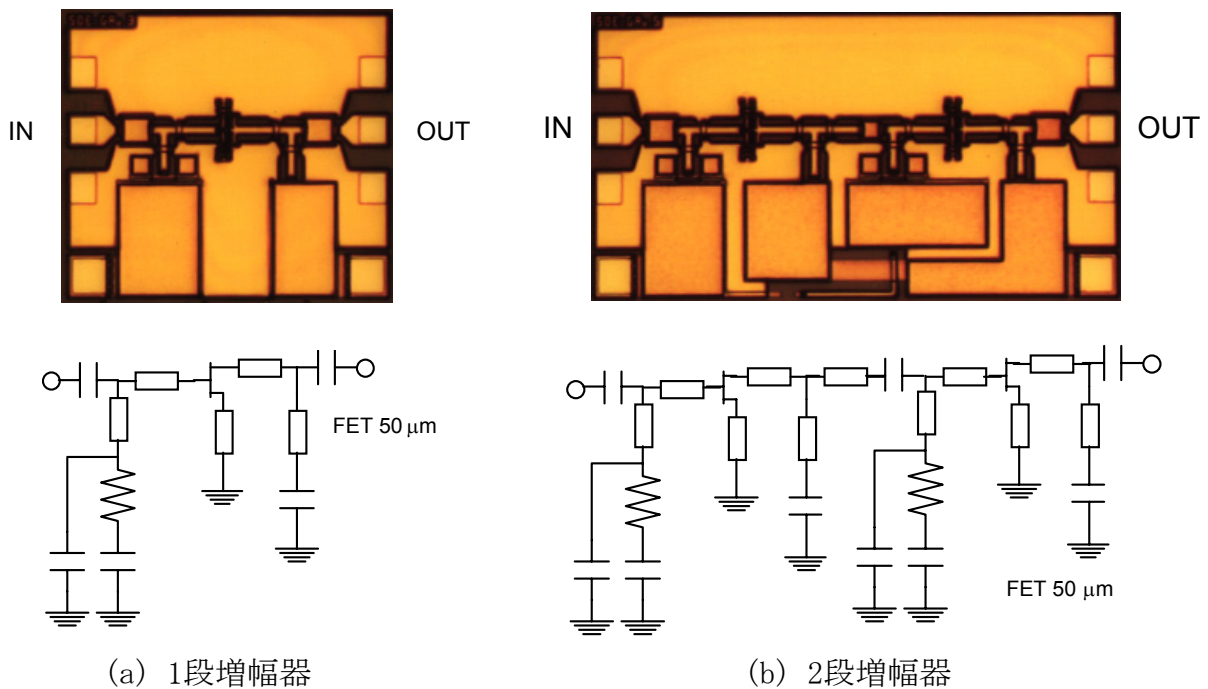


図3.26 V帯増幅器の等価回路とチップ写真

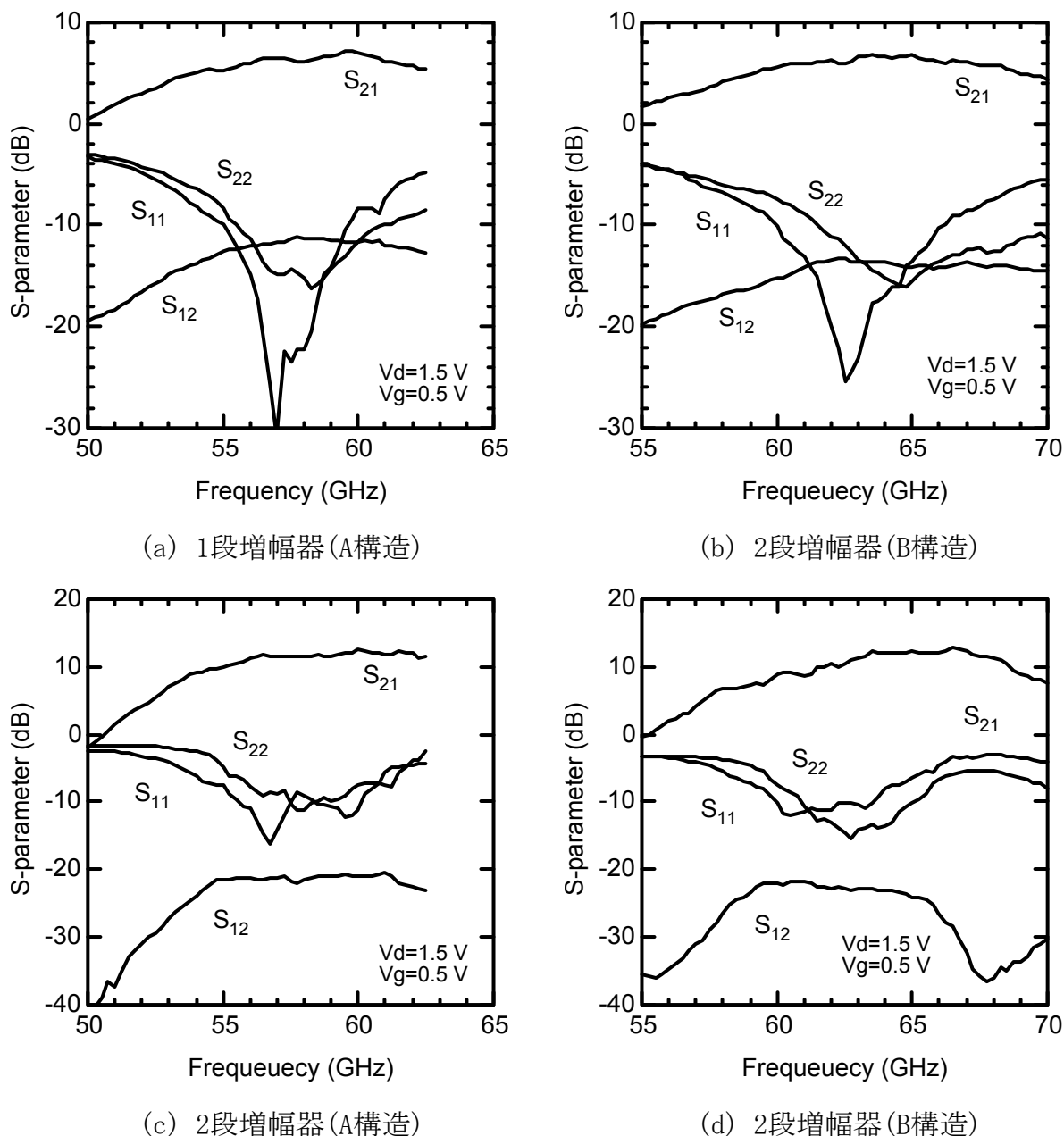


図3.27 2段増幅器利得の周波数依存性

図3.26に試作した60GHz帯増幅器のチップ写真を示す。チップサイズは1段増幅器が0.77mm x 0.66mm、2段増幅器が1.25mm x 0.66mmである。デバイスのゲート幅は、60GHzにおける最適値である50 μ mとした。構成は25 μ m、2フィンガである。コンパクトなレイアウトとするために伝送線路はCPW線路を用いた。デバイスのソース端子には伝送線路を配してインダクティブフィードバックとし、最適な雑音整合と利得整合を同時に達成した。作製した増幅器は、HP8510Cネットワークアナライザを用いて周波数特性を測定した。バイアスは S_{21} が最も大きくなる条件とし、ドレイン電圧1.5V、ゲート電圧0.5Vとした。この時、1段増幅器の消費電流はA構造が9mA、B構造が10mAであった。

図3.27に増幅器特性の周波数依存性を示す。A構造の1段増幅器の利得は7.0dB@60GHzであった。B構造はゲート長が短いために高周波側にずれたが、6.8dB@65GHzと良好であった。また同時に作製した二段増幅器の利得は、12.5dB@60GHz(A構造)、12.5dB@65GHz(B構造)であった。通常、増幅器利得は6dB/octで減少し、60GHzと65GHzでは約0.8dB減少す

る。したがって、上記増幅器の結果からも埋め込みp層最適化を行ったB構造が高利得であることが分かる。

次に、雑音指数NFと付随利得 G_a を周波数50から70GHzにおいて測定した。測定した1段および2段増幅器の雑音指数と付随利得を図3. 28に示す。Sパラメータ測定と同じバイアス条件で測定した。1段増幅器の雑音指数はA構造、B構造とも65GHz付近で最小となった。A構造は5dB@60~70GHz、B構造は6dB@60~70GHzであった。B構造を用いた2段増幅器の雑音指数は6.0dB@60~70GHzであった。これらのデータはGaAs-MESFETを用いたV帯増幅器としては最高値である。雑音指数は相互コンダクタンスの影響を大きく受けるため、A構造の方が良好な雑音指数が得られた原因は、B構造に比較して大きな相互コンダクタンスであると考えられる。

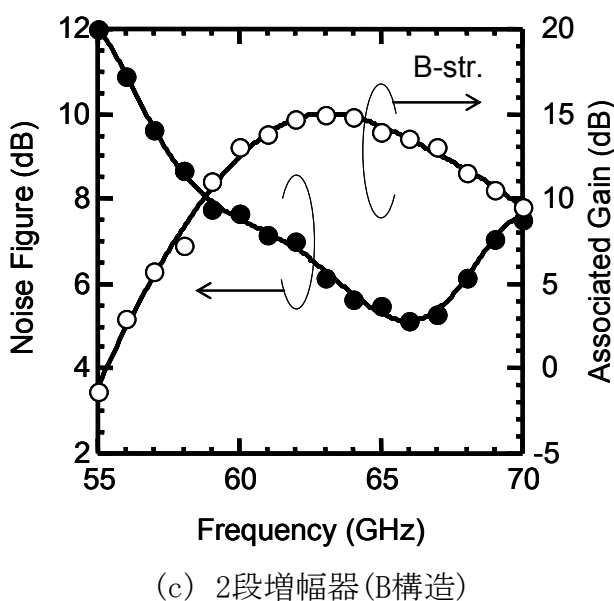
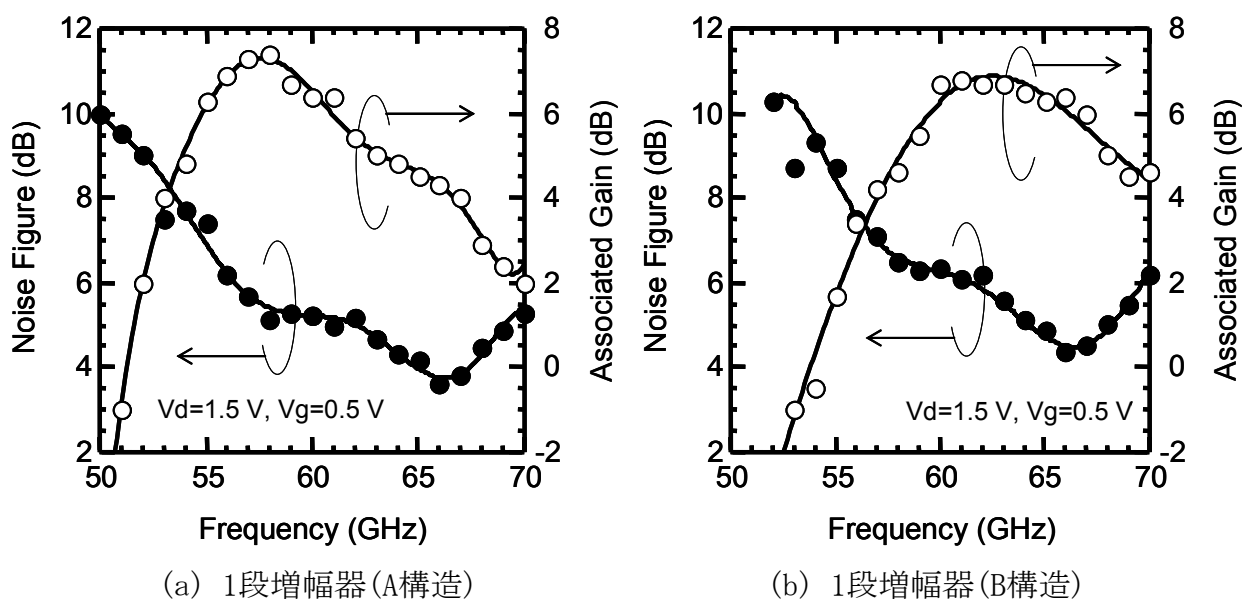
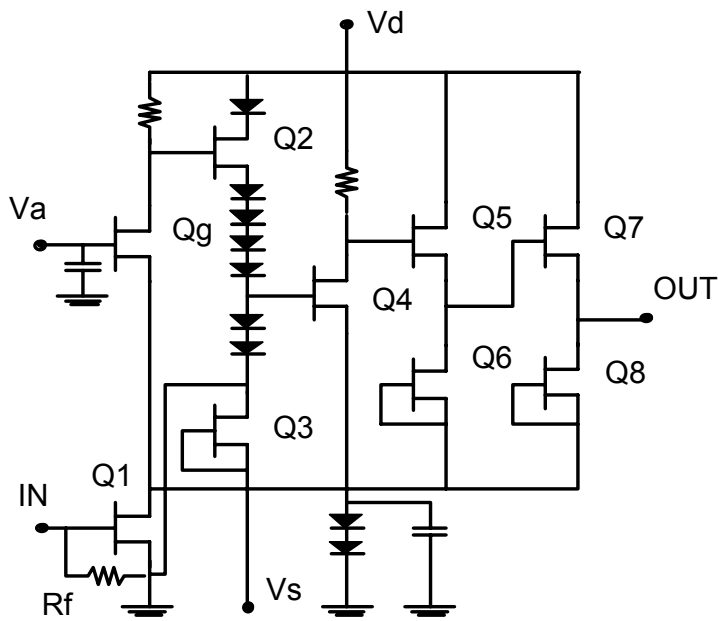


図3. 28 増幅器の雑音指数

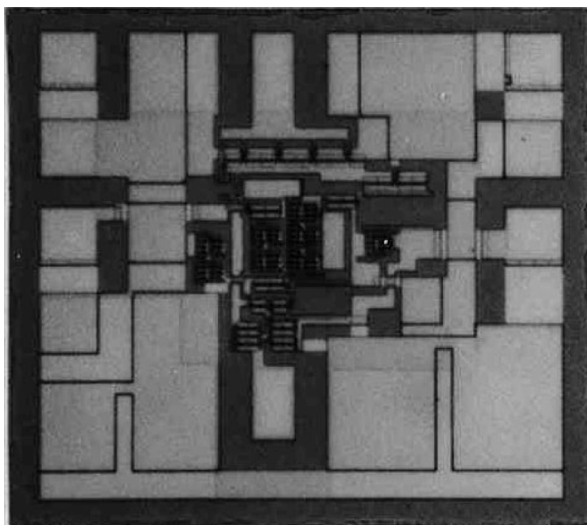
3.5.2 直結増幅回路

Beドーズ量が $2 \times 10^{12} \text{cm}^{-2}$ と埋込p層内に中性領域を有するBP-LDD構造GaAs-MESFETを用いて直結増幅回路を作製した[21]。ゲート長は $0.4 \mu\text{m}$ である。図3.29に作製した直結増幅回路の回路図およびチップ写真を示す。チップ寸法は $0.8 \text{mm} \times 0.9 \text{mm}$ である。広帯域と低雑音特性を得るために、本回路においては、(1) 入力段に抵抗帰還を有するカスコード接続FETを用いるとともに、(2) 入力FETのドレイン端子に出力ソースフォロアからの帰還を施した。前者はミラー効果を低減して入力容量を低減する効果があり、後者はカスコード接続FETの位相遅延を用いてピーキングがかかる構成になっている。

図3.30に、S-パラメータ S_{21} と雑音指数の周波数依存性を示す。直結増幅回路の利得は20dB、3dB帯域は10GHzであった。ここで、その他のS-パラメータ S_{11} 、 S_{22} 、 S_{12} は、それぞれ、-5dB、-10dB、-45dBであった。消費電力は365mWである。さらに、直流から10GHzまでの雑損指数は4.2dB、最小雑音指数は3.2dBと良好であった。この低雑音特性は用いたGaAs-MESFETの大きな相互コンダクタンスに因るところが大きい。この特性は同一ゲート長でのAlGaAs/GaAs HEMTと同等以上である。



(a) 回路図



(b) 写真

図3.29 直結増幅回路

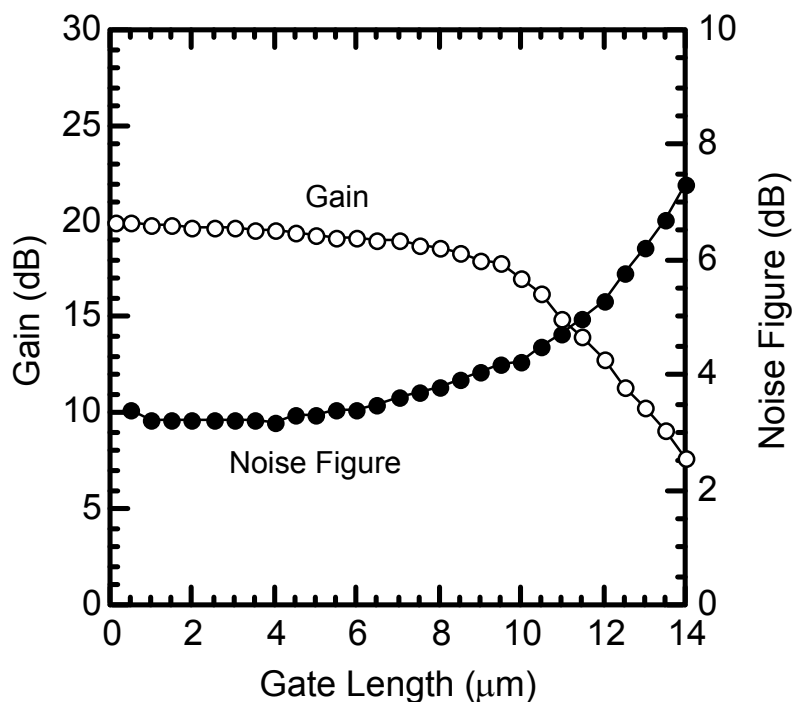


図3.30 直結増幅回路の特性

3.5.3 分布増幅回路

Be注入ドーズ量が $2 \times 10^{12} \text{cm}^{-2}$ と埋込p層内に中性領域を有するBP-LDD構造GaAs-MESFETを用いて、光ファイバ通信受信器の前置増幅用に分布増幅回路を作製した[22]。図3.31に作製した分布増幅回路の回路図およびチップ写真を示す。チップ寸法は $3 \text{mm} \times 2 \text{mm}$ である。増幅回路にはゲート寸法が $0.3 \mu\text{m} \times 75 \mu\text{m}$ のFETを用い、段数は4段とした。回路の伝送線路にはCPW線路（コプレーナ線路）を用いた。基板の薄層化およびビアホール作製プロセスが不要であり、MS線路（マイクロストリップ線路）を用いる場合に較べて、歩留まりが良いとともに、隣接伝送線路間のクロストークを抑止することが可能である。このCPW線路によるゲートおよびドレイン線路の特性インピーダンスは 50Ω とした。また、厳密なFETのゲート容量値を算出して、周波数帯域が30GHzで、平坦な帯域が得られるようにCPW線路の長さを設計した。図3.32に、測定したS-パラメータの周波数依存性を示す。3-dB帯域は0.5~30GHzであり、利得は7.3dBが得られた。消費電力は280mWであった。

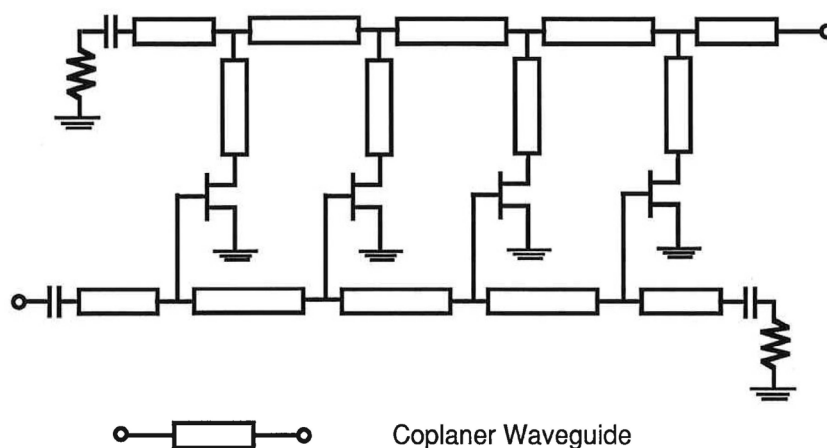


図3.31 分布増幅回路 (a) 回路図

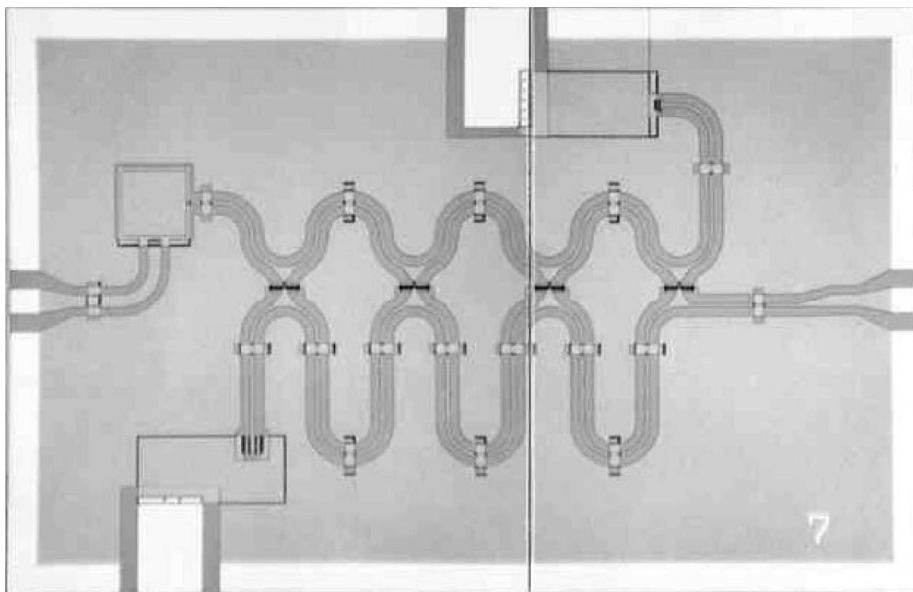


図3.31 分布増幅回路 (b) チップ写真

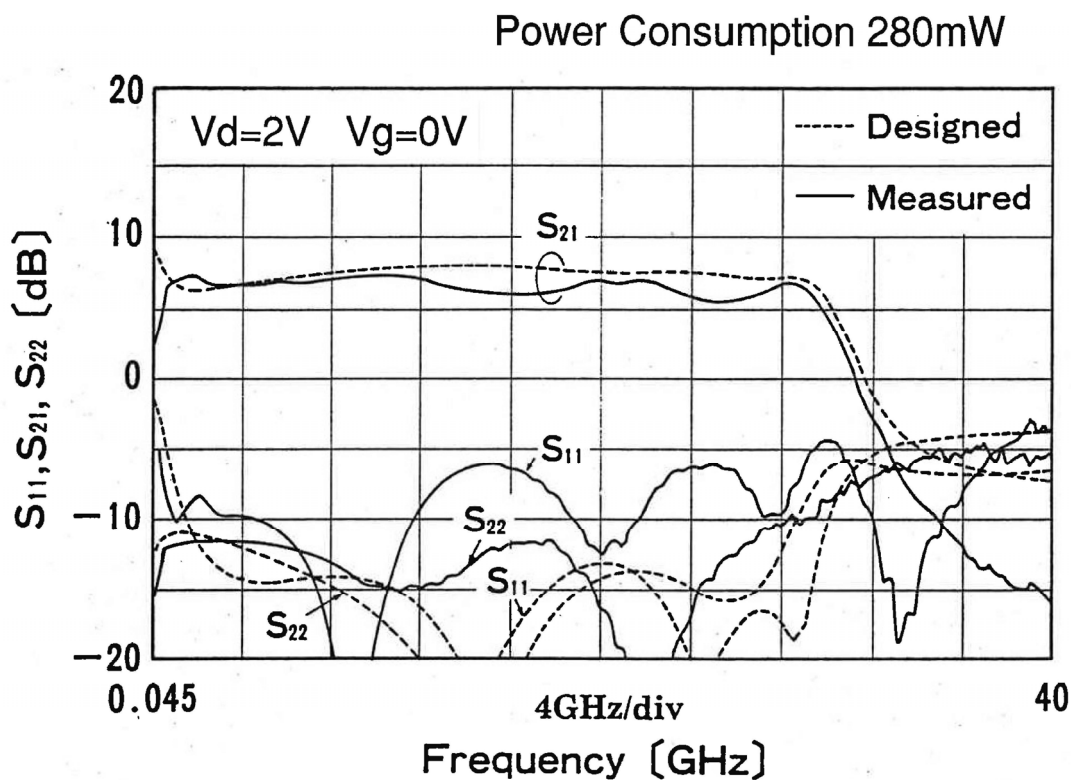
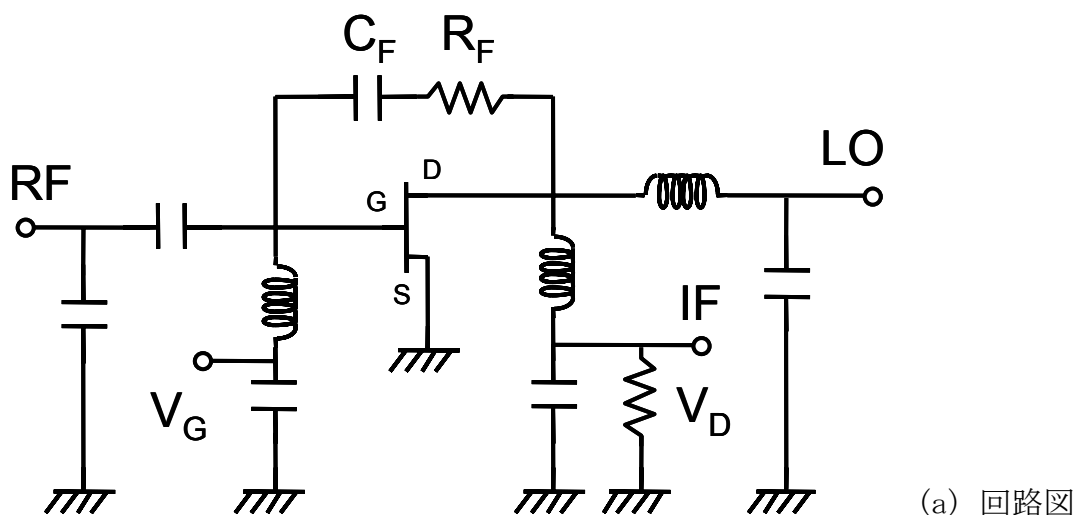


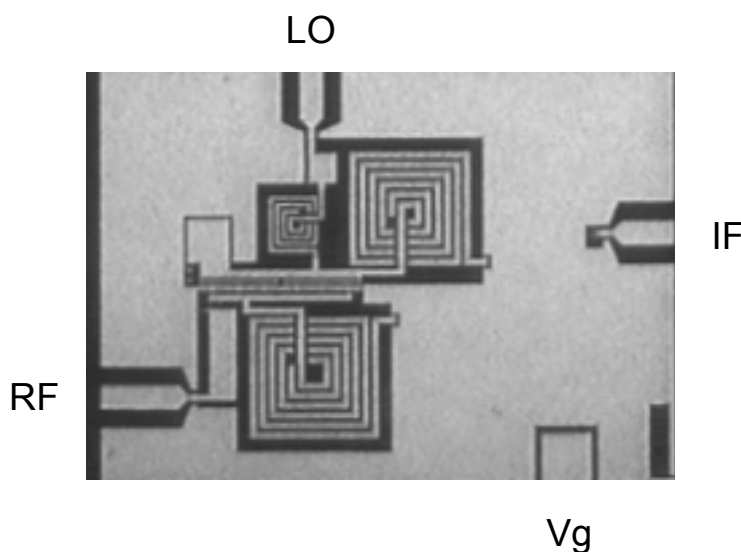
図3.32 分布増幅回路の特性

3.5.4 RC負帰還を有するMMICミキサ

L帯付近の周波数帯のミキサでは、ミリ波周波数に比較して大きな相互変調歪み (Intermodulation Distortion) が問題となる。その対策として、RF入力電力を下げるか、FETのゲート幅を広げる手法があるが、双方とも、IF出力電力を犠牲にして歪みを低減させるものである。そこで新たにRC負帰還を有するFETミキサを考案し、Beドーゾ量が $2 \times 10^{12} \text{cm}^{-2}$ と埋込p層内に中性領域を有するBP-LDD構造GaAs-MESFETを用いて試作した[23]。図3.30に試作したRC負帰還を有するMMICミキサの回路図とチップ写真を示す。



(a) 回路図



(b) 写真

図3.33 RC負帰還を有するMMICミキサ

ミキサの基本構成は、ゲート電極にRF信号を、ドレイン電極にLO信号を入力して、IF信号を取り出すドレインLO注入型ミキサ (Drain LO Injection Mixer) であり、FETのゲート・ドレイン間にRC負帰還を施した。FETのゲート寸法は $0.3 \mu\text{m} \times 400 \mu\text{m}$ である。図3.34は、ハーモニックバランス法を用いてシミュレーションした、RC負帰還ミキサのRFからIFへの変換利得と3次相互変調歪みの負帰還抵抗依存性である。負帰還抵抗が 600Ω 以下の場合、多少変換利得は低下するものの、3次相互変調歪みは急激に減少する。負帰還容量は 1pF 以上であれば、3次相互変調歪み低減に効果がある。

図3.35は作製したRC負帰還ミキサの特性のLO入力電力依存性である。RF入力電力は $-15\text{dBm}/\text{tone}$ 、2波の周波数差は 2MHz である。LO入力電力 5dBm 以下では、ドレインスイッチングに要する電力不足のために、RC負帰還の効果はあまり現れていないが、 5dBm 以上では顕著な3次変調歪み抑止効果が現れる。さらに、RC負帰還がない場合に比較して変換利得も向上させることができた。

図3.36は、3次インタセプトポイントIP3 (3rd-order Intermodulation intercept point) の負帰還抵抗依存性を示す。LO入力電力は、RC負帰還効果が顕著に現れる 10dBm とした。負帰還抵抗 500Ω において、IP3を 8dBm 以上の向上させることが可能となった。

図3.37は、DSB (両側波帯) 雑音指数のLO電力依存性を示す。通常のRC負帰還なしのミキサはLO入力電力を 5dBm 以上に上げてても雑音指数はもはや減少しないが、RC負帰還あり

の場合は、LO入力電力を10dBm以上まで雑音指数は線形に減少する。この低雑音指数は、良好な変換利得と、RC負帰還による広帯域化が大きく寄与しているものと考えられる。

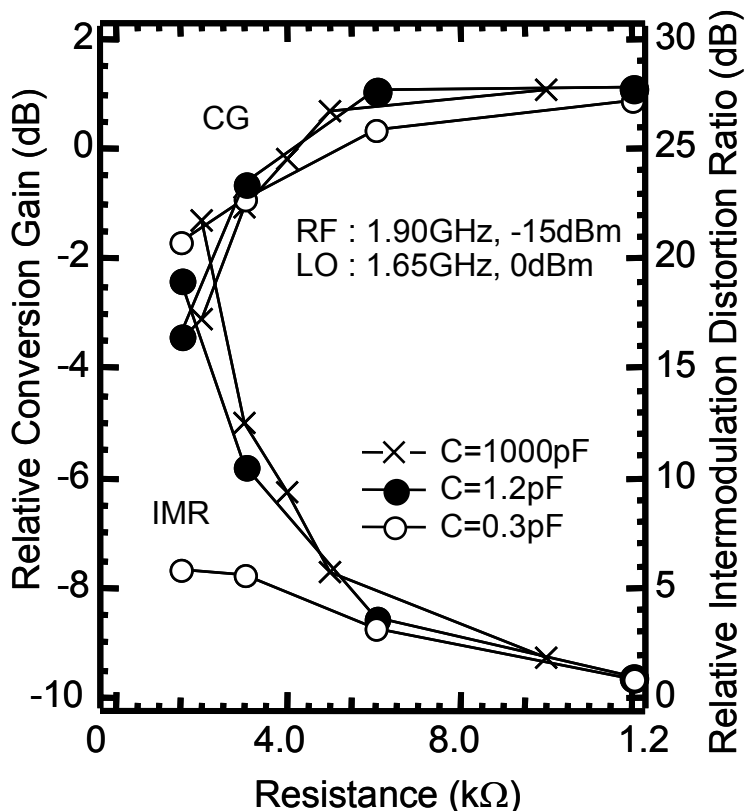
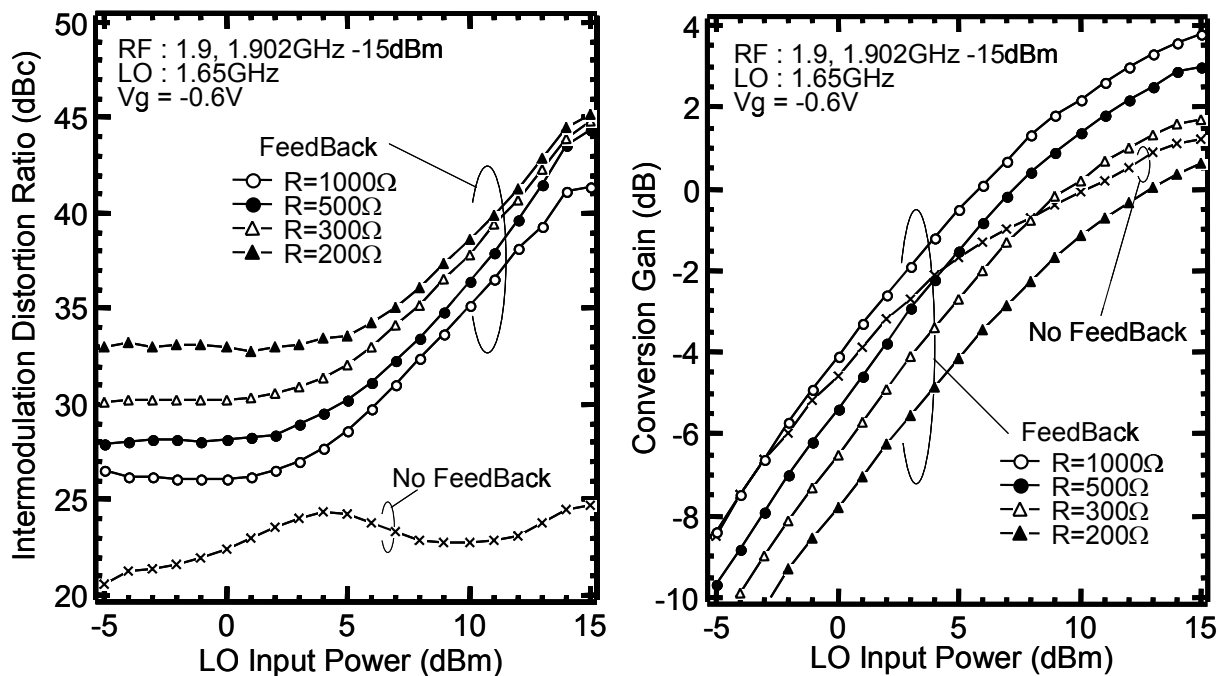


図3.34 負帰還ミキサの変換利得と3次相互変調歪み



(a) 3次相互変調歪み

(b) 変換利得

図3.35 RC負帰還ミキサ特性のLO入力電力依存性

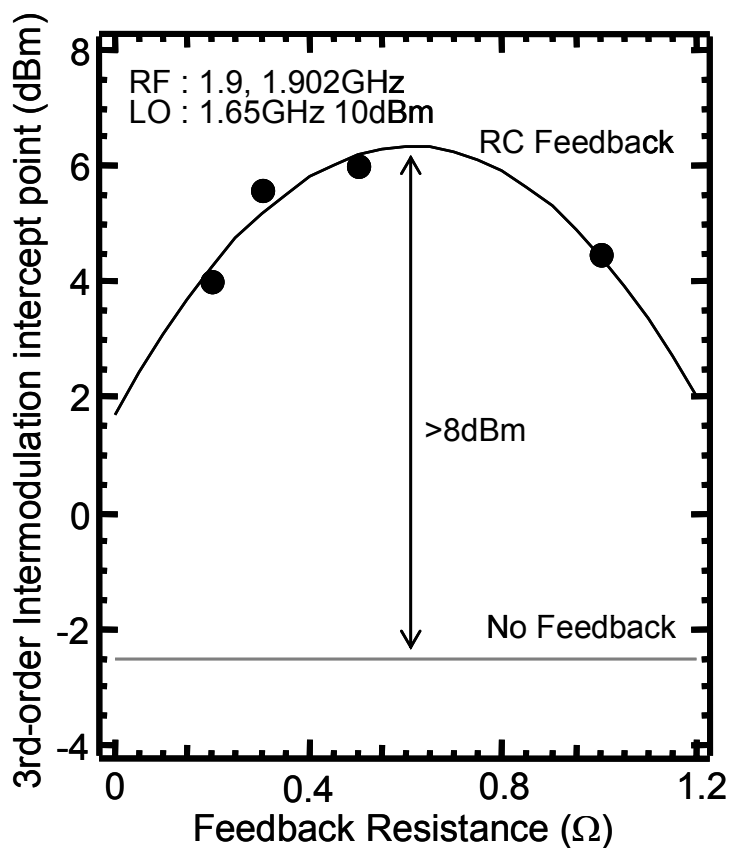


図3.36 IP3の負帰還抵抗依存性

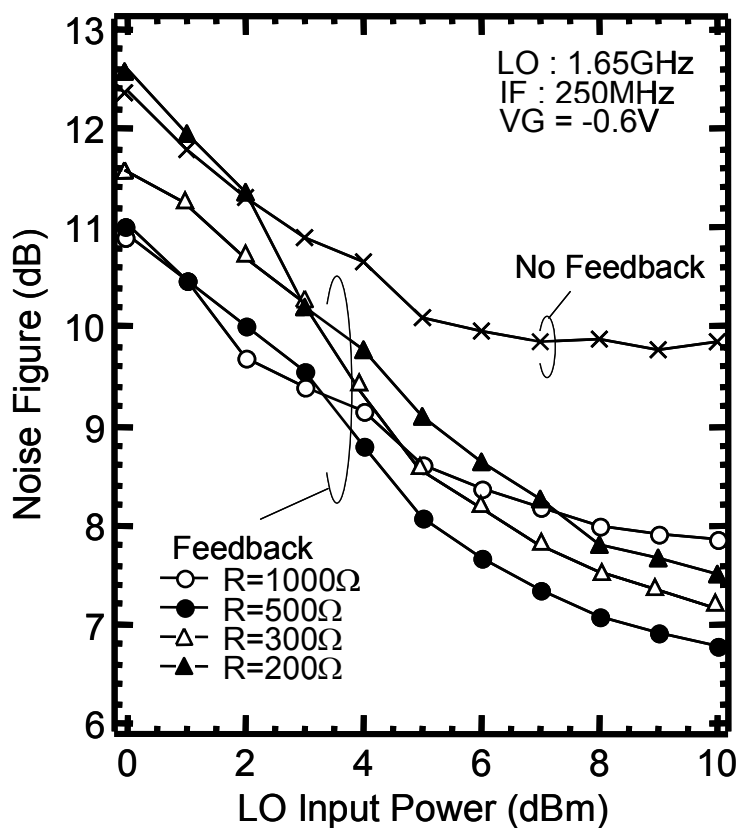


図3.37 DSB雑音指数のLO電力依存性

3.6 むすび

サブミクロンゲート長以下の、完全空乏化条件以上の埋込p層濃度で中性領域を有するGaAs-MESFETを試作し、Sパラメータ測定、等価回路解析を行った。埋込p層の高濃度化が、電流利得遮断周波数 f_T 、最大発振周波数 f_{max} に及ぼす影響について実験検討した。

【1】埋込p層を高濃度化すると、ゲート・ソース間の寄生容量 C_p およびゲート・ドレイン間容量 C_{gd} は、殆ど変化しないが、ゲート・ソース間容量 C_{gs} が増大する。この容量増大は埋込p層内の中性領域に起因する寄生容量である。

【2】完全空乏化条件の4倍程度の埋込p層濃度では、相互コンダクタンス g_m は飽和してしまう。このため、電流遮断周波数 f_T はこのゲート・ソース間容量 C_{gs} 増大の影響を直接受けて大きく低下する。

【3】完全空乏化の4倍程度まで埋込p層濃度を増加させても、ドレインコンダクタンス g_d はさらに減少し、最大発振周波数 f_{max} は、ゲート・ソース間容量 C_{gs} 増大と相殺する。この結果、電流利得遮断周波数 f_T に比較して埋込p層の中性領域に起因する容量増大の影響を受け難い。

埋込p層を高濃度化して短チャネル効果を抑止すると、ゲート・ソース間容量 C_{gs} の増大を招く。埋込p層は、(1)チャネル層と埋込p層のpn接合によりチャネルの薄層化する、(2) n^+ 層と埋込p層のpn接合によりソースおよびドレイン電極の n^+ 層間の漏洩電流を低減する、という2つの役割を果たす。そこで、(2)の効果をもたらす「 n^+ 層を囲い込む」第2埋込p層(Bp2)、「 n^+ 層を囲い込む」第3埋込p層(Bp3)を新たに設け、その効果を検証した。ソース・ドレイン間Bp3の間隔は、Bp2層の間隔よりも広く、埋込p層間隔が狭まることの影響が解析した。

【4】微細ゲート長(0.2 μ m以下)では、 n^+ 層を囲い込む第3埋込p層(Bp3)を設けた構造B、Cの方が、ドレインコンダクタンス、閾値電圧シフトが抑制されており、基板間リーク電流に起因する短チャネル効果を抑止できた。ゲート・ドレイン間容量 C_{gd} が構造Aよりも小さくなるために、最大発振周波数 f_{max} は、構造Aで130GHzであるのに対して、構造Bおよび構造Cは150GHzと高い。

【5】ゲート長0.1~0.2 μ mでは「 n^+ 層を囲い込む」第2埋込p層(Bp2)を設けた構造Aの方が、良好な相互コンダクタンスを示している。ゲート長0.1 μ mで、50mS/mm程度良好である。ゲート長0.1~0.2 μ mでは構造Aが他の構造に比較して、電流利得遮断周波数 f_T を示している。ゲート長0.1 μ mで、20GHz以上高く、120GHzを得ている。

以上の結果から、埋込p層のソース・ドレイン間隔が狭い第3埋込p層(Bp3)を用いることで、構造B、Cの方が短チャネル効果を効率的に抑制することができ、微細ゲートにおいても閾値電圧制御性が良好で、帰還容量の低減が可能であることが分かった。

さらに、第2埋込p層(Bp2)、第3埋込p層(Bp3)を有するデバイスを用いたミリ波帯増幅器を試作した。モノリシック化に有利なプレーナ構造セルフアライン n^+ イオン注入GaAs-MESFET技術を用いた増幅器としては7.0dB@60GHz(A構造)、6.8dB@65GHz(B構造)と最高性能を得た。

参考文献

- [1] M. Hirayama and T. Ikegami, "GaAs Self-Aligned MESFET Technologies," in SPIE, vol. 797 (Advanced Processing of Semiconductor Devices), pp. 296-308, 1987.
- [2] K. Yamasaki, N. Kato, and M. Hirayama, "Buried p-Layer SAINT for Very High Speed LSI's with Submicrometer Gate Length," *IEEE Trans. Electron Devices*, vol. ED-32, pp. 2420-2425, 1985.
- [3] K. Yamasaki, N. Kato, and M. Hirayama, "Below 10 ps/gate Operation with Buried p-Layer SAINT FET's," *Electron Lett.*, vol. 20, pp. 1029-1031, 1984.
- [4] K. L. Tan, H. K. Chung, B. L. Grung, and S. M. Shin, "A Submicron Self-Align Gate MESFET Technology for Low Power Subnanosecond Static RAM Fabrication," in GaAs IC Symp. Tech. Dig., pp. 121-124, 1987.
- [5] N. Matsunaga, M. Miyazaki, Y. Umemoto, J. Shigeta, H. Tanaka, and H. Yanazawa, "Gallium Arsenide MESFET Technologies with $0.7\ \mu\text{m}$ Gate-Length for 4kb 1ns Static RAM," in GaAs IC Symp. Tech. Dig., pp. 129-132, 1987.
- [6] P. C. Canfield, "Buried-Channel GaAs MESFET with Improved Small Signal Characteristics," in GaAs IC Symp. Tech. Dig., pp. 163-166, 1987.
- [7] E. T. Watkins, J. M. Schellenberg, L. H. Hackett, H. Yamasaki, and M. Feng, "A 60 GHz GaAs Amplifier," *IEEE MTT-S Dig.*, 1983, pp. 145-148.
- [8] M. Feng, H. Kanber, V. K. Eu, E. Watkins, and L. R. Hackett, "Ultrahigh Frequency Operation of Ion Implanted GaAs MESFET's," *Appl. Phys. Lett.* vol. 44, pp. 231-233, 1984.
- [9] N. Camilleri, P. Chye, P. Gregory, and A. Lee, "A W-Band Monolithic Amplifier," *IEEE MTT-S Dig.*, 1990, pp. 903-906.
- [10] N. Camilleri, P. Chye, A. Lee, and P. Gregory, "Monolithic 40 to 60 GHz LNA," *IEEE MTT-S Dig.*, 1990, pp. 599-602.
- [11] M. Feng, D. R. Scherer, P. J. Apostolakis, J. R. Middleton, M. J. McPartlin, B. D. Lauterwasser, and J. D. Oliver. Jr., "Low Cost Millimeter-Wave Monolithic Integrated Circuits Using Direct Ion implanted GaAs MESFETs," *Tech. Dig. GaAs IC Symp.*, 1995, pp. 207-210.
- [12] P. Greilling, "The Historical Development of GaAs FET Digital IC Technology," *IEEE Trans. Microwave Theory Tech.*, 32, pp. 1144, 1984.
- [13] S. Furukawa, H. Matsumura, and H. Ishikawa, "Theoretical Consideration on Lateral Spread of Implanted Ions," *Japan J. Appl. Phys.*, vol. 11, pp. 134-142, 1972.
- [14] K. Yokoyama, M. Tomizawa, T. Takada, and A. Yoshii, "Anomalous Gate-to-Drain Capacitance Characteristics of GaAs MESFET's," *IEEE Trans. Electron Devices*, vol. ED-30, pp. 719-726, 1983.
- [15] S. Sugitani, K. Yamasaki, and H. Yamasaki, "Characterization of a Thin Si-Implanted and Rapid Thermal Annealed n-GaAs Layer," *Appl. Phys. Lett.*, vol. 51, pp. 806-808, 1987.
- [16] H. Yamazaki, "Ion Implantation for GaAs IC Fabrication," *Nucl. Instrum. Methods Phys. Res.*, vol. B39, pp. 433-440, 1989.
- [17] S. J. Mason, "Power Gain Feedback Amplifier," *IRE Trans. Circuit Theory*, vol. CT-1, pp. 20-25, 1954.
- [18] W. Fisher, "Equivalent Circuit and Gain of MOSFET Field Effect Transistors,"

Solid State Electron., vol. 9, pp. 71-81, 1966.

[19] K. Nishimura, K. Onodera, S. Aoyama, M. Tokumitsu, and K. Yamasaki, "High-Performance 0.1- μ m-Self-Aligned-Gate GaAs MESFET Technology," *IEEE Trans. Electron Devices*, vol. ED-44, pp. 2113-2119, 1997.

[20] K. Onodera, S. Sugitani, K. Nishimura, and M. Tokumitsu, "V-Band Monolithic Low Noise Amplifiers Using Ion-Implanted n⁺-Self-Aligned GaAs MESFET's," *IEEE Microwave Guided Wave Lett.*, vol. 9, pp. 148-150, 1998.

[21] Y. Imai, M. Tokumitsu, K. Onodera, and K. Asai, "10-GHz Bandwidth and 20-dB Gain Low-Noise Direct-Coupled Amplifier IC's Using Au/WSiN GaAs MESFET," *Electron. Lett.*, vol. 26, pp. 699-700, 1990.

[22] N. Takachio, K. Iwashita, S. Hata, K. Onodera, K. Katsura, and H. Kikuchi, "A 10 Gb/s Optical Heterodyne Detection Experiment Using a 23 GHz Bandwidth Balanced Receivers," *IEEE Trans. Microwave Theory Tech.*, Vol. 38, pp. 1900-1905, 1990.

[23] K. Onodera, and M. Muraguchi, "Very Low-Intermodulation GaAs Mixers with Negative Feedback," 24th European Microwave Conf., 1994, pp. 642-647.

[24] K. Onodera, M. Tokumitsu, M. Tomizawa, and K. Asai, "Effects of Neutral Buried p-Layer on High-Frequency Performance of GaAs MESFET's," *IEEE Trans. Electron Devices*, vol. 38, pp. 429-436, 1991.

[25] K. Onodera, Y. Imai, and K. Asai, "Microwave Characteristic and Application of Au/WSiN GaAs-MESFET's with Neutral Buried p-Layers," *IEICE Trans. Electronics*, vol. E74-C, pp. 1197-1201, 1991.

[26] K. Onodera, M. Tokumitsu, N. Takachio, H. Kikuchi, and K. Asai, "BP-LDD n⁺ Self-Aligned GaAs-MESFET with Au/WSiN Gate and Its Application to 0.5-30 GHz Distributed Amplifier," *IEICE Trans. Electronics*, vol. E74-C, pp. 4131, 1991.

第4章 T型ゲート構造のAu極太化による雑音特性の改善

4.1 まえがき

ミリ波／マイクロ波帯における低雑音デバイスとして、2次元電子ガスを利用しているヘテロ接合電界効果トランジスタ、HEMT、が注目され、研究開発が盛んに行われている。MESFETに比較すると、HEMTのゲート誘起雑音電流はドレイン雑音電流と強い相関があり、このためHEMTの方が雑音特性上有利と考えられているためである[1]。例えば、P. C. Chaoらは、 $0.15\mu\text{m}$ ゲートInAlAs/InGaAs HEMTにおいて、18GHzで、雑音指数0.3dBを報告している[2]。また、川崎らは、 $0.10\mu\text{m}$ ゲートAlGaAs/GaAs HEMTにおいて、18GHzで雑音指数0.51dBを報告している[3]。HEMTのこのような最先端のミリ波／マイクロ波特性が示されているが、その製作プロセスはGaAs MESFETに比較すると、均一性・再現性の面で未熟であり、エピタキシャル成長層においては多くの未解決の問題が残っている[4-6]。さらに、全てのHEMTにおいて用いられているリセスゲート構造は、チャンネル層の表面空乏層に起因する悪影響を減少させる利点を持っているが[7, 8]、リセスゲート作製のエッチングプロセスは制御性に乏しく、エピタキシャル成長チャンネル層とともに、不均一なデバイス特性の原因になっている。これに対し、イオン注入技術は、高い均一性、再現性、また低コストを達成することができ、異なる閾値のデバイスを同一チップ上に作製可能な選択ドーピングの点でも非常に魅力的である。これまで、GaAs基板上HEMTと同等の雑音指数を有する低雑音GaAs MESFET[9, 14]が数件報告されている。これらの結果は、GaAs MESFET技術の低雑音IC用途のための高い可能性を明確に示している。M. Fengらは、HEMTチャンネル中の2次元電子ガスは、低雑音特性に関係ないことを示している[15, 16]。もし、低雑音特性を有するデバイスが、デジタル用途の超高速デバイスと、同一チップ上に作製する技術が確立したならば、GaAs集積回路のコスト／性能比は、著しく下がるに違いない。

高集積度、多機能、アナログ／デジタル混載回路などの要求に対しては、殆ど同じ製作プロセスでアナログおよびデジタル回路用途のデバイスを供給可能な、プレーナ構造を有するフルイオン注入 n^+ 自己整合型GaAs-MESFET技術が有望であると考えられる[17]。しかし、高集積MMIC用途のためにプレーナ構造を有するGaAs MESFETが数件報告されているが[18-20]、それらの雑音特性はHEMTやリセスゲート構造を有するGaAs-MESFETほど良くない[21, 22]。表面効果による表面空乏層は、プレーナ構造のGaAs MESFETにとって、デバイス特性上大きな影響を与える、いわゆる、表面デバイスと言われる所以である。表面空乏層は、デバイスの相互コンダクタンスを低下させ、寄生抵抗を増加させ、また、ブレイクダウン電圧を低下させる。その上、周波数性能は、ミリ波／マイクロ波帯で大きく劣化してしまう。表面効果を最小限に抑止する方法が、これまで数件提案されている[23-26]。表面効果を抑制して高性能化を達成する最も基本的で効果的な方法は、高いキャリア濃度を有し、高品質で、非常に薄いチャンネル層を形成することである[27, 28]。このようなチャンネル層を形成する方法としては、第2章で述べた、活性化アニール時のアニールキャップとして、ショットキ接合ゲート電極と同じ耐熱性金属WSiNを用いることが有効である。また、良質なチャンネル層表面を得るためには、耐熱ゲート電極のエッチング損傷を抑える技術が必要である。

本章では、WSiNゲート電極の加工プロセスおよび電極設計の改良によるGaAs-MESFET雑音特性の高性能化について述べる。ゲート電極加工方法として、垂直かつ極微細加工

が可能で、チャンネル層表面に対する損傷が少ない電子サイクロトロン共鳴プラズマ(ECR)イオン流エッチングを検討した。4.2節では、高精度、低損傷なWSiNゲート電極加工プロセスへのECRプラズマエッチング条件の検討について述べる。4.3節では、(1)ECRプラズマエッチングを用いたゲート加工、(2)チャンネル層に対して最適な温度を用いた活性化アニールプロセス、を適用した製造法を用いたデバイスの雑音特性について述べる。4.4節ではT型Au/WSiNゲート構造のAuを極太化する製造プロセスおよびゲート抵抗の見積もりについて述べる。4.5節ではAu/WSiNゲート構造を有するデバイスの雑音特性について述べる。耐熱性金属を適用したデバイスは、本質的に、リフトオフゲートを適用したデバイスよりもゲート抵抗が高くなってしまう。ゲート抵抗の増大を抑えるために、WSiNゲート電極上に極太化したAuを形成するプロセスを開発した。また、ゲート抵抗とゲート寄生容量の間にトレードオフの関係があるため、雑音指数性能に最適なWSiNゲート電極上Auの幅を検討した。

4.2 微細ゲート形成

4.2.1 ECRプラズマエッチング装置

通常、WSiNはフッ素ラジカルでドライエッチングが可能であるため、SF₆ガスを導入して平行平板間に高周波放電でプラズマを発生させる反応性イオンエッチングを用いて加工する。しかし、WSiNは重金属のタングステンを含み、金属シリサイドと窒化物の性質を合わせ持っているため、垂直微細加工エッチングの条件を得るのは難しい。SF₆ガスを用いたWSiNエッチングでは、等方的にエッチングされ易く、垂直微細加工を行うためには、化学反応的なエッチング性能を弱め、指向性の強い物理的エッチング性能を引き出す必要がある。その方法としては、(1)化学反応を弱めるために、エッチング対象である基板を低温にする。(2)ガス圧力を低くし、プラズマイオンの平均自由行程を長くして指向性を強める。がある。しかし、反応性イオンエッチングでは、低ガス圧力での放電維持が困難であり、ガス圧力 1×10^{-2} Torr以上が必要である。

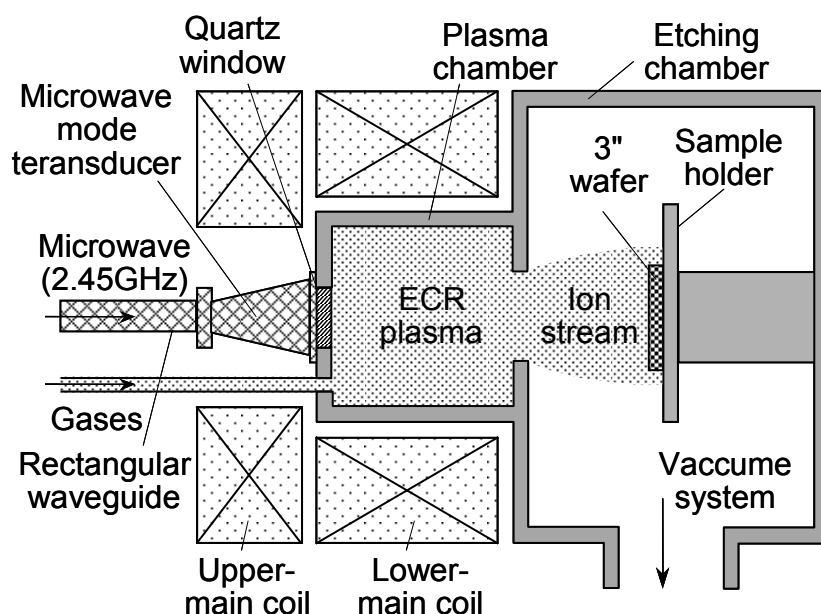


図4.1 ECRプラズマエッチング装置の構成図

一方、電子サイクロトロン共鳴法(ECR)によるプラズマは 10^{-3} Torr以下のガス圧力での放電が可能である[29, 30]。ECRエッチング法は、低ガス圧で高活性プラズマを生成でき、イオンを低エネルギーで試料基板に輸送できることから高選択比、低損傷な異方性エッチングが可能である。ECR放電の簡単な原理を以下に述べる。静磁場中に垂直に速度 v で運動する電子はローレンツ力を受け、次の半径 r で円運動を行う。

$$r = \frac{mv}{eB} \quad (4.1)$$

ここで、 m は電子質量、 e は電子の電荷、 B は磁束密度である。この時、電子の周波数を ω とすると、 ω は次式で与えられる。

$$\omega = \frac{eB}{m} \quad (4.2)$$

電磁波が磁場に印加されたプラズマ中を伝搬するとき、電磁波の周波数がこの電子の周波数に等しいと電子サイクロトロン共鳴が生じる。今、電磁波として、2.45GHzのマイクロ波を考えると、電子サイクロトロン共鳴を起こす磁界強度は875Gである。このECR条件によって得られたプラズマは、低圧力での放電が可能であると同時に、イオン化率が他の放電形態よりも1桁大きいなどの特徴を有する。

ECRプラズマエッチング装置の概略を図4.1に示す。試料室は、大きく分けて、プラズマ生成室(Plasma Chamber)とエッチング室(Etching Chamber)から構成される。2室が分かれているため、低ガス圧力のエッチングが可能。プラズマ室にはプラズマ生成磁気コイルがある。エッチング室には3インチウエハ対応の試料台がある。エッチングガスは、マスフローコントローラを介してプラズマ生成室に導入される。マイクロ波は矩形導波管とマイクロ波モード変換器を通り、マイクロ波導入窓から導入される。排気系では、到達真空度として 10^{-7} Torr程度までの高真空を保っている。ECR条件の2.45GHzのマイクロ波と875Gの磁束密度でプラズマ生成室内に生成されたプラズマは、イオン流としてエッチング室に引き出され、3インチ基板が設置される試料台に照射される。生成室の構成素材であるステンレスとエッチングガスの反応による装置汚染と装置損傷と防止する目的でチャンバー壁に石英カバーを施している。

特に、今回使用したECRプラズマエッチング装置は、基板を設置する試料台に高周波バイアスは印加しない構造となっている。プラズマ生成室内で生成されたプラズマは、発散磁界によってイオン流としてエッチング室に導入されるため、基板への損傷は最小限に抑えることが可能である。

4.2.2 実験方法

発散磁界型ECRプラズマエッチング装置を用いて、 SF_6 ガスを用いたWSiN微細加工エッチングの評価を行った。WSiNエッチング速度、横方向エッチングに影響を与えると考えられる、以下の設定パラメータのエッチング特性依存性について検討した。

- 1) マイクロ波電力：200～500W
- 2) SF_6 ガス流量：1～10sccm
- 3) ガス圧力： 1×10^{-4} ～ 1×10^{-2} Torr
- 4) コイル電流：15～18A

図4.2にエッチング試料の層構成を示す。GaAs基板の上に、エッチング対象であるWSiN(400nm)、エッチングマスク SiO_2 (200nm)、レジストを順に積層した構成である。試料の作製プロセスは、次の通りである。

- 1) GaAs基板に有機洗浄(トリクレンボイル洗浄5分、3回)、無期洗浄(HClエッチング1分)を行う。
- 2) スパッタリング装置内で、GaAs基板に、マイクロ波電力50Wの逆スパッタリング・エッチングを行った後、 W_5Si_3 をスパッタターゲットとし、マイクロ波電力300W、Arガス流量34sccm、 N_2 ガス流量5sccmの条件でWSiNを400nm堆積する。
- 3) 連続してスパッタリング装置内で、マイクロ波電力300Wの逆スパッタリング・エッチングを行った後、 SiO_2 をスパッタターゲットとし、マイクロ波電力900W、Arガス流量20sccmの条件で SiO_2 を200nm堆積する。
- 4) 東京応化製のAZレジスト $1.4 \mu\text{m}$ をスピンコーティング後、g線ステッパを用いて細線パターンを作製する。

5) RIE(反応性イオンエッチング装置)を用いて、レジスト細線パターンをマスクにSiO₂膜をエッチングする。エッチング条件は、マイクロ波電力60W、CF₄ガス流量14.1sccm、H₂流量5sccm、ガス圧力0.02Torr。SiO₂膜エッチング終了後に、アセトン洗浄、O₂ガスを用いたアッシャーでレジストを除去する。

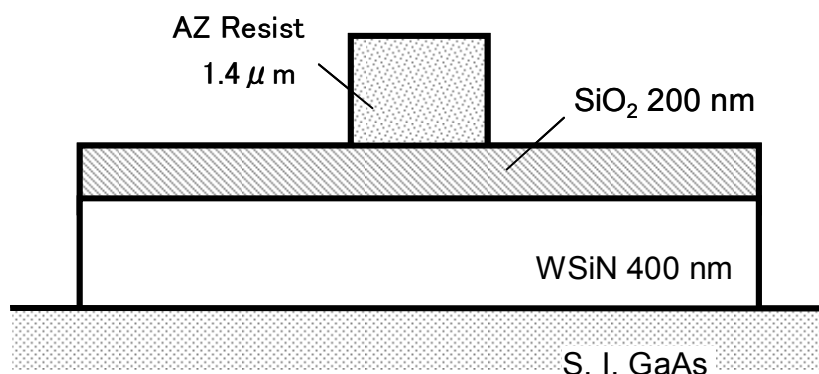


図4.2 WSiNエッチング試料の層構成

WSiNおよびSiO₂のエッチング速度は、一定時間エッチングを行った後、 α ステップ(段差計)を用いて膜厚を測定し、そのエッチング時間から導いた。WSiNエッチング後の試料の膜厚とフッ酸エッチング液を用いてSiO₂を除去した後の試料の膜厚から、WSiNとSiO₂とのエッチング量を切り分けた。GaAsのエッチング速度は、GaAs基板の上にレジストパターンを用いて求めた。レジストマスクを用いてGaAsエッチングを行い、レジスト除去後にGaAs上に形成された段差とエッチング時間から導いた。また、WSiNのエッチング形状およびサイドエッチング量は、エッチング後の試料断面をSEM(走査型電子顕微鏡)で観察して評価した。

4.2.3 実験結果

A. マイクロ波電力依存性

図4.3にWSiNおよびGaAsエッチング速度のマイクロ波電力依存性を示す。SF₆ガス流量は2.2sccm、ガス圧力は 1×10^{-3} Torr、磁界発生のためのメインコイル電流は16.5Aとした。WSiNとGaAsのエッチング速度は、マイクロ波電力とともに単調に増加した。WSiN/GaAsのエッチング選択比は40以上であり、一定となっている。GaAsのエッチング速度は1~2nm/minと小さく、汎用されている平行平板型RIE(反応性イオンエッチング)と比較して半分以下であった。平行平板型の場合には、マイクロ波電極の一方にGaAsウエハを配置してエッチングを行う。マイクロ波周波数は一般的に13.56MHzである。電子はイオンよりも速度が速いため、高周波を印加したGaAs基板が負に帯電してイオンシースを形成するとともに負の電位を形成する。この負電位によりイオンを加速するため、スパッタリング効果によるGaAs基板への損傷が発生する。これに対し、ECRマイクロ波エッチング装置では、発散磁界で抽出されたイオン流のみでエッチングされ、高活性化であるがイオンエネルギーが低く、物理的スパッタリング効果が回避されているため、エッチング損傷が少ないものと考えられる。GaAs表面へのプラズマダメージが大変小さいため、表面損傷のないチャネルの形成が可能である。

B. ガス流量依存性

図4.4にWSiNおよびSiO₂エッチング速度のガス流量依存性を示す。ガス圧力は5x10⁻⁴Torr、マイクロ波電力400W、コイル電流は16.5Aとした。エッチング室内のガス圧力は、排気系に繋がるコンダクションバルブを調整して一定に維持した。ガス流量は1.1sccmから4.4sccmとした。ガス流量4.4sccm以上では、コンダクションバルブを全開にしてもガス圧力5x10⁻⁴Torr以下とならない。WSiNとSiO₂のエッチング速度は、ガス流量の増加とともに単調に増加した。ガス流量は1.1sccmでは、ガス流量不足でフッ素ラジカルの供給律速となっており、エッチング速度が極端に低い。WSiN/SiO₂のエッチング選択比は、ガス流量増加に従いわずかに減少するが4~5であり、十分な選択性が得られている。

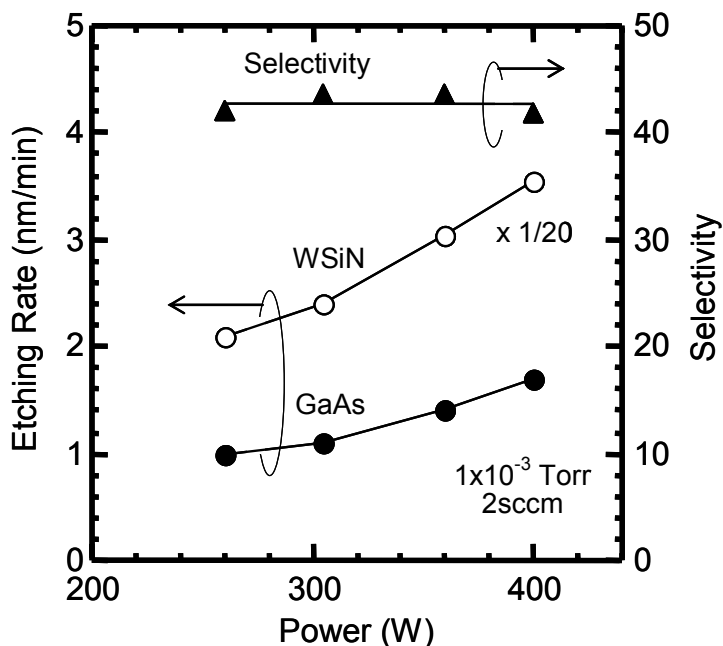


図4.3 WSiNおよびGaAsエッチング速度のマイクロ波電力依存性

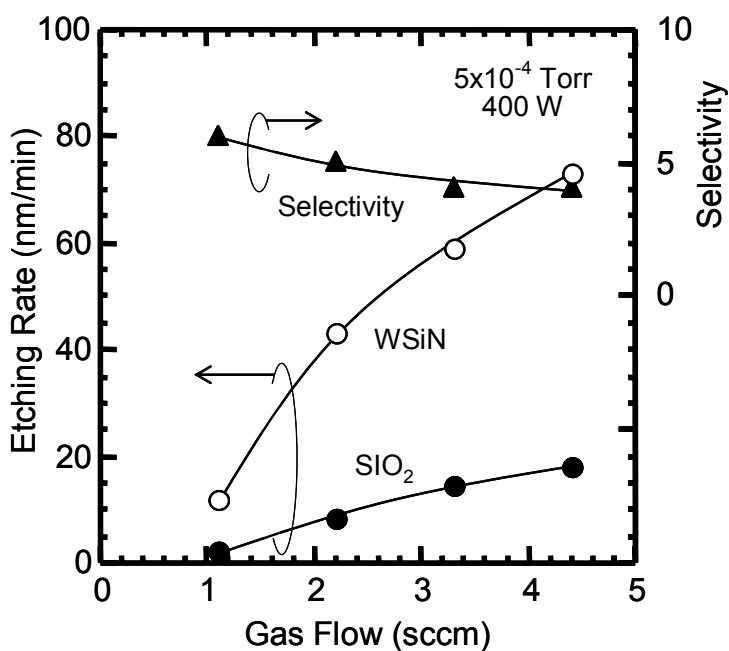
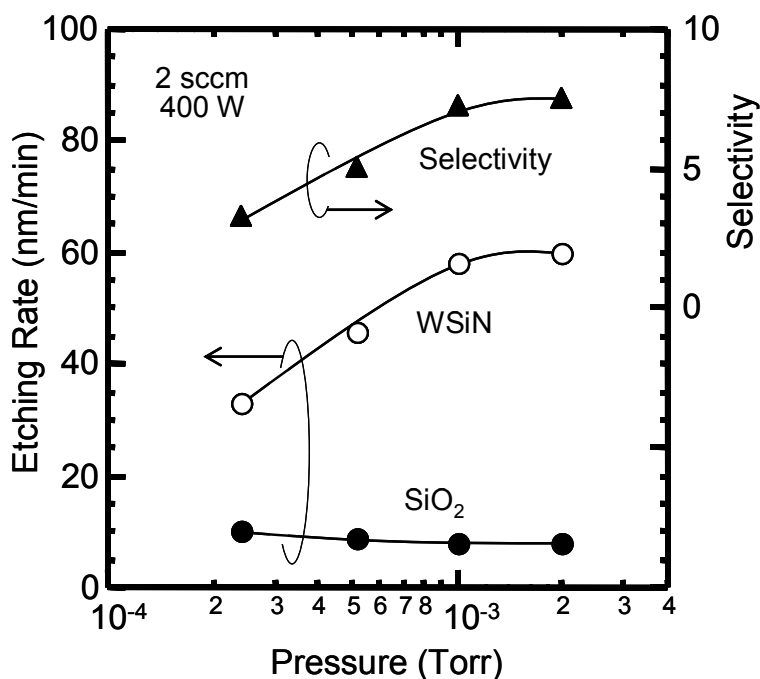
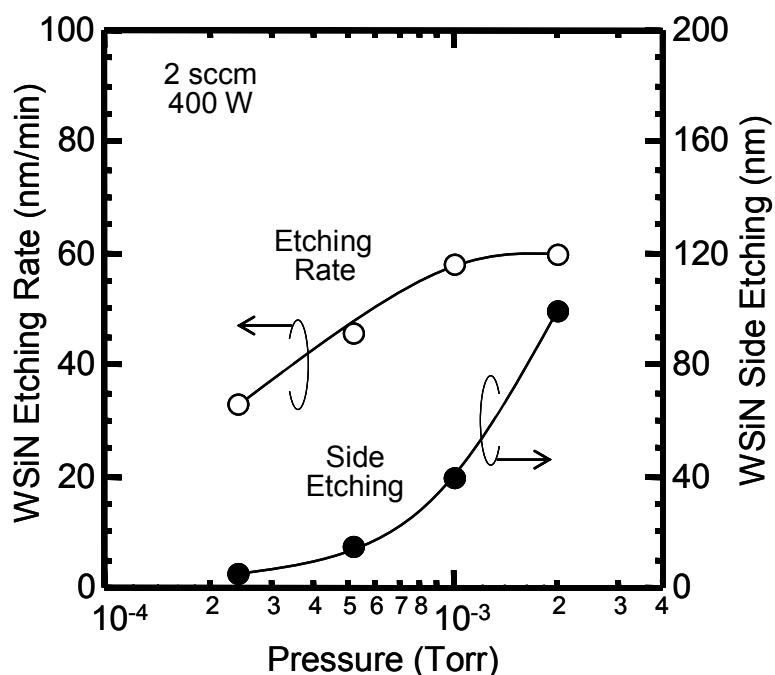


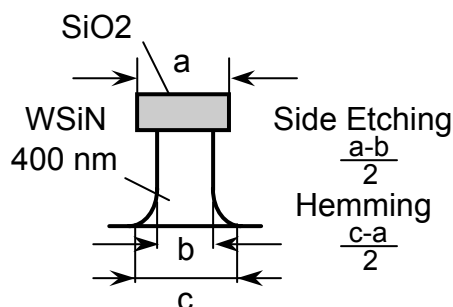
図4.4 WSiNおよびSiO₂エッチング速度のガス流量依存性



(a) エッチング速度



(b) サイドエッチング量



(c) サイドエッチング量および裾広がり量の定義

図4.5 WSiNおよびSiO₂エッチング速度のガス圧力依存性

C. ガス圧力依存性

図4.5にWSiNおよびSiO₂のエッチング速度、サイドエッチング量のガス圧力依存性を示す。図4.5(c)にサイドエッチング量および裾広がり量の定義を示す。エッチング後の試料断面をSEM観察し、エッチングマスクであるSiO₂とWSiNの界面の寸法差の半分をサイドエッチング量とした。また、エッチングマスクよりもWSiNの底部が広い場合に、裾広がり量を定義し、WSiN底部とエッチングマスクSiO₂の寸法差とした。ガス圧力以外のエッチング条件は、SF₆ガス流量を2.2sccm、マイクロ波電力400W、コイル電流を16.5Aとし

た。ガス圧力は、コンダクションバルブ全開時に 2.4×10^{-4} Torrであった。

WSiNのエッチング速度はガス圧力の増加とともに単調に増加するが、SiO₂のエッチング速度は変化量が小さいながらも単調に減少する。このため、ガス圧力の増加とともにWSiN/SiO₂のエッチング選択比は増加する。一方、WSiNのサイドエッチング量は、縦方向のエッチング速度と同様に、ガス圧力とともに増加し、ガス圧力 1×10^{-3} 以上でのサイドエッチング量の増加量は急激である。このWSiNおよびSiO₂の縦横方向エッチング特性から、ガス圧力 1×10^{-3} 以上ではフッ素ラジカルにより化学反応的エッチングが主流であると考えられるため、WSiNの微細垂直加工には、 5×10^{-4} 以下のガス圧力が必要である。

D. コイル電流依存性

図4.6にWSiNサイドエッチング量のコイル電流依存性を示す。磁界発生のためのメインコイル電流を15.5Aから17.5Aまで変化させた。コイル電流15.0A以下では、ECR条件からのずれが大きくなりプラズマが発生しない。その他の条件は、SF₆ガス流量2.2sccm、ガス圧力 5×10^{-4} Torr、マイクロ波電力400Wとした。WSiNおよびSiO₂のエッチング速度はコイル電流の増加とともに線形に増加する。WSiN/SiO₂の選択比は、コイル電流の増加とともに線形に減少する。物理的なエッチング特性が増加しているものと考えられる。

WSiNの横方向エッチング特性は、コイル電流16.5Aを境に傾向がその傾向が変化する。コイル電流16.5A以下では、WSiNは垂直にエッチングされるが、エッチングマスクSiO₂よりも細くなり、サイドエッチング量(Side etching)が定義される。一方、コイル電流16.5A以上では、WSiN上部はエッチングマスクSiO₂と同一寸法となるが、裾広がりエッチングされ、裾広がり量(Hemming)が定義される。コイル電流16.5Aから1Aずれると、サイドエッチング量または裾広がり量が100nmとなる。WSiNを微細かつ垂直にエッチングするためには、コイル電流16.5Aとする必要がある。

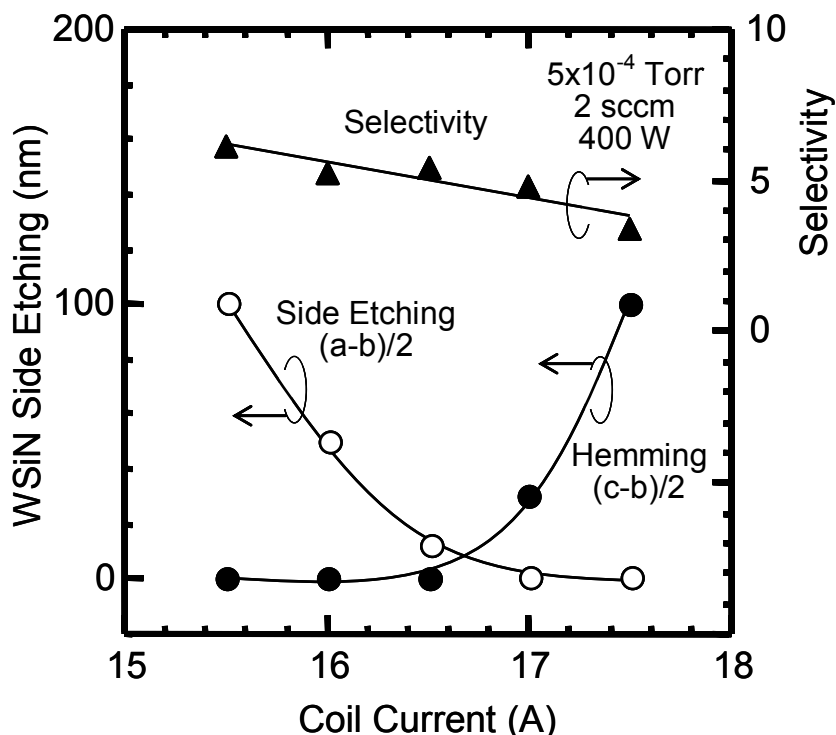


図4.6 WSiNサイドエッチング量のコイル電流依存性。

E. オーバーエッチング率依存性

図4.7に、WSiNサイドエッチング量のオーバーエッチング率依存性を示す。ここで、オーバーエッチング0%はジャストエッチング時間であり、100%はジャストエッチングの2倍の時間である。オーバーエッチング0%は、WSiN膜を400nmエッチングするのに必要な時間に対応する。エッチング条件は、SF₆ガス流量は2.2sccm、ガス圧力は 5×10^{-4} Torr、マイクロ波電力400W、コイル電流16.5Aである。比較として、ガス圧力0.02Torrにおける通常の平行平板型プラズマRIEの結果も示す。ガス圧力0.02Torrは、今回使用した装置で到達可能な最低ガス圧力である。平行平板型プラズマRIEの場合、サイドエッチング量はオーバーエッチング率に比例して著しく増加するが、ECRプラズマエッチング装置の場合には、ジャストエッチング時間でのサイドエッチング20nm以下と少なく、オーバーエッチング率100%に到っても、殆どサイドエッチング量は飽和している。プロセスマージンが大きいことが分かる。

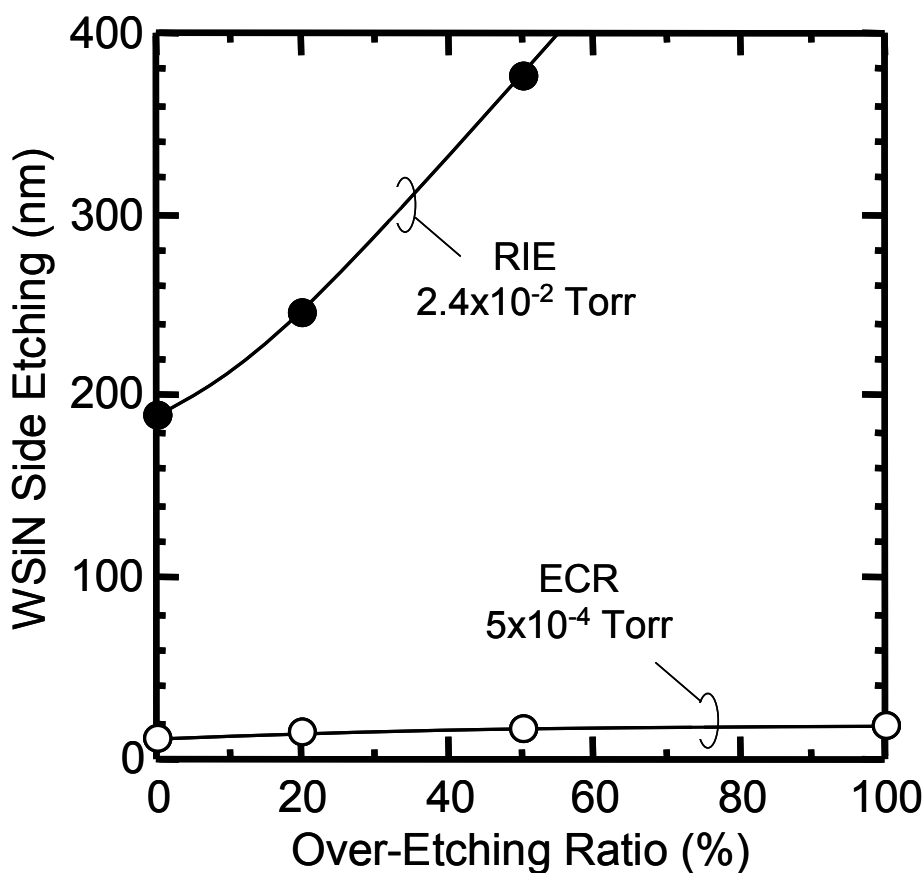


図4.7 WSiNサイドエッチング量のオーバーエッチング率依存性

4.3 デバイス構造とプロセス

4.3.1 デバイス構造

4.2節で検討したECRプラズマエッチングを用いて、WSiN微細ゲート加工を行った。水銀ランプi線(365nm)フォトリソグラフィのみでは、 $0.5\mu\text{m}$ 以下のゲートフォトレジストパターンの形成は困難であるため、3層レジスト加工を用いて微細ゲートパターンを作製した。3層レジストの構成は、下地から以下の通りである。

- (第1層) 東京応化製AZレジスト $1.2\mu\text{m}$ (200°C ベーク、20分)
- (第2層) SiO_2 膜100nm(スパッタリング堆積、Ar 20sccm、400W)
- (第3層) 東京応化製AZレジスト $1.4\mu\text{m}$ (フォトリソグラフィ用)

最上層の第3層をゲートパターン寸法 $0.7\mu\text{m}$ でフォトリソグラフィ後、平行平板型RIEを用いて、 O_2 20sccm、60W、0.05Torrの条件でデスクラムを行い、ゲートパターン寸法を細くした。横方向のエッチング速度は $0.05\mu\text{m}/\text{min}$ であり、6分のエッチングでゲートパターン寸法 $0.4\mu\text{m}$ とした。第3層のレジストパターンを第2層のスパッタリング堆積 SiO_2 に転写するために、平行平板型RIEを用いて、 CF_4 14.1:H $_2$ =14.1:5、60W、0.05Torrの条件でエッチングを行った。最後に、第2層のスパッタリング堆積 SiO_2 をマスクに、 200°C ベークで固化したレジストを、平行平板型RIEを用いて、 O_2 20sccm、60W、0.05Torrの条件でエッチングし、目的のゲートレジストパターンを得た。このゲートレジストパターンを SiO_2 200nmに転写後、4.2節で検討したECRプラズマエッチングの最適条件である、ガス圧力 $5\times 10^{-4}\text{Torr}$ 、 SF_6 ガス流量2.2sccm、マイクロ波電力400W、コイル電流16.5AでWSiNゲート電極のエッチングを行った。オーバーエッチング率は20%とした。図4.8にWSiNゲート電極の断面SEM写真を示す。ゲート長は $0.35\mu\text{m}$ である。 SiO_2 マスクとWSiNの間で殆どサイドエッチングが無く、高い異方性が得られている。

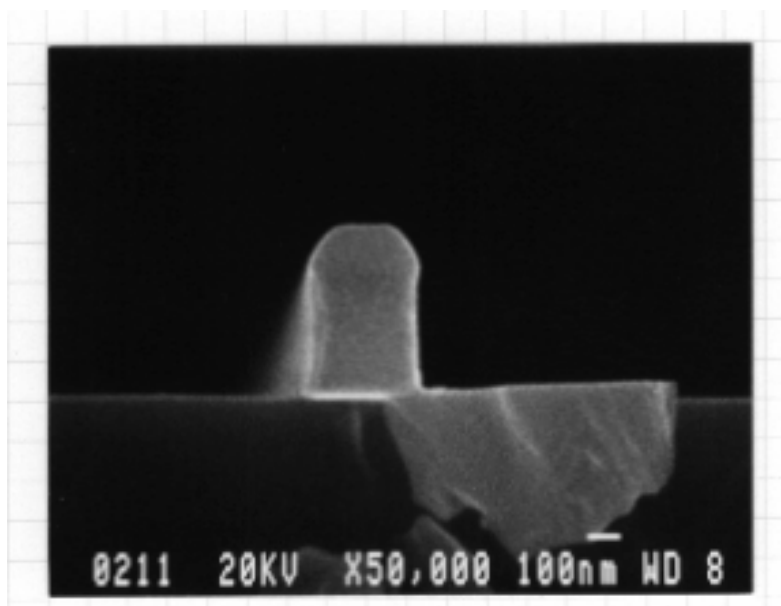


図4.8 ECRプラズマエッチング後のWSiNゲートの断面SEM写真
ガス圧力 $5\times 10^{-4}\text{Torr}$ 、マイクロ波パワー400W

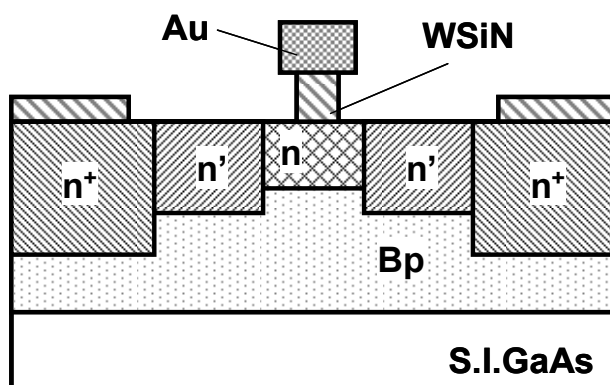


図4.9 T形Au/WSiN耐熱性ゲートを有するGaAs MESFETの断面図

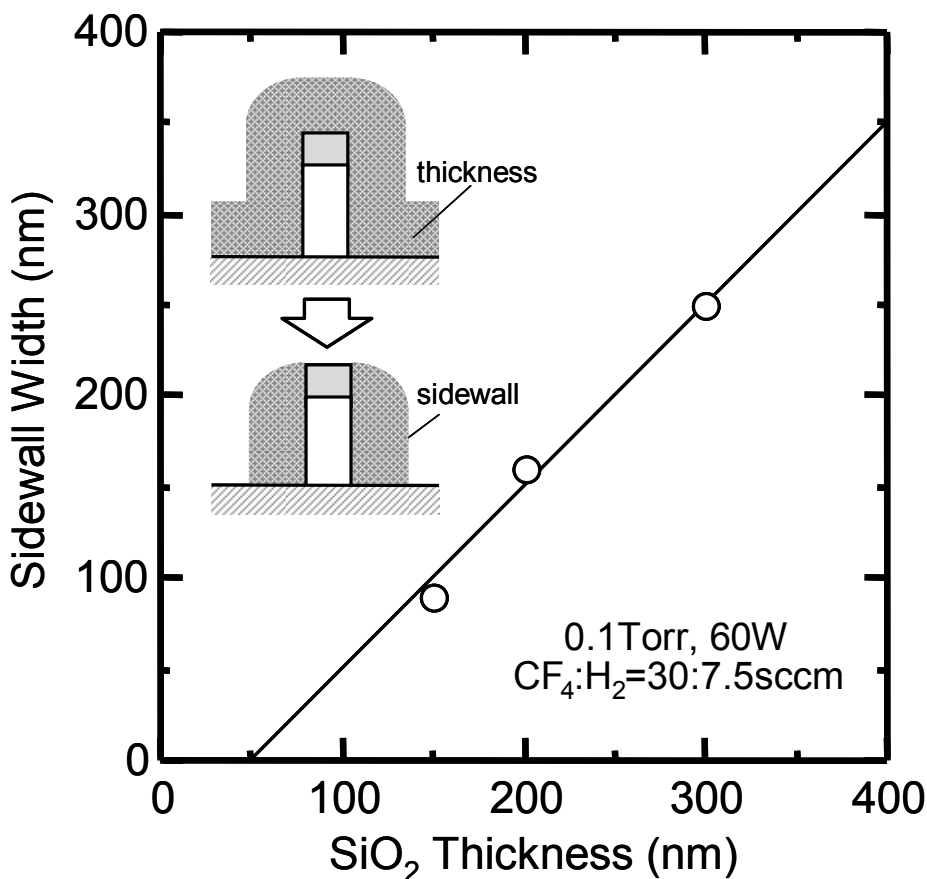
表4.1 イオン注入条件

	イオン種	注入エネルギー E (keV)	ドーズ量 Φ (cm ⁻²)
チャンネル層	Si	10	4.1×10^{13}
n'層	Si	40	4.0×10^{13}
n ⁺ 層	Si	80	8.0×10^{13}
埋込p層	Be	50	2.0×10^{12}

このECRプラズマエッチングを用いたWSiNをゲートとして採用し、デバイスを作製した。作製したイオン注入n⁺自己整合型GaAs-MESFETの断面図を図4.9に示す。BP-LDD構造である。チャンネル層は10keVイオン注入で形成し、n'層、n⁺層は、40keVおよび80keVのSiイオン注入で形成した。注入ドーズ量は、それぞれ $4 \times 10^{13} \text{cm}^{-2}$ 、 $8 \times 10^{13} \text{cm}^{-2}$ である。イオン注入条件を表4.1に示す。

n⁺層をゲート電極に対して自己整合的に高精度に形成するために、極太サイドウォールを採用した。極太サイドウォールは、図4.10の挿入図のように、ゲート電極が形成されているGaAsウエハ上にSiO₂膜を堆積し、余分なSiO₂を除去することで作製する。SiO₂膜は、等方的で付きまわりの良いプラズマCVDを用いて堆積した。反応ガスはSiF₄およびN₂Oを用い、堆積温度は270°Cである。堆積したSiO₂膜を比較的高いガス圧力でエッチングするとサイドウォールが形成可能である。エッチングは平行平板型RIEで、エッチングガスとしてCF₄とH₂の混合ガス(CF₄:H₂=30.7sccm:5sccm)を用い、0.1Torr、60Wの条件で行った。図4.10にサイドウォール厚さのSiO₂膜厚依存性を示す。サイドウォール厚さはSiO₂膜厚の約8割で作製できる。今回のデバイス作製では、SiO₂膜厚を300nmとし、幅250nmの極太サイドウォールを採用した。

WSiNゲート形成後、チャンネル層、n'層、およびn⁺層のイオン注入層は、WSiN活性化アニール膜を用いて、窒素雰囲気中で同時に、高速熱アニール(RTA)で活性化した。アニール時間は、熱拡散を最小限にすることができるくらい短い時間で、2秒とした[27]。この活性化アニール装置では、アニール温度はウエハの裏で測定される。測定されたアニール時間と温度は、設定データと比較され、次のウエハプロセスへとフィードバックされる。したがって、2~3枚のダミーのウエハを処理した後ならば、正確な制御性と再現性で、アニール時間2秒のプロセスを実行することが可能である。

図4.10 サイドウォール厚さのSiO₂膜厚依存性

チャネル層及びn⁺層シートキャリア濃度の活性化アニール温度依存性を図4.11に示す。n⁺層のシートキャリア濃度は、アニール温度1000°Cまで単調に増加する。一方、チャネル層のシートキャリア濃度は、860°Cにおいて最大となる。

図4.12に、異なる温度で活性化アニールしたチャネル層のPLスペクトルを示す。チャネル層の最適なアニール温度は、Ga空孔(V_{Ga})に関連する深いアクセプタ準位と、As位置のSi(Si_{As})に関連する浅いアクセプタ準位の相関で決定される。波長1.3 μm付近の発光は、Ga空孔(V_{Ga})に関連するもので、その発光強度は、GaAs基板の結晶損傷量に比例する。アニール温度800°Cでは、未だイオン注入の損傷が回復していないが、860°C以上で回復していると考えられる。一方、波長0.835 μmの発光は、As位置のSi(Si_{As})に関連するものである。900°Cにおいて顕著なピークが見られる。以上から、チャネル層については、アニール温度860°C付近が、イオン注入に起因する結晶損傷が回復し、AsサイトのSiが発生しない最適な温度である。さらに、n⁺層はチャネル層に比較して注入量が多いため、結晶損傷の回復には、高温の活性化アニール処理が必要であると考えられる。

今回は高品質で、高濃度チャネルを形成する目的から、活性化アニール温度をチャネルの最適温度に合わせ860°Cとした。このとき、ソース抵抗の増大は、ソース抵抗低減を目的にアニール温度を最適化させた場合に較べて約5%であった。

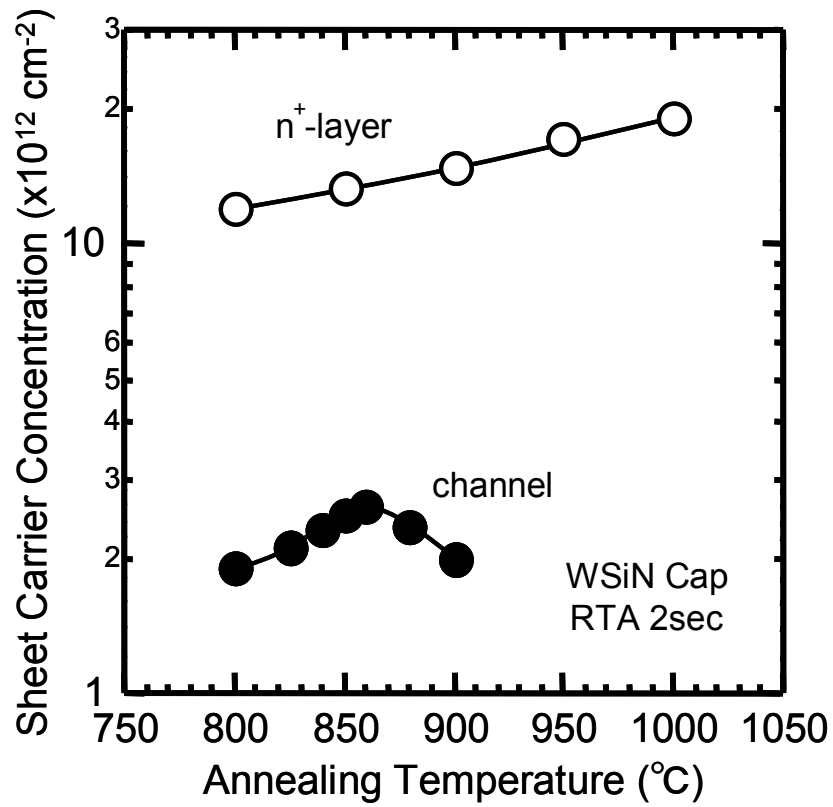


図4.11 チャネル層及びn⁺層シートキャリア濃度の活性化アニール温度依存性

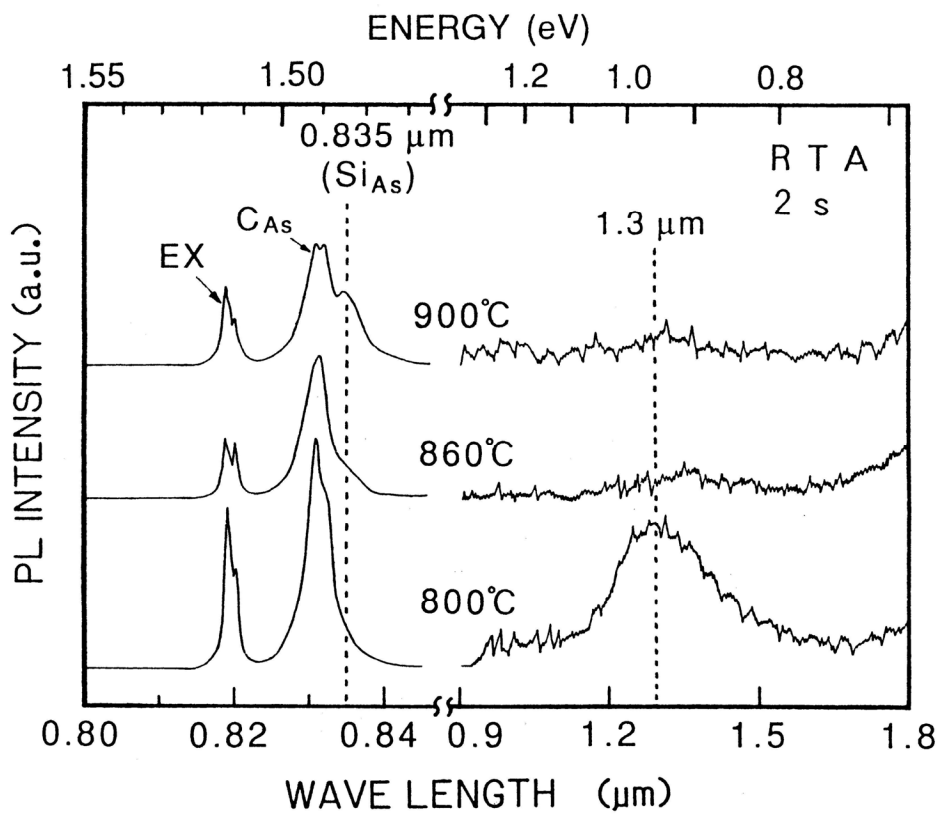


図4.12 チャネル層のPLスペクトル[31]

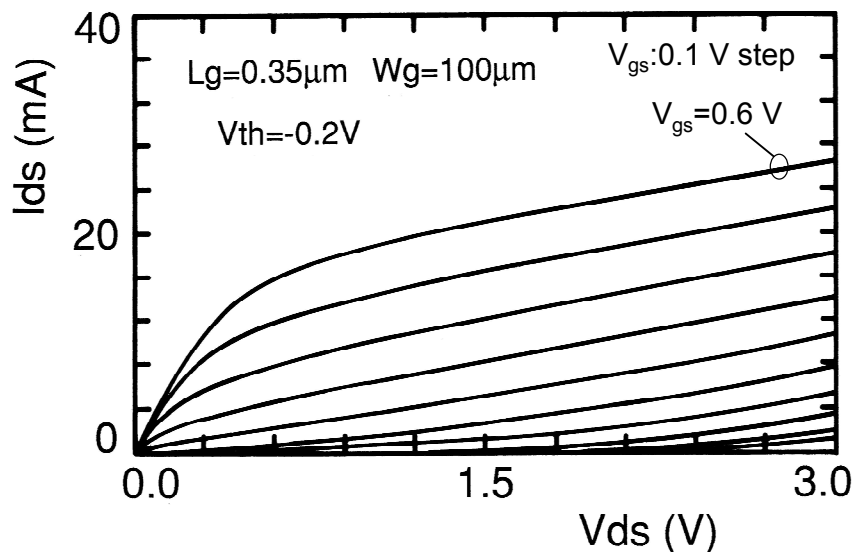


図4.13 Au/WSiNゲートGaAs MESFETの典型的なドレインI-V特性

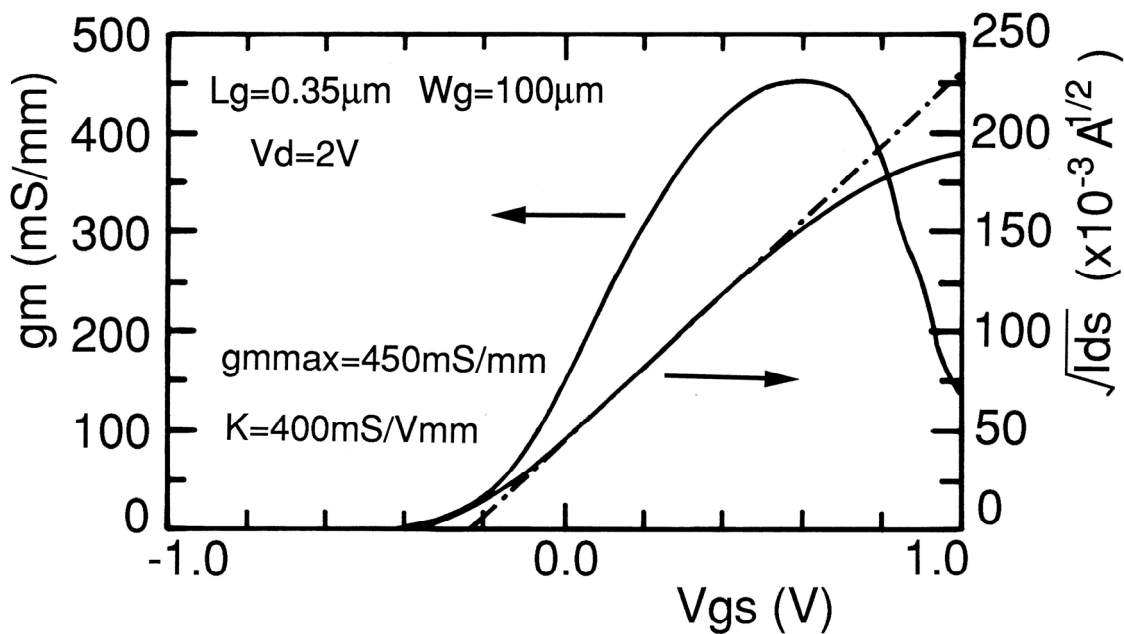


図4.14 相互コンダクタンス、ドレイン電流の平方根のゲート電圧依存性

4.3.2 デバイス特性

A. DC特性

図4.13に、試作したAu/WSiNゲートGaAs MESFETの典型的なドレインI-V特性を示す。ゲート長 $0.35 \mu\text{m}$ 、ゲート幅 $100 \mu\text{m}$ である。ピンチオフ特性は、薄いチャネル層と中性領域が存在する埋込p層を有するLDD構造を用いたため良好である。閾値電圧 V_{th} は -0.2V である。低消費電力を目指したMMIC用途に適している。ゲート電圧 V_{gs} が $0.6\text{V} \sim 0.5\text{V}$ 間で相互コンダクタンス g_m は 420mS/mm と良好な値であった。このときドレインコンダクタンス g_d

は40mS/mmであり、 g_m/g_d 比は約10であった。また、ショットキ電圧 ϕ_{bn} は0.5Vであった。

同デバイスの相互コンダクタンのゲート電圧依存性、およびドレイン電流の平方根のゲート電圧依存性を図4.14に示す。ドレイン電圧 V_{ds} は2Vである。相互コンダクタンス g_m は、ゲート電圧0.6Vまで増大し、このとき相互コンダクタンスの最大値 g_{mmax} として450mS/mmが得られた。ソース抵抗 R_s は0.5 Ω と小さく、真性の相互コンダクタンス g_{m0} は580mS/mmと試算される。また、 $I_{ds}-V_{gs}$ の傾きから、K値として400mS/Vmmが得られた

B. 高周波特性

ゲート長0.35 μm 、ゲート幅100 μm の本デバイスに対して、3インチのウエハ上で、0.5GHzから25.5GHzの周波数範囲でSパラメータを測定した。

図4.15に、最大電流遮断周波数 f_{Tmax} が得られたときの電流利得 H_{21} の周波数依存性を示す。ここで、ドレイン電流 I_{ds} は18mAである。Sパラメータから算出した電流利得 H_{21} の周波数依存性を-6dB/octaveで外挿し、 f_{Tmax} は76GHzと良好な値が得られた。図4.16には、電流利得遮断周波数 f_T のドレイン電流 I_{ds} 依存性を示す。ここで、ドレイン電圧 V_{ds} は2Vである。 f_T 曲線は理想的な台形となっており、ドレイン電流 I_{ds} の広い範囲に渡って f_T は60GHz以上であった。

図4.17に、電流利得遮断周波数 f_T のゲート長依存性を示す。これまでに報告されている典型的なAlGaAs/GaAs HEMTの結果も比較として示す[32]。双方のデバイスとも、 f_T はゲート長に対して反比例して増加している。本デバイスは、ゲート長0.35 μm で f_T が76GHz、ゲート長0.45 μm で f_T が55GHzであり、典型的なAlGaAs/GaAs HEMTよりも良好な値を示している。

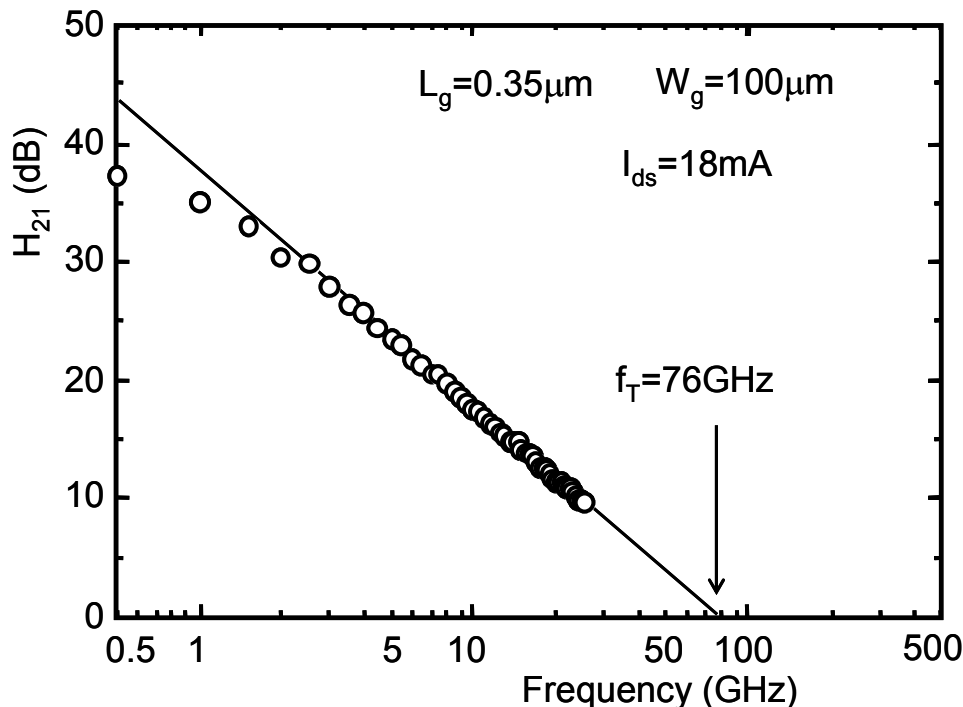


図4.15 測定された電流利得 H_{21} の周波数依存性。ゲート長0.35 μm 、ゲート幅100 μm 。ドレイン電圧は2.0V。

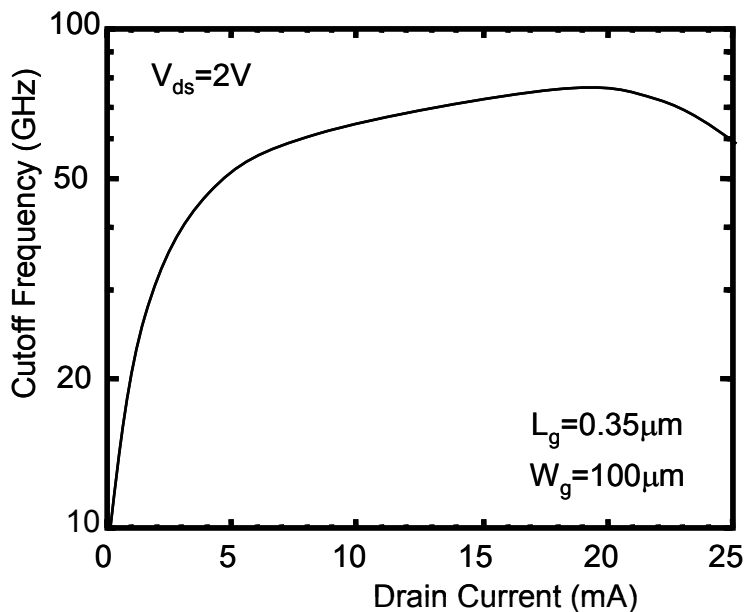


図4.16 電流利得遮断周波数 f_T のドレイン電流 I_{ds} 依存性。ドレイン電圧 V_{ds} は2V。

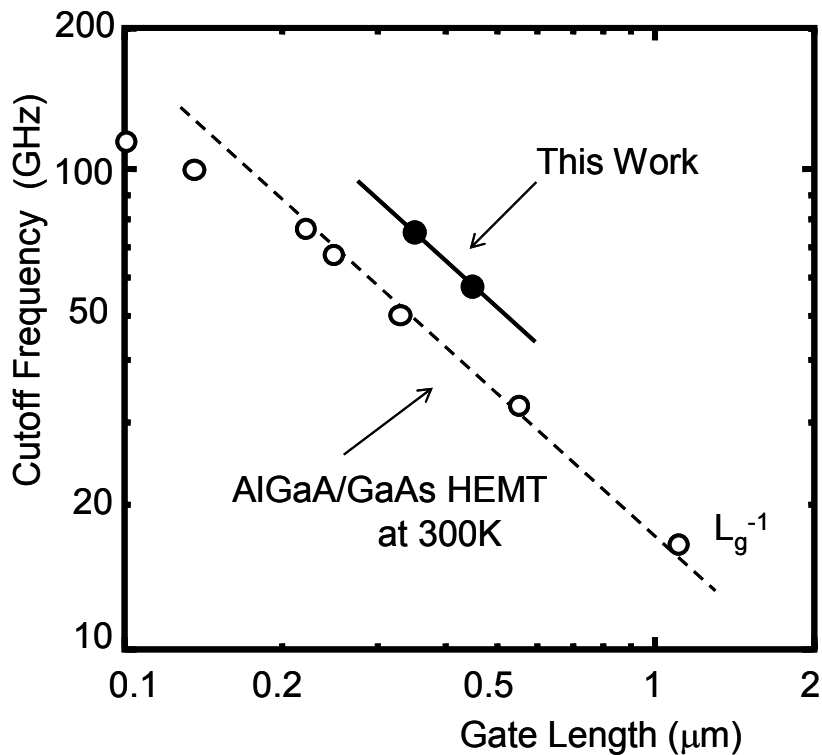


図4.17 電流利得遮断周波数 f_T のゲート長依存性
報告されている300KにおけるAlGaAs/GaAs HEMTと比較した。

4.3.3. 雑音指数

雑音指数性能は、周波数範囲2~18GHzにおいて、オートチューナーを用いたオンウエハ上の自動試験ネットワークで測定した。デバイスは、ゲート長 $0.35\mu m$ 、ゲート幅 $100\mu m$ ($50\mu m$ 、2フィンガ)であり、表面保護膜は SiO_2 である。

図4.18に最小雑音指数 NF_{min} および付随利得 G_a のドレイン電流 I_{ds} 依存性を示す。ドレイン電圧2V、測定周波数18GHzである。閾値電圧が浅いにもかかわらず、 f_T と同様にドレイ

ン電流の広い範囲に渡って、最小雑音指数 NF_{min} は1dB以下と低い。ドレイン電流10mAのとき、付随利得 G_a が7.7dBで最小雑音指数 NF_{min} として0.81dBが得られた。この値は、これまでに18GHzで報告されているGaAs MESFETの最小雑音指数の最小値である。本デバイスでは、ドレイン電流10mAにおいても f_T は64GHzと高く、この高い f_T が低雑音指数の大きな要因であると考えられる。上記のドレイン電流10mAの条件における、 $100\mu\text{m} \times 0.35\mu\text{m}$ の同デバイスの等価回路解析結果を図4.19に示す。ここで、各電極間容量 C_{gss} 、 C_{dss} 及びゲートリーク電流分 R_{gs} も考慮している。ゲート抵抗 R_g は 3.6Ω と見積もられ、T型Au/WSiNの低抵抗化の効果であると考えられる。最小雑音指数と付随利得の周波数依存性を図4.20に示す。白丸は測定値である。周波数6GHz、12GHz、および18GHzにおいて、最小雑音指数(付随利得)は、それぞれ0.67dB(14.3dB)、0.74dB(10.2dB)、および0.81dB(7.7dB)であった。

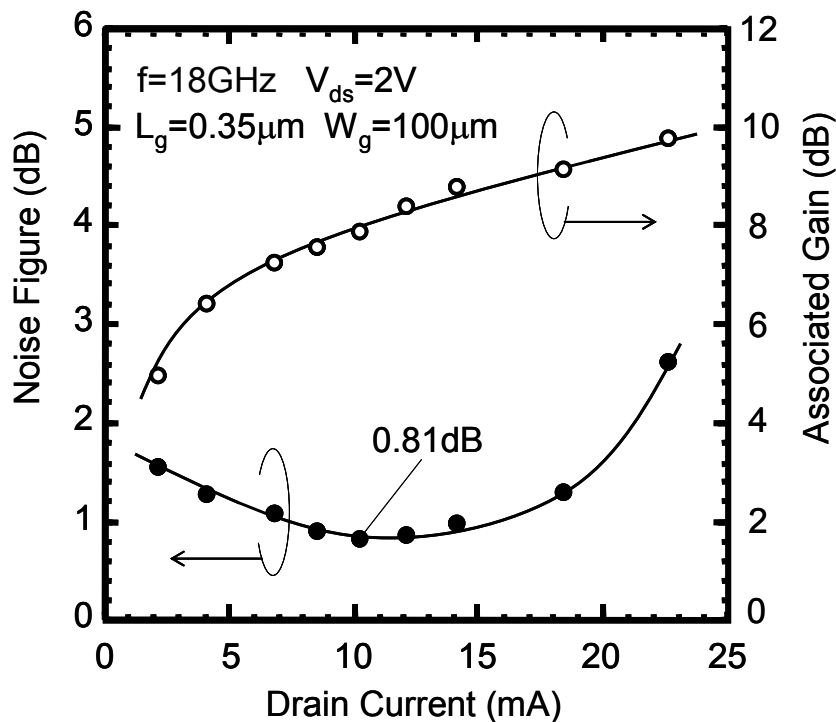


図4.18 最小雑音指数 NF_{min} および付随利得 G_a のドレイン電流 I_{ds} 依存性

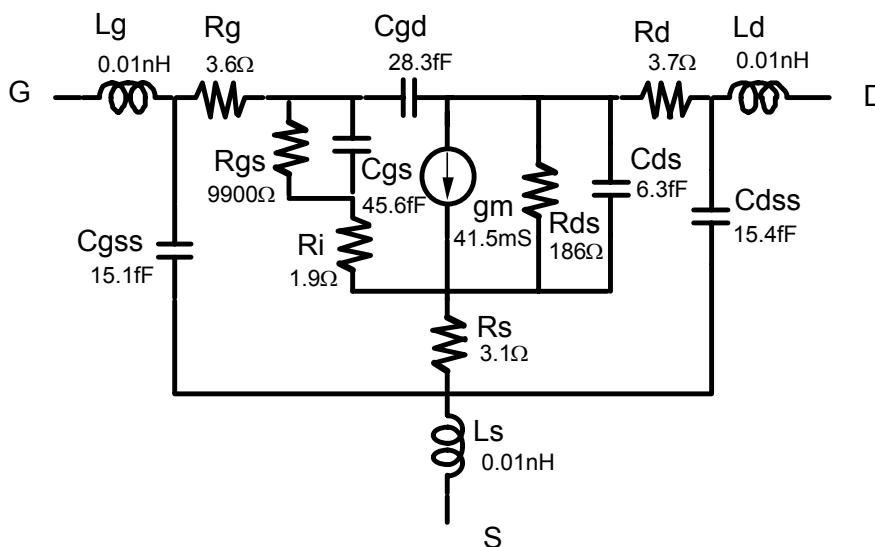


図4.19 $100\mu\text{m} \times 0.35\mu\text{m}$ のデバイスの等価回路モデル
ドレイン電圧2V、ドレイン電流10mA

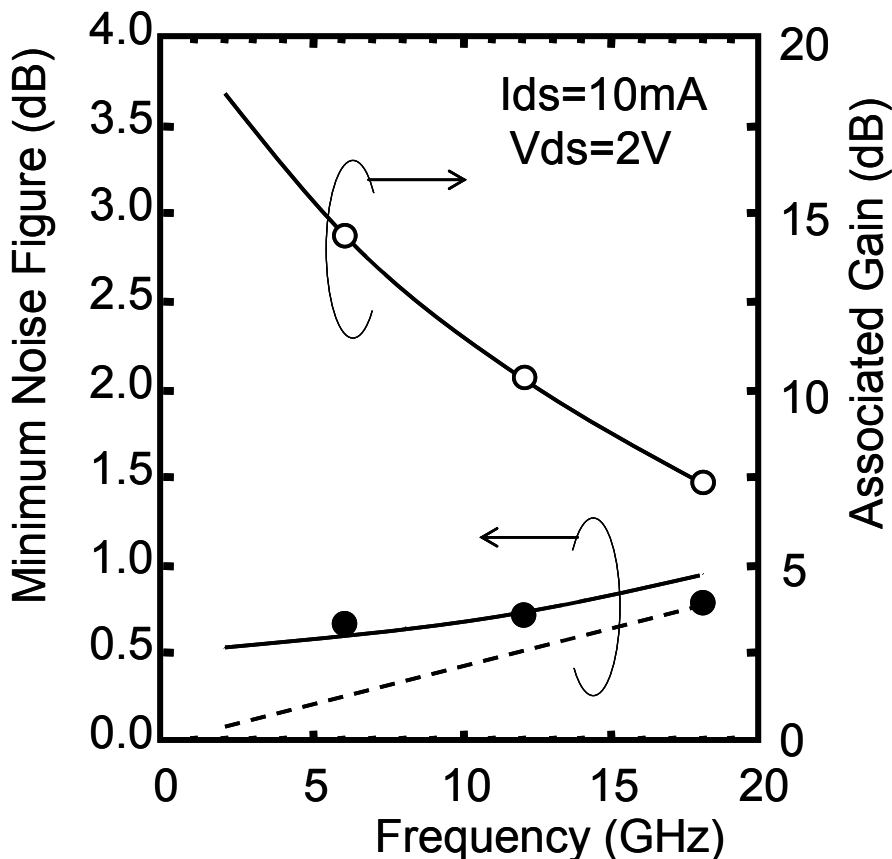


図4.20 最小雑音指数と付随利得の周波数依存性

周波数6GHz、12GHz、18GHzにおいて、最小雑音指数(付随利得)は、0.67dB(14.3dB)、0.74dB(10.2dB)、および0.81dB(7.7dB)。ドレイン電流10mA。

図4.20において、最小雑音指数は周波数に対する依存性が小さい。実線はイクストリンシックな最小雑音指数を表わし、破線は回路損失の無いイントリンシックな最小雑音指数で以下のように表わされる。最小雑音指数は、幾つかの簡単化の後に、以下のよう表わすことができる[33, 34]、

$$NF_{min} = 1 + 2R_n(G_c + G_{in}) + R_n^2(G_c + G_{in})^2 \quad (4.3)$$

ここで、 R_n は実効的な入力熱雑音抵抗、 G_c は回路損失を示す入力コンダクタンス、 G_{in} はデバイスの入力コンダクタンスである。図4.19に示した等価回路定数を使用すると、 G_{in} は以下のように見積もられる。

$$G_{in} = \frac{\omega^2 C_{gs}^2 R_T}{1 + \omega^2 C_{gs}^2 R_T^2} = 7.06 \times 10^{-25} f^{-2} (S) \quad (4.4)$$

ここで、 ω は動作角周波数、 C_{gs} はソース・ゲート間容量、 R_T は直列抵抗である。 G_c の値は、比較的低い周波数1GHzにおける最小雑音指数 NF_{min} から計算される。

$$G_c = \frac{NF_{min} - 1}{4R_n} = 1.2 \times 10^{-4} (S) \quad (4.5)$$

(4.4)と(4.5)を(4.3)に代入して、最小雑音指数 NF_{min} の周波数依存性は、図4.20の実線のように見積もられる。回路損失、 $G_c=0$ とすると破線が得られる。実線は測定値と良く一致している。この見積りから、低周波数において NF_{min} が大きいのは、 G_c が主な要因であり、低周波数における NF_{min} 値を下げられる可能性はある。さらに、このデバイスは、 G_{in} が小さく、 NF_{min} の周波数依存性が比較的緩やかなので、ミリ波帯領域での超低雑音指数が期待される。

4.3.4 Cファクタ

図4.20の破線はFukuiの式に対応する[35]。Fukuiの式によれば、雑音指数NFは以下のように与えられる

$$NF_{min} = 1 + K_f g_m (R_s + R_g) \frac{f}{f_T} \quad (4.6)$$

フィッティングパラメータ K_f を算出すると1.4であり、AlGaAs/GaAs HEMTと同程度の値が得られる。これはすなわち、本デバイスにおいて高品質なチャンネルが得られていることを示している一般にフィッティングパラメータ K_f は、デバイスの雑音特性を簡易的に評価するのに役に立つ。しかし、算出に当たって、詳細な等価回路定数が必要なため、フィッティングパラメータ K_f 同士を他のデバイスと比較することがそれほど簡単ではない。(4.6)式において、周波数 f の係数部分を一括すると次式を得る。

$$NF_{min} = 1 + Cf \quad (4.7)$$

$$C = \frac{K_f g_m (R_s + R_g)}{f_T} \quad (4.8)$$

上式の周波数 f の係数をCファクタと定義すれば、デバイス相互間の雑音特性の比較が簡易に行うことができる。また、 f_T がゲート長に反比例すると仮定すると、(4.8)式のCファクタは、もう一つのフィッティングパラメータ K_f を用いて次のように書き直すことができる。

$$C = K_f g_m (R_s + R_g) L_g \quad (4.9)$$

(4.9)式によれば、Cファクタはゲート長に比例する。このCファクタは、Fukuiのフィッティングパラメータ K_f と同様、デバイスの資質を測る物差となる。(4.7)式からも分かるように、Cファクタの大きな利点は雑音指数とその測定周波数だけから算出でき、種々のデバイス間での性能を容易に比較できることである。

図4.21にCファクタのゲート長依存性を示す。Cファクタがゲート長に比例することから、本デバイスの値を通るように直線を引いてある。また、参考のためにGaAs-MESFET[9-16]、AlGaAs/GaAs-HEMT[4-3][36-38]、AlGaAs/InGaAs-HEMT[39,40]、およびInAlAs/InGaAs-HEMT[2,4-6]の報告値を付記した。Cファクタは、Fukuiのフィッティングパラメータ K_f と同様に、この値が低い程、雑音特性において良質なデバイスであると考えられる。本デバイスの値は、同一ゲート長においてAlGaAs/GaAs HEMTの値と同等またはHEMTよりも優れていることが分かる。

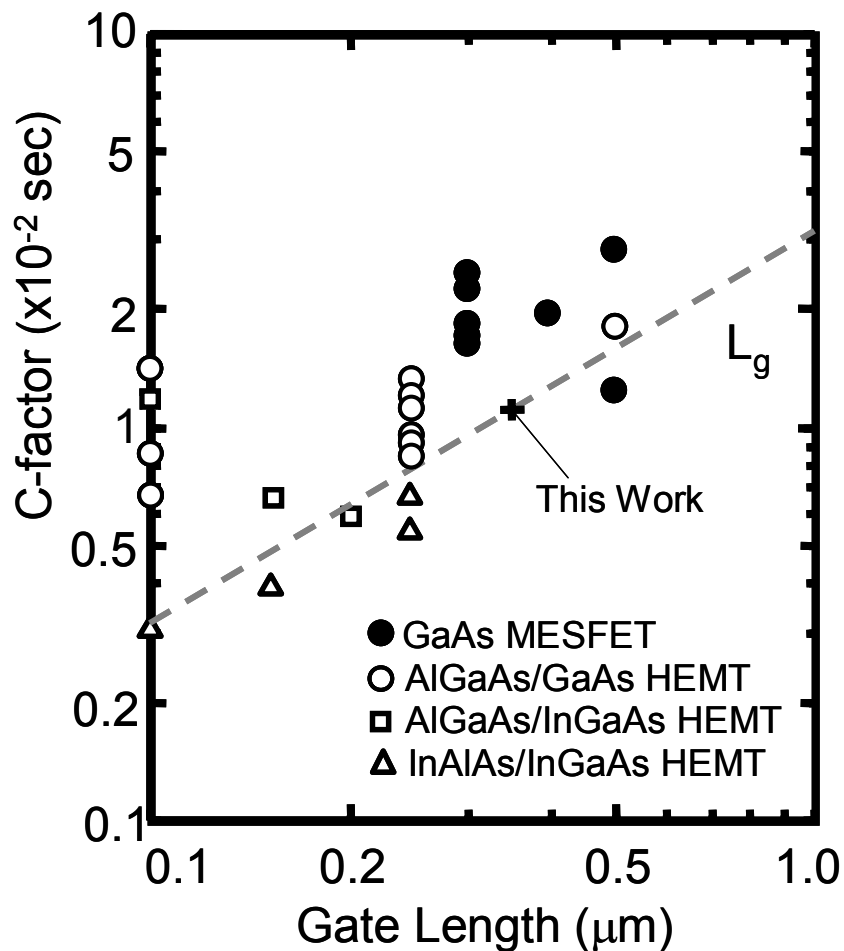


図4.21 報告されているGaAs MESFET、AlGaAs/GaAs HEMT、AlGaAs/InGaAs HEMT、InAlAs/InGaAs HEMTのCファクタのゲート長依存性。破線は、本デバイスの値から、Cファクタのゲート長依存性に沿った直線。

4.4 WSiN上Au極太化構造

耐熱性金属WSiNは、800°C以上の高温熱処理においてもアモルファス状態を保持する為、(1) イオン注入層の活性化アニール時の保護膜として優位であるとともに、(2) GaAsと安定なショットキ接合を形成し、微結晶化せずにゲート電極材料として有効であった。しかし、高温熱処理でも非常に安定である反面、抵抗率が $600 \mu \Omega \text{ cm}$ 以上と高い。ゲート電極をさらに微細化して、サブクウォータミクロン、サブ0.1ミクロン程度にするとWSiN電極自体のゲート抵抗は極度に高くなる。そこで、T型のAu/WSiNゲート電極構造のAuを極太化して、ゲート抵抗を下げる方法を考案した。この製造プロセスでは、ゲート上Au電極を第1層配線と同時に形成するために、余分な工程を増やさずに済むとともに、1チップの上に2種類のデバイスを作製することができる。すなわち、Auボリュームを大きくし、ゲート抵抗を低減させたアナログ集積回路用途のデバイスと、WSiNゲート電極上Auのボリュームを小さいままとし、ゲート寄生容量を減少させたデジタル集積回路用途のデバイスである[53]。

4.4.1 ゲート電極上極太Au製造方法

第1層配線をWSiNゲート電極上のAuとして使用するプロセスは以下のように4段階である。図4.22に、極太なゲート電極上Auを有するT型Au/WSiNゲート電極のプロセスフローを示す。

- 1) WSiNゲート電極上に第1のゲート電極上Auを $0.3 \mu \text{ m}$ 厚さで堆積し、パターニングを行う。
- 2) SiO_2 堆積後、フォトレジストを塗布して、ゲート電極上および第1層配線層下にトレンチパターンを形成する。このトレンチパターン幅が極太Auの幅 L_n となる。
- 3) ゲート電極上の SiO_2 除去後、低電流電界メッキ法でゲート電極上極太Auおよび第1層配線用のAuを堆積する。
- 4) 低電流電界メッキ法で堆積したAuを、ミリング法を用いてパターニングを行う。

以下に詳細なプロセス工程を記述する。ゲート電極上の極太なAuは、第1層配線で作製する。AuGe/Niオーミック電極形成後に、ウエハ上にプラズマCVDを用いて SiO_2 を200nm堆積する。 SiF_4 および N_2O の混合ガス中で、処理温度270°Cである。300°Cのポストアニール後、フォトレジストをスピコートして、 O_2 ガスを用いたRIEと CF_4 および H_2 の混合ガスを用いたRIEと順次使用して、WSiNゲート電極の上部が露出するまでエッチバックしながらウエハ表面を平坦化する。厚さ $0.3 \mu \text{ m}$ のAuを、Arガスを用いたスパッタリング法でウエハ上に堆積した後、 N_2 雰囲気中でArイオンを用いたミリングで、小さなボリュームのゲート電極上Auを形成する。これがボリュームの小さいWSiNゲート電極上Auとなりゲート寄生容量を減少させたデジタル集積回路用途のデバイスなどに使用できる[図4.22(a)]。

次に、プラズマCVDを用いて SiO_2 を150nm堆積する。フォトレジストをスピコートして、第1層配線を形成する場所とゲート電極上に、トレンチを形成する[図4.22(b)]。第1層配線用のトレンチ幅は第1層配線幅と同じ寸法である。ゲート電極上Auの場合には、ゲート上極太Auの底面寸法となり、その寸法は L_n である。第1層配線を形成する場所とゲート電極上の SiO_2 をエッチングした後、低電流めっきを使用して、第1層配線およびゲート電極上Au用のAuをウエハ上に堆積する[図4.22(c)]。メッキの電流密度を 0.2 mA/cm^2 程

度まで下げることで、大きい粒子サイズで欠陥の少ないAuメッキの堆積が可能となる。この結果、抵抗率はおよそ $3\mu\Omega\text{cm}$ と低くなる[41]。電界めっきの前にウエハ上には、スパッタリング法でWSiNとAuを連続的にコーティングした。最後に、フォトリソistをマスクとしてArイオンミリングによってゲート電極上Auを形成した[図4.22(d)]。

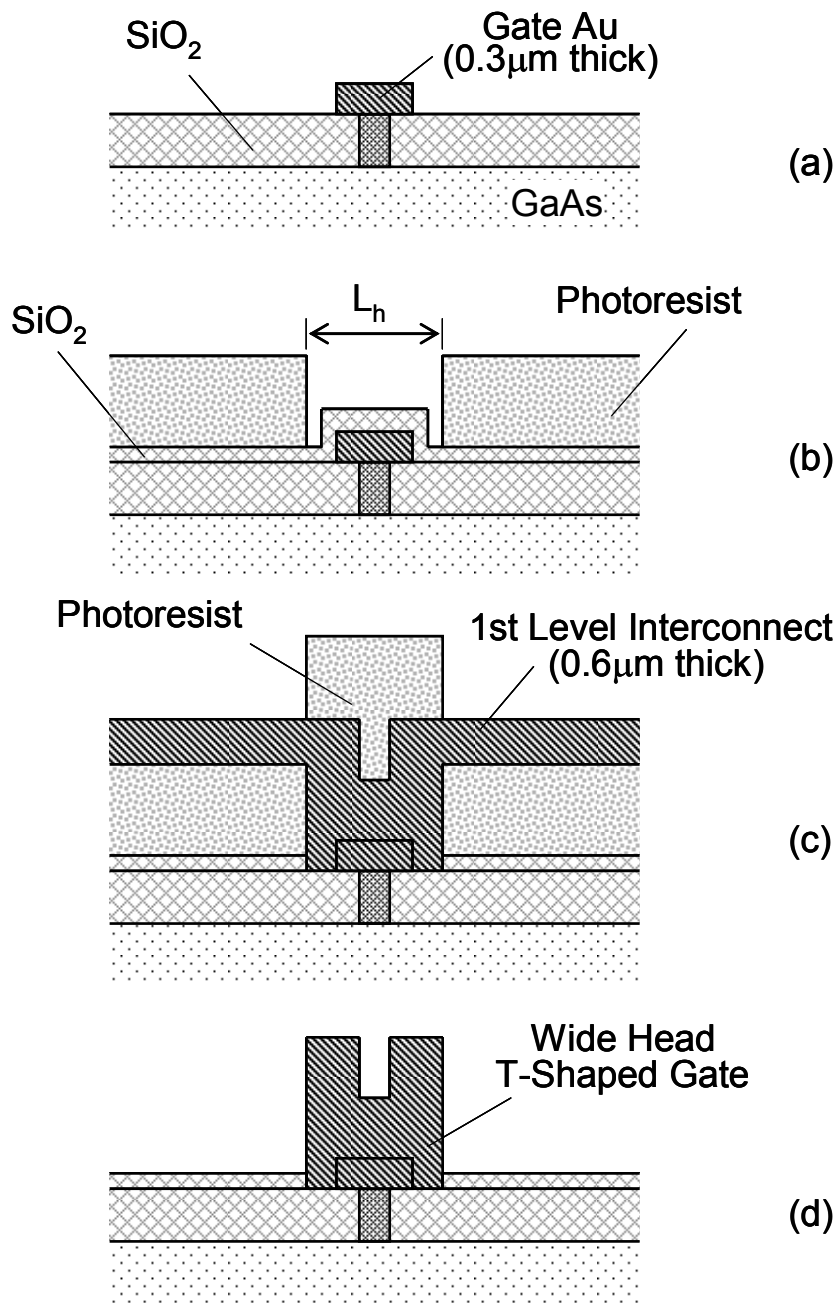
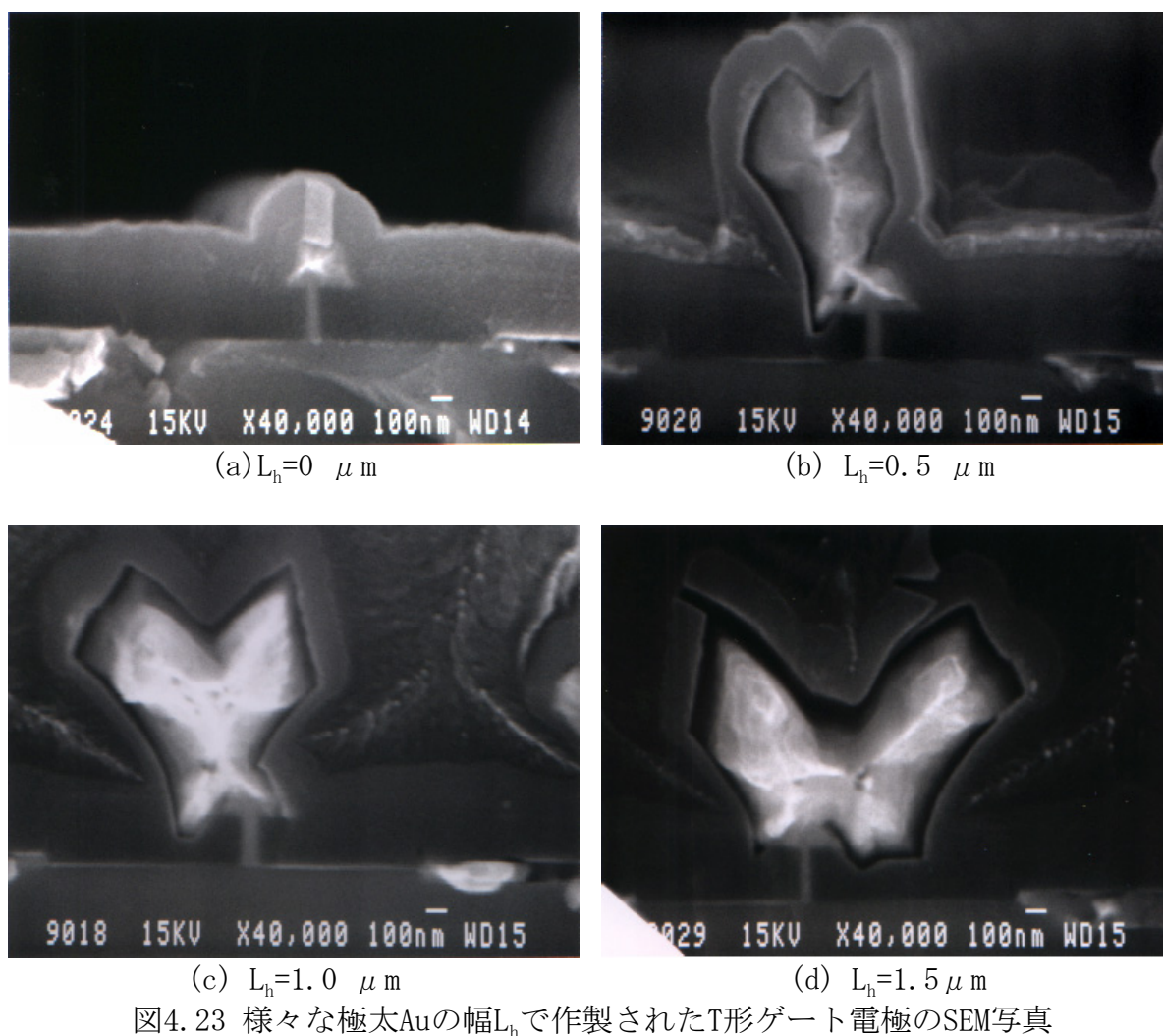


図4.22 極太Auを有するT形ゲート電極の製作フロー

4.4.2 T形ゲート構造作製結果

図4.23に、作製したT形Au/WSiNゲート断面SEM写真を示す。図4.23(a)は、第1層配線を用いた極太Auのないゲート電極構造である。ゲート電極上のAuはボリュームが小さく、底辺サイズ $0.3\mu\text{m}$ でWSiNゲート高さ $0.25\mu\text{m}$ の台形状に形成されている。図4.23(b)-(d)が、第1層配線を用いて形成した、様々なサイズゲート電極上Au幅、 L_h 、のT形ゲート電極構造である。ここで、(b) $L_h=0.5\mu\text{m}$ 、(c) $L_h=1.0\mu\text{m}$ 、(d) $L_h=1.5\mu\text{m}$ である。

図4.23 様々な極太Auの幅 L_h で作製されたT形ゲート電極のSEM写真

製造プロセスフローでも示されるように、第1層配線のメッキが、第1層配線のフォトレジストの逆パターンとなるトレンチの中に埋められるので、ゲート電極上Auの形状は「蝶」のような形となる。SEM写真において、ゲート電極のフットプリントにミスアライメントが見られる。スパッタリング法で堆積したWSiN膜は、ウエハに対して大きな圧縮応力を生じ、その大きさは、 $5 \sim 10 \times 10^9 \text{ dyn/cm}^2$ 程度ある。GaAsウエハの上のWSiN層は、ウエハに顕著なストレスを生じさせ、ウエハの湾曲を生じさせる。このミスアライメントの主な原因はウエハの湾曲である。平坦なウエハでは、アライメント誤差を $0.05 \mu\text{m}$ 以内抑えられるが、曲がったウエハの端領域では、誤差が大きくなってしまふ。あいにくSEM断面写真を撮影したデバイスはウエハ端部分に位置しているものであり、誤差が強調されていると考えられる。しかし、ウエハ端部ではミスアライメントが生じているにもかかわらず、素子性能はウエハ面内で不均一となっていない。

SEM写真から見積もられた極太ゲート電極上Auの断面積は、(a) $0.06 \mu\text{m}^2$ 、(b) $0.58 \mu\text{m}^2$ 、(c) $0.86 \mu\text{m}^2$ 、および(d) $1.15 \mu\text{m}^2$ である。メッキで堆積したAuの抵抗率を見積もるために、電界めっきを使用して作製したメアング配線の抵抗を測定した。様々な種類のメアング配線(全長 3.38mm および 1.38mm 、配線幅 $3 \mu\text{m}$ 、 $10 \mu\text{m}$ 、および $20 \mu\text{m}$ 、配線厚 $1.0 \mu\text{m}$ および 2.0)を準備した。1ウエハ内500本以上のメアング配線をウエハ4枚分測定し、平均抵抗率 $3.8 \times 10^{-6} \Omega \text{ cm}$ と標準偏差 $0.3 \times 10^{-6} \Omega \text{ cm}$ を得た。メッキ法で堆積したAu金属の断面積とメアング配線測定から抽出した抵抗率から、ゲート電極上極太Auの配線抵抗値は(a) $633 \Omega/\text{mm}$ 、(b) $66 \Omega/\text{mm}$ 、(c) $44 \Omega/\text{mm}$ 、および(d) $33 \Omega/\text{mm}$ として見積もられた。第1層配線を使用することによって、ゲート抵抗値はゲート電極上極太Auがない場合に比較し

て1/10~1/20と小さい。

4.4.3 デバイス製作

極太Auを有するT型ゲート電極をデバイスに適用した。デバイスは直径3インチ半絶縁(100)GaAs基板上に作製した。作製したGaAs-MESFETの断面を図4.24に示す。WSiNゲート電極は、反射防止膜を塗布したi線リソグラフィによって形成し、SF₆ガスを用いたECRプラズマエッチングによりエッチングして作製した[42, 43]。最小ゲート長寸法は0.11 μmである。すべてのドーピング層は選択イオン注入によって形成した。それぞれのドーピング層のイオン注入条件を表4.2に示す。

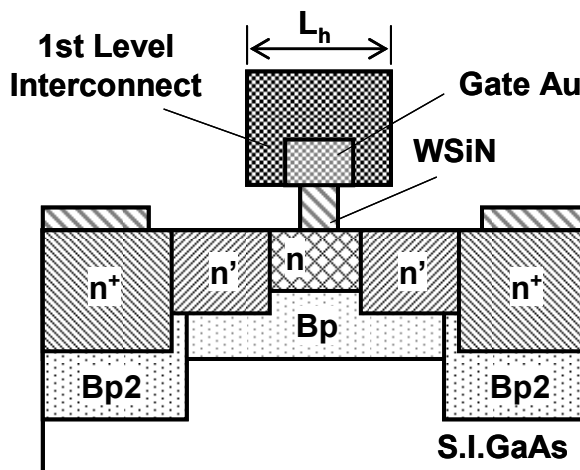


図4.24 極太Auを有するT形ゲートGaAs-MESFETの構造

表4.2 イオン注入条件

	イオン種	エネルギー E(keV)	ドーズ量 Φ (cm ⁻²)
チャネル層	Si	10	9.0 x 10 ¹³
	P	40	3.0 x 10 ¹³
n'層	Si	40	4.0 x 10 ¹³
n+層	Si	80	8.6 x 10 ¹³
埋込p層	Be	50	2.0 x 10 ¹²
第2埋込p層	Be	90	4.0 x 10 ¹²

チャネルの2次元電界効果に起因する短チャネル効果を抑圧するため、10keVのSiイオンおよび40keVのPイオン共注入で高濃度薄層チャネルを形成した[44]。基板リーク電流から生じる短チャネル効果を抑止するために2段階の埋込p層(BP層)を有するBP-LDD構造を特徴とする。埋込p層は50keVのBeイオン注入によって形成され、n'層の間の基板リーク電流を抑制するとともに実効的なチャネル厚みを減らす。2番目の埋込p層(BP2層)は、90keVのBeイオン注入によって形成され、有効にn+層間の基板リーク電流を軽減する。n'層は40keVのイオン注入によって形成し、n+層はより深い80keVのSiイオン注入を用いて、ゲート電極に対してセルフアライン的に形成した。ゲート電極とn+層の間のオフセ

ットは、ゲート電極の側壁に $0.25\ \mu\text{m}$ 厚さの SiO_2 を立てることで行った。 n' 層は、フッ酸系溶液でゲート電極側壁の SiO_2 を取り除いた後に形成した。注入された領域は、 N_2 雰囲気中、 930°C 、 0.1 秒の高速アニール (RTA) によって活性化した。アニール保護膜は、ショットキ接合ゲート電極と同じ WSiN を用いた。

4.4.4 ゲート抵抗の見積り

4.4.2で見積もったゲート電極上極太Auの配線抵抗は、実際のデバイスのゲート抵抗 (R_g)とは、必ずしも一致しない。耐熱性金属ゲートのゲート抵抗は、低比抵抗のリフトオフ金属ゲート、例えばTi/Pt/Auなどのゲート抵抗と異なっていると考えられている。耐熱性金属は比抵抗が著しく高く、ゲート電極上Auの抵抗以外に、ゲート電極上Auとチャンネル層との間にある、耐熱性金属 WSiN の垂直方向のゲート抵抗も考慮にいれなければならないからである。そこで、垂直方向の WSiN 抵抗の全体のゲート抵抗 (R_g)への影響を明らかにするために、作製した各種T形ゲート構造のゲート抵抗を見積った。Leeらは、直流終端抵抗法 (DC end resistance法)を用いて、ソース、ドレイン、およびゲート抵抗を見積もる素晴らしい手法を提案している[45]。しかし、通常この手法では、ゲート抵抗測定専用の電極形状が必要であり、デバイスに使用しているゲート電極と同じ幾学的形状のゲート抵抗を直接測定することはできない。そこで、Cold FET法[46-48]を用いたMahonとAnhold's手法[49, 50]を採用してゲート抵抗の見積もりを行った。

図4.25(a)に、 $V_{ds}=0\text{V}$ におけるFETの等価回路を示す。これは、ゲート下が集中定数を用いた分布RC回路となっている。チャンネル抵抗は、チャンネルに沿ってその位置に依存せず一定値と仮定する。ゲート電圧 V_g が、ゲートのショットキ障壁高さよりも十分高い電圧である場合、図4.25(a)において、ショットキ抵抗 R_{gs} は $nk_B T/qI_g$ と比較して、ショットキ容量 C は R_{gs} と比較して十分低いインピーダンスであると仮定して省略することが可能である。このとき、Z-パラメータは、以下のように与えられる。

$$Z_{11} = R_s + R_g + R_{gg} + \alpha_g R_{ch} + j\omega(L_s + L_g) \quad (4.10)$$

$$Z_{12} = Z_{21} = R_s + R_{ch}\alpha_{ch} + j\omega L_s \quad (4.11)$$

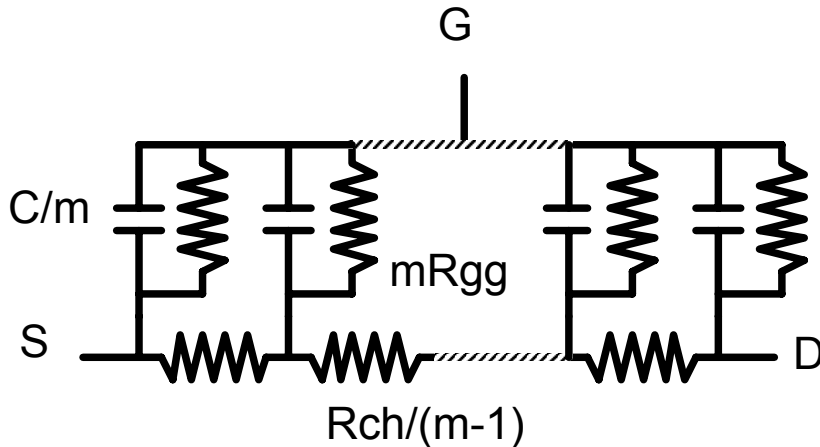
$$Z_{22} = R_s + R_d + 2\alpha_g R_{ch} + j\omega(L_s + L_d) \quad (4.12)$$

$$R_{gg} = \frac{nk_B T}{qI_g} \quad (4.13)$$

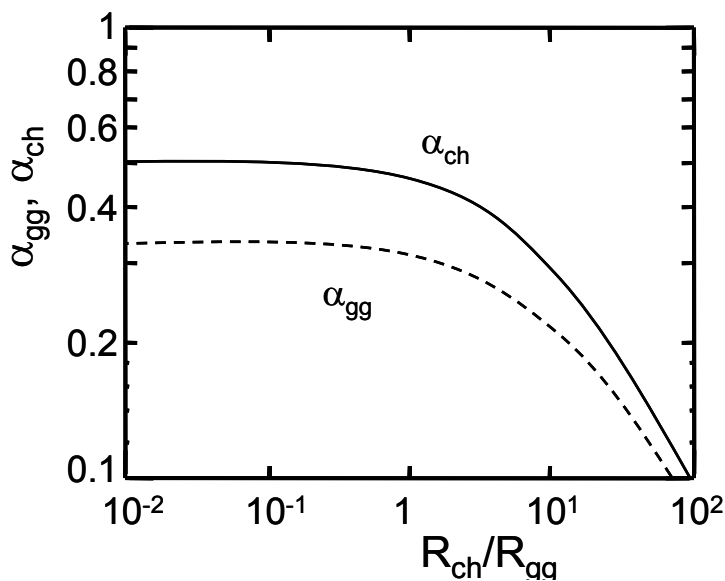
ここで、 R_{ch} はゲート電極下のチャンネル抵抗、 R_s 、 R_d 、および R_g は、ソース抵抗、ドレイン抵抗、およびゲート抵抗である。 L_s 、 L_d 、および L_g は、ソース、ドレイン、ゲート、それぞれの電極に対応するインダクタンスである。 n は WSiN と GaAs によるショットキ接合ダイオードの理想因子である。 k_B はBoltzman定数、 I_g はゲート電流、そして、 α_{gg} および α_{ch} は無単位因子である。

α_{gg} および α_{ch} は $i=R_{ch}/R_{gg}$ に関する普遍的な関数であるため、R. Anholdらが提案しているように、2ポートモデルとして、HP社の周波数軸上回路シミュレータMDSを使用して数値的に算出した[49]。分布定数的なゲートは、容量 C/m と抵抗 mR_{gg} の並列接続が、 m 個直列に接続されている。 m が十分大きな値の場合には、 α_{gg} および α_{ch} は一定値に近づく。そこで、 $m=50$ 、 $R_{ch}=1\ \Omega$ 、および $C=100\ \text{fF}$ とした。 $R_s=R_d=R_g=0\ \Omega$ と仮定し、 R_{gg} を変数として、式(4.10)~(4.13)からZ-パラメータの実部を計算することで、 α_{gg} および α_{ch} を

数値的に計算した。得られた α_{gg} および α_{ch} を R_{ch}/R_{gg} の関数として、図4.25 (b) に示す。 α_{gg} 、 α_{ch} とともに、 R_{ch}/R_{gg} が1以下の場合に一定値に、1以上では R_{ch}/R_{gg} の増加とともに減少する。ゲート電極下のチャンネル抵抗 R_{ch} が一定の場合、 R_{ch}/R_{gg} の増加はゲート電流 I_g 増加を意味している。したがって、ゲート電流が増加するにしたがい、電流はゲート電極のエッジ部分に集中するようになり、全体のインピーダンス Z_{11} や Z_{22} におけるチャンネル抵抗部分の寄与が少なくなる事を表している。



(a) 分配定数型ゲート電極の等価回路



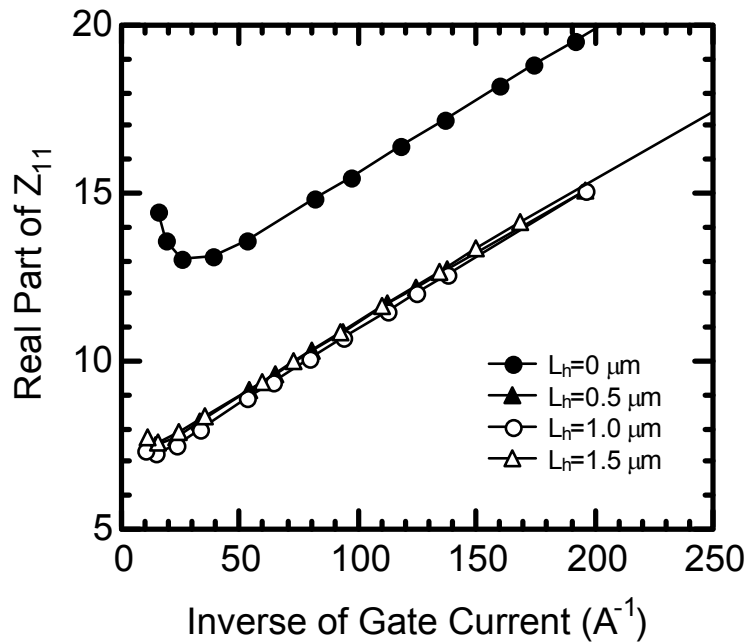
(b) 2ポートモデルで計算された α_{gg} と α_{ch}

図4.25 分配定数型ゲート電極のモデルと無単位定数 α_{gg} と α_{ch}

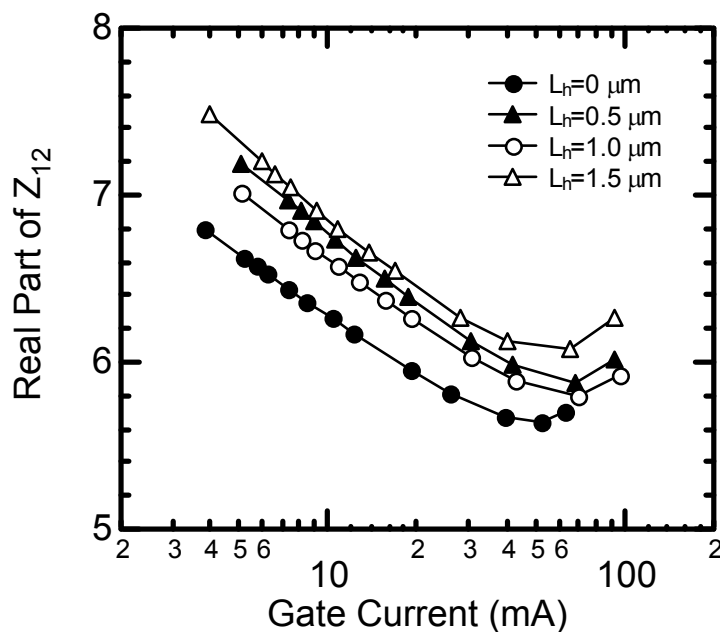
式(4.10)～(4.13)では、3つのZ-パラメータの実部に関する方程式に、4つの未知数、 R_s 、 R_g 、 R_d 、 および R_{ch} を含む。そこで、MahonとAnholdの方法では、 R_{ch} を変数として、実測した Z_{12} の実部のゲート電流依存性から R_s を抽出する。抽出のフローは次の通りである。まず、 R_{ch} の初期値を推測し、各々のゲート電流に対して、 α_{gg} および α_{ch} を図4.25 (b) から読み取る。次に、式(4.11)の実部において、測定した Z_{12} と推測した R_{ch} 、 α_{gg} および α_{ch} から各々のゲート電流に対して R_s を算出する。 R_s のゲート電流依存性が最小量になるまで、 R_{ch} の推測を繰り返す。抽出された最適な R_{ch} 値から、式(4.10)～(4.13)を使用して、 R_s 、 R_g および R_d を計算できる。ここで、ショットキ障壁高さよりも遥かに高い順バイアスを印加して高電流を流した場合には、これらの抵抗値は電流に対して非線形になってしまう。このため、ショットキ特性の理想因子 n も非線形抵抗の影響を含んでしまい、正確に測定

することができない。そこで、理想因子 n の初期値は、ショットキ容量 C が R_{gs} に比較して十分低いインピーダンスであると仮定できるバイアス条件、すなわち、 $V_g=0.66\sim 0.3V$ でのゲート・ショットキ特性から算出した。また、 R_g の値のゲート電流 I_g 依存性が最小に(ほとんどなくなる)なるように、理想因子 n を ± 0.1 の範囲で調整した。この理想因子 n の調整では、理想因子 n を0.1低下させてショットキ特性を良好にした場合、ゲート抵抗 R_g は 0.2Ω 増加する。

デバイスのS-パラメータは、HP8510Bネットワークアナライザを使用して測定した。ゲート電極の幾可学的形状はゲート長 $L_g=0.11\mu m$ 、ゲート幅 $W_g=100\mu m$ である。ここで、ゲート幅は単位ゲート幅 $50\mu m$ の2フィンガである。



(a) Z_{11} の実部のゲート電流 I_g の逆数依存性



(b) Z_{12} の実部のゲート電流 I_g の依存性

図4.26 各ゲート電極構造において算出したZパラメータ

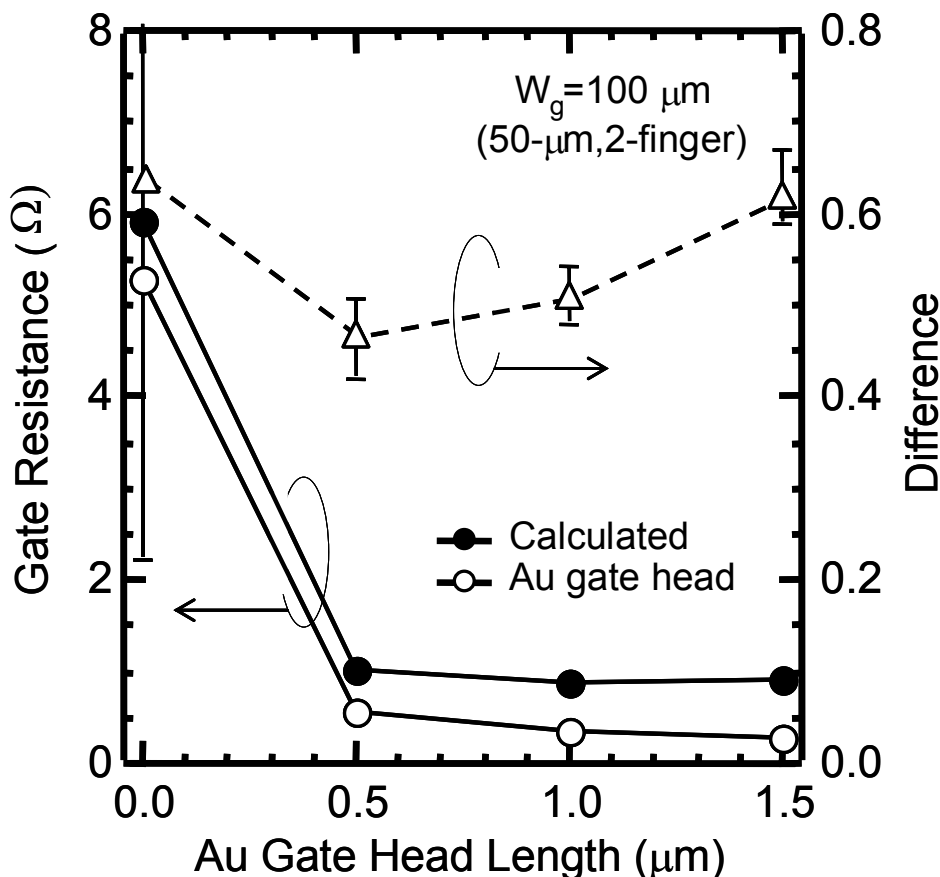


図4.27 Cold FET法で抽出されたゲート抵抗 R_g 、ゲート電極上Auの配線抵抗との比較

図4.26に、算出した各々のゲート電極上極太Auを有するデバイスの Z_{11} および Z_{12} の実部を示す。(4.10)～(4.13)式は、高いゲート電流領域以外は、実測値に良く一致している。 $L_h=0.5\sim 1.5\mu\text{m}$ のゲート電極上極太Auを有するデバイスの Z_{11} の実部は、広いゲート電流範囲に渡ってゲート電流 I_g の逆数に線形に依存しているが、極太Auプロセスを行っていない $L_h=0\mu\text{m}$ では、約40mAのゲート電流で最小値を取っている。この特性は(4.10)式では説明することはできない。ゲート抵抗の高ゲート電流領域でのショットキ接合ゲートの非線形性に起因するものである。ゲート電極上極太Auがない場合には、比較的低いゲート電流において、高抵抗のWSiN電極部分に電界が集中して非線形性が現れる。また、同様に、高いゲート電流領域では式(4.11)式とは異なり、 Z_{12} の実部も増加している。これは、主にオーミック抵抗の非線形性の影響である。 $L_h=0\mu\text{m}$ においては、上記のゲート抵抗の非線形性も重なり、 $L_h=0.5\sim 1.5\mu\text{m}$ よりも比較的低いゲート電流領域から非線形が生じている。そこで、フィッティングは、ゲート電流が5～40mAの範囲内で実行した。また、エネルギー10keVでSi注入されたチャンネル層のシート抵抗は、Hall測定から約3000 Ω と評価されたので、 R_{ch} の初期値は3 Ω とした。

各々のT形ゲート構造において、Cold FET法でフィッティングして算出したゲート抵抗 R_g の値を図4.27に示す。4.4.2でSEM写真の断面積から計算されたゲート電極上Auの配線抵抗と比較している。ゲート電極上極太Auを有するデバイスのゲート抵抗値は1 Ω 以下と劇的に低く、極太Auのない $L_h=0\mu\text{m}$ と比較して1/5以下である。ゲート電極上極太Auの幅 $L_h=0, 0.5, 1.0, \text{および} 1.5\mu\text{m}$ におけるゲート抵抗値は、それぞれ5.92、1.02、0.88、および0.90 Ω であった。ゲート抵抗と同時にソース抵抗 R_s もフィッティングで抽出した。ソース抵抗は、どのT形ゲート電極構造でもほとんど同一であり、偏差は±3%以内であつ

た。Cold FET法から見積られたゲート抵抗 R_g は、ゲート電極上Auの配線抵抗よりも0.5～0.6Ω高い値となっている。

付録Cにあるように、垂直方向のゲート抵抗を考慮にいたれた分配型ゲート抵抗は、解析的に次のように導出することができる。

$$R_g = \frac{R_{go}}{3} + \frac{1}{G_{go}} \quad (4.14)$$

ここで、 R_{go} はゲート電極上Auの配線抵抗、 G_{go} はゲート電極の垂直方向の配線コンダクタンス、すなわち、WSiNゲート電極の上下方向のコンダクタンスである。(4.14)式から、ゲート抵抗は、配線抵抗 R_{go} の1/3と配線コンダクタンス $1/G_{go}$ が直列接続した場合の抵抗となる。

ゲート電極面積が $0.1 \times 100 \mu\text{m}^2$ 、WSiNゲートの高さが $0.25 \mu\text{m}$ であるとき、垂直方向のWSiNゲート抵抗 $1/G_{go}$ は、 0.15Ω と計算される。この垂直方向のゲート抵抗値は非常に小さいように思われる。図4.27における、Cold FET法から見積られたゲート抵抗 R_g とゲート電極上Auの配線抵抗との差が、すべて垂直方向のWSiNゲート抵抗の影響であるとすると、これは解析的に見積られる垂直方向のWSiNゲート抵抗 $1/G_{go}$ の3～4倍になってしまう。このゲート抵抗 R_g とゲート電極上Auの配線抵抗との値の差は、主にゲート電極上AuとWSiNゲートの接点抵抗であると考えられる。

4.5 極太Auを有するT型ゲートデバイスの特性

4.5.1 DC、RF特性

図4.28に、ゲート長 $0.11\mu\text{m}$ 、ゲート幅 $100\mu\text{m}$ のデバイスの典型的なドレインI-V特性を示す。印加している最大のゲート電圧は 1.0V であり、電圧ステップは 0.2V である。ピンチオフ特性は非常に良好である。閾値電圧は -0.3V であり、低消費電力用MMICへの応用に適している。相互コンダクタンスの最大値 g_{max} は 580mS/mm であった。

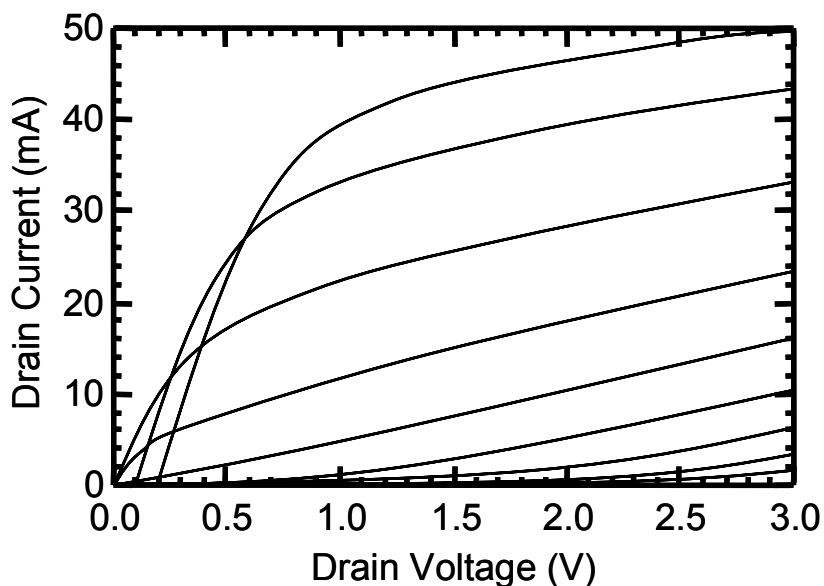


図4.28 ゲート長 $0.11\mu\text{m}$ 、ゲート幅 $100\mu\text{m}$ のデバイスにおける典型的なドレインI-V特性。印加されているゲート電圧は最大値 1.0V 、電圧ステップは 0.2V である。

Sパラメータは、HP8510Bネットワークアナライザを使用して、 $0.5\sim 50\text{GHz}$ の周波数範囲で測定した。電流利得遮断周波数 f_T は、電流利得 H_{21} の周波数依存性を、 10GHz 附近において -6 dB/oct で外挿して決定した。外挿で得られた f_T の値は、 $\pm 0.1\text{GHz}$ 以内の再現性が得られている。図4.29に電流利得遮断周波数 f_T 、および周波数 10GHz における最大安定利得MSGのゲート電極上Au幅 L_h 依存性を示す。これらの値は3インチGaAsウエハ面内に作製したデバイス21個の平均値である。21個の各デバイスは、ウエハ面内で 11.5mm おきに等間隔に配置されている。印加バイアスは、ドレイン電圧 1.5V 、ゲート電圧 0.55V である。図に見られるように、 f_T は L_h の増加に対し、単調に減少している。 $L_h=0\mu\text{m}$ のデバイスは 123GHz であるが、 $L_h=1.5\mu\text{m}$ とAuが極太のデバイスは 89GHz であった。また、 L_h が増加するにしたがい、 10GHz におけるMSGも単調に減少している。 $L_h=0\mu\text{m}$ のデバイスは 16.9dB であるが、 $L_h=1.5\mu\text{m}$ とAuが極太のデバイスは 13.6dB であった。したがって、ゲート電極上極太Auのないデバイスは、 f_T および 10GHz におけるMSGともに高く、デジタル集積回路に適していると考えられる。

ゲート電極上極太Auによって増加した寄生容量を見積もるために、ゲート・ドレイン間容量を抽出した。ゲート・ドレイン間容量 C_{gd} のゲート電極上極太Au幅 L_h 依存性を図4.30に示す。 $C_{\text{gd,meas}}$ は測定したゲート・ドレイン間容量である。ネットワークアナライザを用いて 10GHz 附近で測定したSパラメータを、Yパラメータに変換し、測定デバイスパターンのパッド容量を差し引いた後、以下の式から $C_{\text{gd,meas}}$ を見積もった。

$$C_{gd} = -Im(Y_{12}). \quad (4.15)$$

通常、 C_{gd_meas} は、市販の等価回路パラメータ抽出ソフトを用いて実験的に抽出したものとよく一致する。また、ゲート幅 W_g が $100\mu\text{m}$ 程度と広い場合には、 C_{gd} の絶対値も比較的大きな値となり、他の寄生容量の影響を受けずに、正確に抽出することができる。図4.30において、 C_{gd_meas} はウエハ面内21個のデバイスの平均値であり、エラーバーはその標準偏差である。標準偏差は非常に僅かであり、ゲート電極上極太Auのウエハ面内での製作上のミスアライメントは、デバイス特性に大きな影響を与えていないと考えられる。 C_{g_cal} は、電磁界シミュレータを使用して計算したゲート寄生容量である[50]。これはデバイス内部の容量ではなく、ゲート電極とドレイン電極の間の電極容量である。ここで、ドレイン電極はオーム接触電極、第1層配線、および第2層配線で構成される。電磁界シミュレータの計算においては、GaAs、 SiO_2 、およびポリイミドの誘電率は、それぞれ12.6、3.0、および3.5と仮定した。また、 C_{g_no} はWSiNゲート電極だけでゲート電極上Auのないゲート寄生容量の計算結果であり、 $0.3\mu\text{m}$ 厚さのAuさえも無い場合の寄生容量である。したがって、 C_{g_no} と C_{g_cal} の差は、ゲート電極上Auとドレイン電極との間で生じる寄生容量を表している。さらに、 C_{g_cal} と C_{gd_meas} の差は、ゲート電極上Auとイオン注入で形成されたチャンネル層との間で生じる寄生容量と、デバイスの真性容量との和を表している。

C_{gd_meas} はゲート電極上Auの幅 L_h に比例して単調に増加する。 $1\mu\text{m}$ のAuの幅 L_h 当たり 13.5fF 増加している。ゲート電極上Auの幅が広くなるに従い、 f_T とMSGが単調に減少してしまうのは、主にゲート電極上Auに起因する寄生容量が原因である。

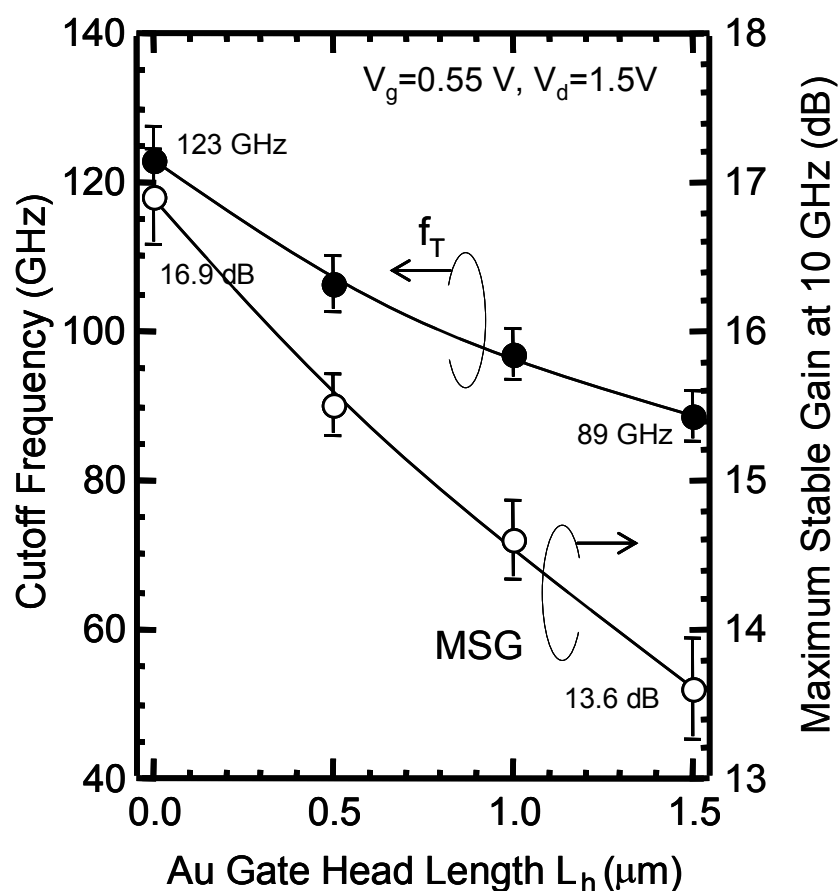


図4.29 電流利得遮断周波数 f_T と10GHzにおける最大安定利得MSGのゲート電極上極太Au幅依存性。ドレイン電圧は1.5V、ゲート電圧は0.55V。

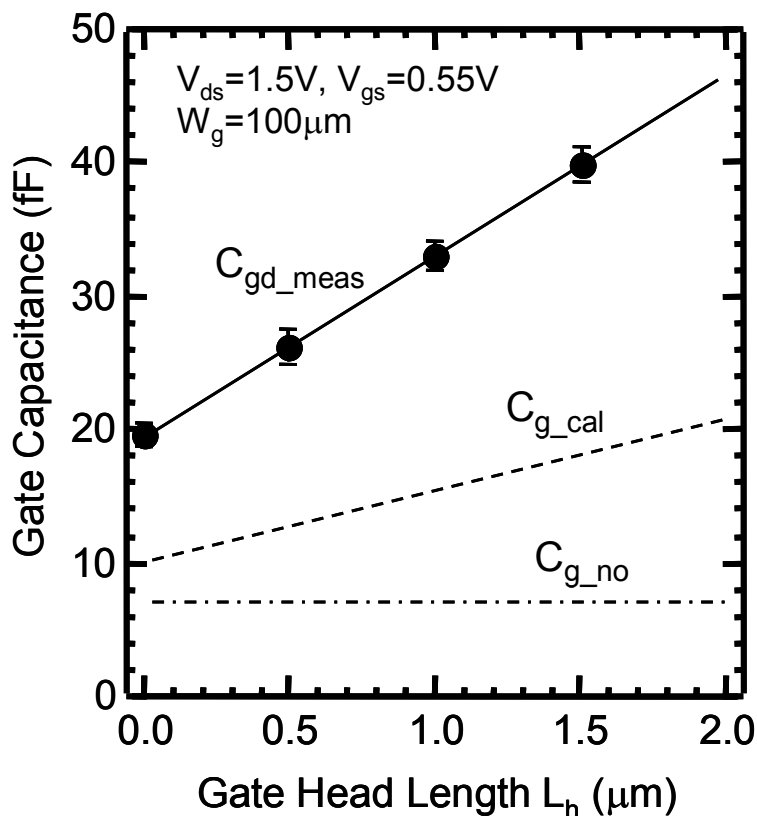


図4.30 ゲート容量のゲート電極上極太Au幅依存性。 C_{gd_meas} は測定されたゲート・ドレイン間容量。 C_{g_cal} は電磁界シミュレーションを使用して計算したゲート・ドレイン間容量。 C_{g_no} はゲート電極上Auの全く無いデバイスにおける C_{g_cal} 。

4.5.2 雑音特性

雑音指数の測定は、周波数範囲1~26GHzで、HP8510Bネットワークアナライザと自動化されたCascade雑音パラメータ試験システムを使用して、オンウエハで実行した。この測定システムを用いて、スムージングして得られた最小雑音指数は、周波数26GHzにおいても、誤差±0.06dB以内の再現性が確認されている。測定デバイスの表面は、 SiO_2 およびポリイミドでパッシベーションされている。

図4.31(a)と(b)に、ゲート電極上Au幅 L_h の異なるデバイスにおいて測定された、26GHzにおける最小雑音指数 NF_{\min} と付随利得 G_a のソース・ドレイン電流の依存性を示す。ドレイン電圧は1.5Vに固定している。どのゲート電極構造においても、約150mA/mmのソース・ドレイン電流で、最も低い最小雑音指数 NF_{\min} が得られた。ゲート電極上極太Auのないデバイス、 $L_h=0\mu\text{m}$ においては、最小雑音指数 NF_{\min} の最小値1.32dB、そのときの付随利得 G_a として8.0dBが得られた。ゲート電極上極太Auで発生するゲート寄生容量とゲート抵抗の低減との間のトレードオフの結果、極太Auの幅 $L_h=1.0\mu\text{m}$ の場合に、最小雑音指数 NF_{\min} の最小値0.78dB、そのときの付随利得 G_a として8.7dBが得られた。図4.28に示したように、極太Auの幅 L_h の増加にともなって、MSGは単調減少していたが、付随利得 G_a は極太Auの幅 $L_h=0.5\mu\text{m}$ の場合に最大となった。ゲート電極上極太Auによって生じるゲート寄生容量増加、ゲート抵抗低減の影響で、雑音整合と利得整合とが生じる入力インピーダンス値が近付くためである。図4.29(c)に、等価雑音抵抗 R_n のソース・ドレイン電流の依存性を示す。ゲート電極上に極太Auを採用することで、等価雑音抵抗 R_n は 8Ω 以下まで減少している。

図4.32は、ゲート電極上極太Auの幅 $L_h=1.0\mu\text{m}$ で、最小雑音指数 NF_{\min} の最小値

0.78dBが得られたときの、最小雑音指数 NF_{min} と付随利得 G_a の周波数依存性示す。バイアス条件は、ドレイン電圧 V_{ds} が1.5V、ドレイン電流 I_{ds} が15mAである。マークは測定された生データであり、ラインはスムージング後のデータである。測定で得られた雑音指数の生データとスムージング後のデータとの差は、0.05dB未満であった。ここで、12GHzにおける最小雑音指数 NF_{min} は0.55dB、付随利得 G_a は12.4dBであった。また、18GHzでは、 NF_{min} は0.65dB、 G_a は9.7dBであった。

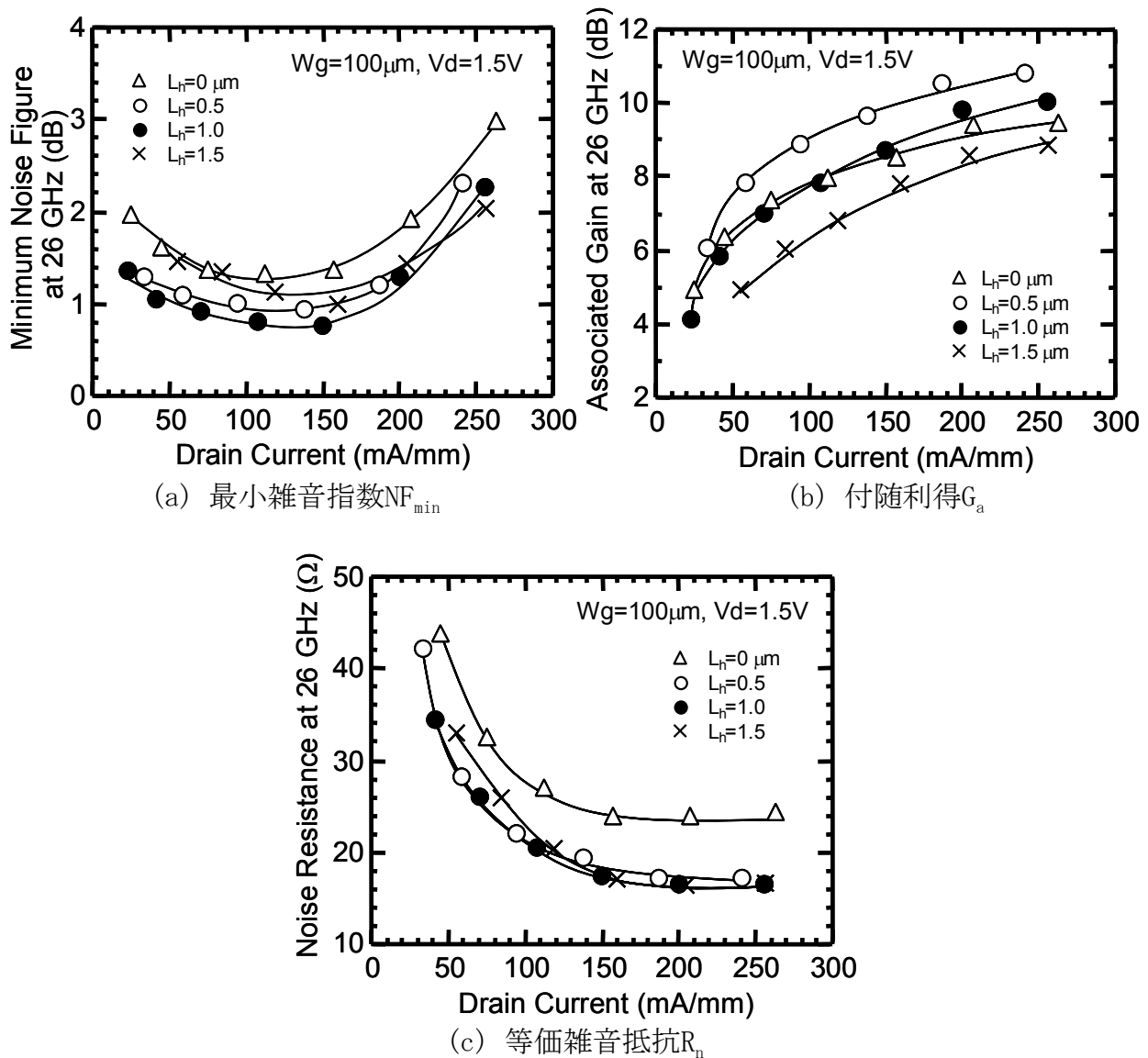


図4.31 26GHzにおける各種雑音特性のソース・ドレイン電流依存性

図4.33には、これまでに報告されているGaAs MESFET[9-16, 52]、AlGaAs/GaAs HEMT[24-27]、AlGaAs/InGaAs Pseudomorphic HEMT[28-39]、およびInAlAs/InGaAs HEMT[40-46]と、達成された最小雑音指数を比較して示す。今回の最小雑音指数は、GaAs MESFETとしては最小値であり、GaAs基板上HEMTとほぼ同等の性能である。この低雑音特性は、主にゲート電極上極太Auで生じる極度に低いゲート抵抗に起因するものである。

図4.34に、1.0 μm のゲート電極上Auの幅 L_h を有するゲート長0.11 μm 、ゲート幅100 μm のデバイスの等価回路を示す。図4.34の等価回路パラメータから算出した結果、以下の(4.16)式で表されるFukuiのフィッティングファクタ K_f は0.89であった。

$$NF_{min} = 1 + K_f \sqrt{g_m (R_s + R_g)} \frac{f}{f_T} \quad (4.16)$$

このフィッティングファクタ K_f の値は、 NF_{min} の最小値を有するGaAs基板上HEMTと同等である。ゲート電極上Auの幅 L_h が0、0.5、1.5 μm のフィッティングファクタ K_f は、それぞれ、1.53、1.16、0.87と計算された。同じチャンネル層構造にもかかわらず、異なるゲート電極構造で K_f 値が異なっている。より大きなボリュームのゲート電極上Auを有するデバイスから、より小さい K_f の値が抽出される。フィッティングファクタ K_f の値の違いは、(4.16)式から分かるように、主に電流利得遮断周波数 f_T の値の違いに起因している。(4.16)式は、 NF_{min} を f/f_T に基づいて展開したときに、第1項である。 f/f_T についての高次の項は無視されている。 f_T の値が低い場合には、高次の項も考慮に入れられなければならない。 f_T の値が比較的低いデバイスからより小さい K_f の値が得られるが、ミリ帯などの高周波では、 f/f_T の高次の項が影響し、つまり周波数の2次以上の項が影響し、 f_T の値が高いデバイスよりも、周波数依存性が急峻になる。(4.16)式は、ゲート誘導雑音などのデバイスの真性雑音と比較して、ゲート抵抗、ソース抵抗などの寄生的な抵抗からの熱雑音が優位であるという仮定で導出されている。寄生的な抵抗が低いデバイスには、適切でないと考えられる。

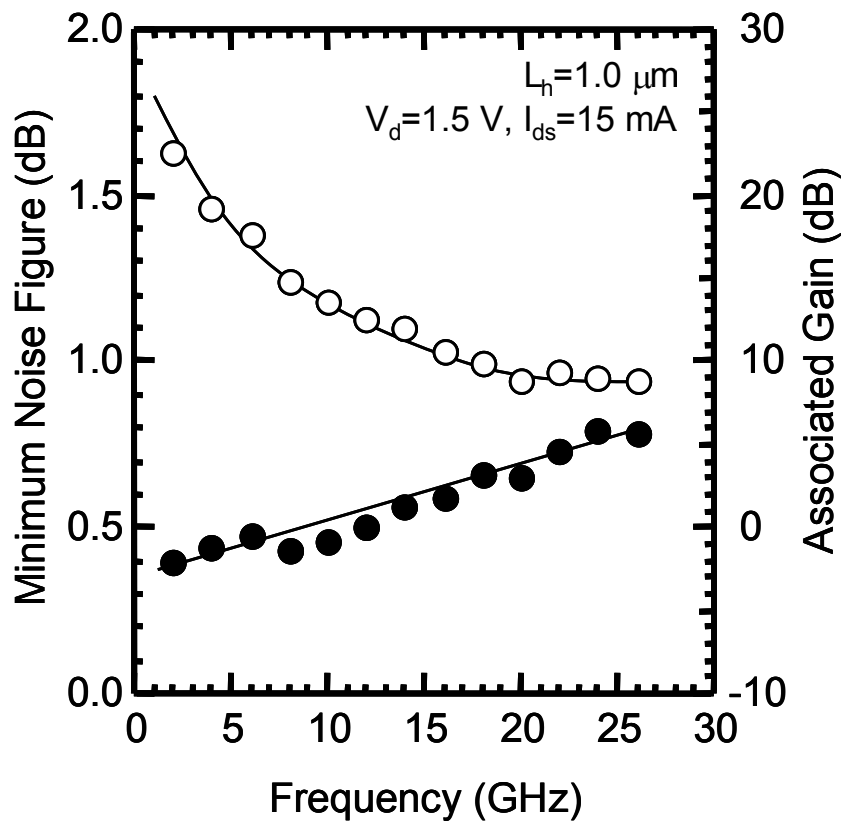


図4.32 ゲート電極上極太Au幅 $L_h=1.0 \mu\text{m}$ のデバイスにおける、最小雑音指数 NF_{min} と付随利得 G_a の周波数依存性。バイアス条件はドレイン電圧 $V_{ds}=1.5\text{V}$ 、ドレイン電流 $I_{ds}=15\text{mA}$ 。

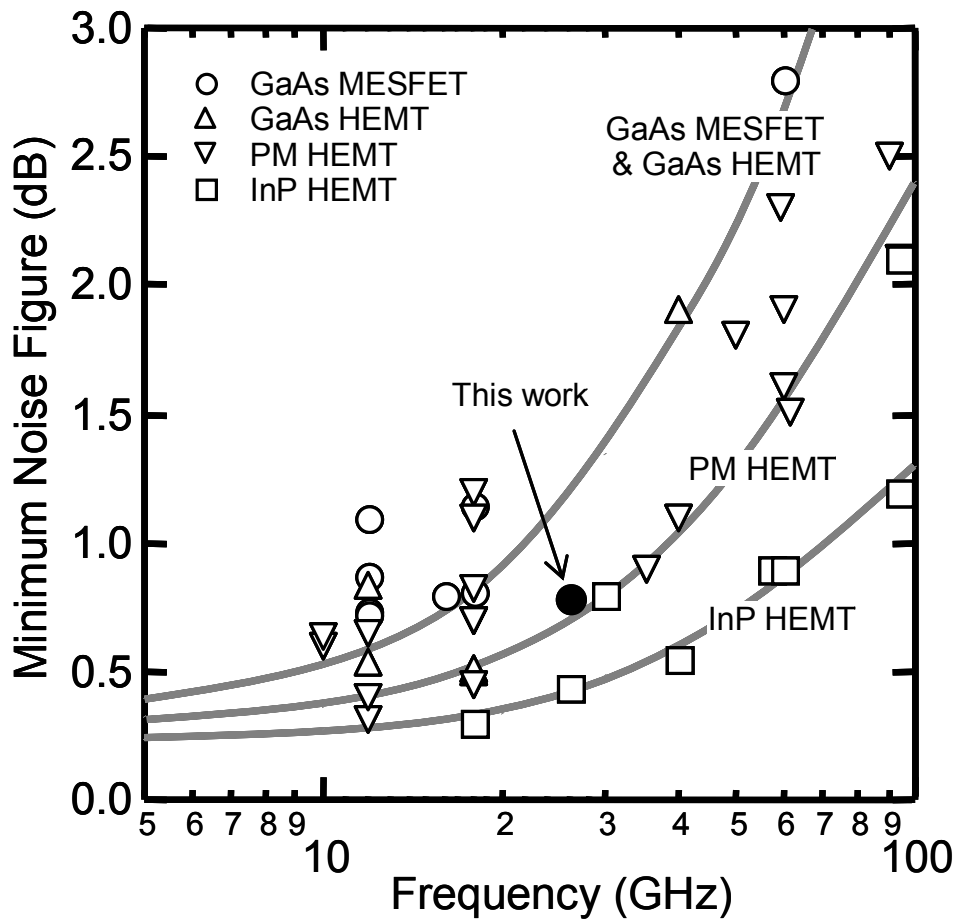


図4.33 今回達成された最小雑音指数とこれまでに報告されているGaAs MESFET、AlGaAs/GaAs HEMT、AlGaAs/InGaAs Pseudomorphic HEMTおよびInAlAs/InGaAs HEMTの比較

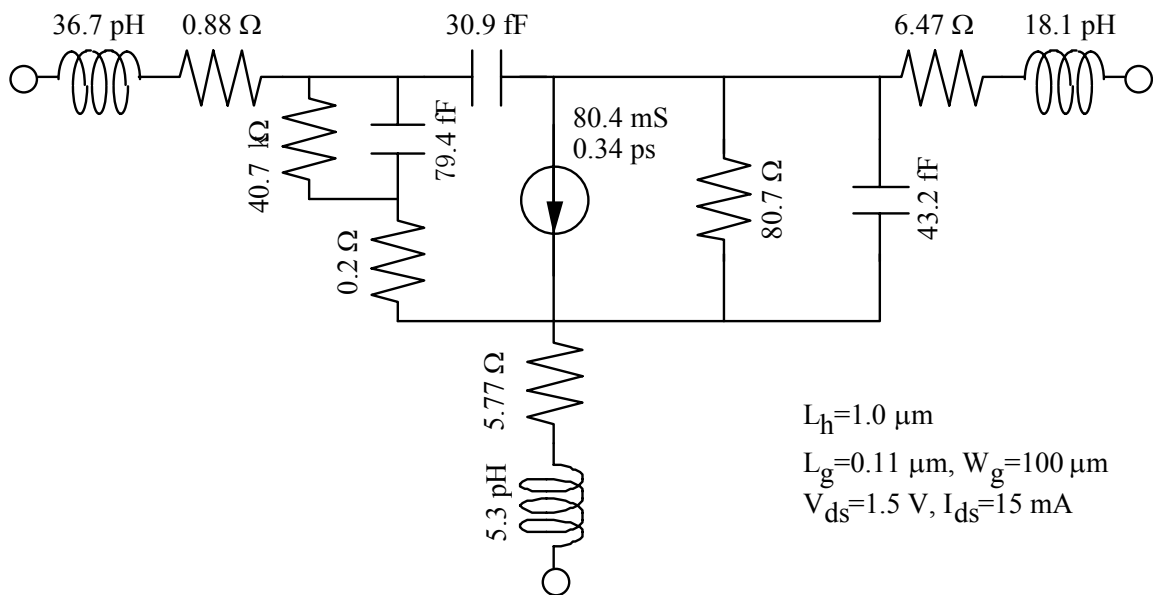


図4.34 ゲート長 $0.11 \mu\text{m}$ 、ゲート幅 $100 \mu\text{m}$ のデバイスの等価回路。ゲート電極上極太Auの幅は $1.0 \mu\text{m}$ 。印加されたドレイン電圧は 1.5V 、ドレイン電流は 15mA である。

4.6 むすび

電子サイクロトロン共鳴法(ECR)プラズマエッチングを用いたWSiNゲート電極の加工プロセスの開発および電極設計の改良によるGaAs-MESFET雑音特性の高性能化について検討した。プラズマ生成室とエッチング室が分離したECRプラズマエッチング装置は、低ガス圧力で高活性プラズマを生成でき、発散磁界でプラズマ生成室からエッチング室に抽出されたイオン流は、低損傷で高異方性のWSiNエッチングが可能となった。

【1】WSiN/GaAsのエッチング選択比は40以上であり、マイクロ波電力には依存せず一定であった。GaAsのエッチング速度は1~2nm/minと小さく、汎用されている平行平板型反応性イオンエッチングと比較して半分以下であった。

【2】WSiNの横方向エッチング特性は、コイル電流16.5Aを境にその傾向が変化した。コイル電流16.5A以下では、SiO₂マスクに対しサイドエッチングが入り、16.5A以上では、裾引き形状となった。

【3】ガス圧力 1×10^{-3} 以上ではフッ素ラジカルにより化学反応的エッチングが主流となり、横方法エッチングが顕著となり、WSiNの微細垂直加工には、 5×10^{-4} 以下のガス圧力が必要である。

【4】平行平板型プラズマRIEと異なり、ECRプラズマエッチングのWSiN加工最適条件で、サイドエッチング20nm以下が可能となった。オーバーエッチング率100%に到っても、サイドエッチング量は殆ど増加せず、プロセスマージンが大きい。

【5】(1)GaAs基板に低損傷であるECRプラズマRIEによるゲート加工を採用し、(2)チャンネルに対して活性化アニール温度の最適化を行い、て、良質で表面損傷の少ないチャンネルを有するT型Au/WSiNゲートGaAs MESFETを試作した。その結果、ゲート長 $0.35 \mu\text{m}$ において、18GHzにおいて、10mAのドレイン電流で雑音指数0.81dBという低雑音特性を達成した。

WSiNは高温熱処理でもアモルファス状態を保持し、非常に安定である反面、抵抗率が $600 \mu\Omega\text{cm}$ 以上と高い。このため、T型のAu/WSiNゲート電極構造のAuを極太化して、ゲート抵抗を下げる構造および製造プロセスを開発した。

【6】この製造プロセスでは、ゲート上Au電極を第1層配線と同時に形成するために、余分な工程を増やさずに済むとともに、1チップの上に2種類のデバイスを作製することができる。すなわち、Auボリュームを大きくし、ゲート抵抗を低減させたアナログ集積回路用途のデバイスと、WSiNゲート電極上Auのボリュームを小さいままとし、ゲート寄生容量を減少させたデジタル集積回路用途のデバイスである。

【7】ゲート電極上極太Auを有するデバイスのゲート抵抗値は 1Ω 以下と劇的に低くなり、極太Auのない $L_g=0 \mu\text{m}$ と比較して1/5以下とすることができた。Cold FET法でフィッティングして算出したゲート抵抗 R_g は、ゲート電極上極太Auの幅 $L_g=0, 0.5, 1.0$ 、および $1.5 \mu\text{m}$ におけるゲート抵抗値は、それぞれ5.92、1.02、0.88、および 0.90Ω であった。

【8】ゲート電極上極太Auはゲート抵抗を劇的に下げる反面、寄生容量の原因となり、電流利得遮断周波数 f_T および最大安定利得MSGは、ゲート電極上極太Auの幅 L_g に反比例して減少した。ゲート電極周りの寄生容量はゲート電極上Auの幅 L_g に比例して単調に増加し、 $1 \mu\text{m}$ のAuの幅 L_g 当り13.5fF増加していた。

【9】ゲート抵抗低減とゲート寄生容量のトレードオフで、極太Auの幅 $L_g=1.0 \mu\text{m}$ の場合に、最小雑音指数 NF_{\min} の最小値0.78dB、そのときの付随利得 G_a として8.7dBが得られた。

参考文献

- [1] A. Cappy, A. Vanoverschelde, M. Schortgen, C. Versnaeyen, and G. Salmer, "Noise Modeling in Submicrometer-Gate Two-Dimensional Electron-Gas Field-Effect Transistor," *IEEE Trans. Electron Devices*, Vol. 32, pp. 2787-2792 (1985).
- [2] P. C. Chao, A. J. Tessmer, K. H. G. Duh, P. Ho, M. Y. Kao, P. M. Smith, J. M. Ballingall, S. M. J. Liu, and A. A. Jabra, "W-Band Low-Noise InAlAs/InGaAs Lattice-Matched HEMT's," *IEEE Electron Device Lett.*, vol. 11, 59 (1990).
- [3] H. Kawasaki, T. Shiono, M. Kawano, and K. Kamei, "Super Low Noise AlGaAs/GaAs HEMT with One Tenth Micron Gate," *IEEE MTT-S Dig.*, 423 (1989).
- [4] K. L. Tan, D. C. Streit, P. D. Chow, R. M. Dia, A. C. Han, P. H. Liu, D. Garske, and R. Lai, "140 GHz 0.1 μ m Gate-Length Pseudomorphic In_{0.52}Al_{0.48}As/In_{0.60}Ga_{0.40}As/InP HEMT," *IEEE IEDM Tech. Dig.*, 239 (1991).
- [5] K. H. G. Duh, P. C. Chao, S. M. J. Liu, P. Ho, M. Y. Kao, and J. M. Ballingall, "A Super Low-Noise 0.1- μ m T-gate InAlAs/InGaAs/InP HEMT," *IEEE Microwave Guide wave Lett.*, vol. 1, 114 (1991).
- [6] P. Ho, P. C. Chao, K. H. G. Duh, A. A. Jabra, J. M. Ballingall, and P. M. Smith, "Extremely High Gain, Low Noise InAlAs/InGaAs HEMT's Grown by Molecular Beam Epitaxy," *IEEE IEDM Tech. Dig.*, 184 (1988).
- [7] F. Heliodre, M. Lefebvre, G. Salmer, O. L. El-Sayed, "Two-Dimensional Simulation of Submicrometer GaAs MESFET's: Surface Effects and Optimization of Recessed Gate Structure," *IEEE Trans. Electron Devices*, vol. 35, 824 (1988).
- [8] P. H. Ladbroke and S. R. Blight, "Low-Filed Low-Frequency Dispersion of Transconductance in GaAs MESFET's with implications for Other Rate-Dependent Anomalies," *IEEE Trans. Electron Devices*, vol. 35, 257 (1988).
- [9] T. Tambo, O. Ishikawa, H. Yagita, K. Inoue, and T. Onuma, "Low-Noise GaAs-MESFET by Dummy-Gate Self-Alignment Technology," in *IEEE GaAs IC Symp. Tech. Dig.*, 1987, pp. 49-52.
- [10] I. Banerjee, P. W. Chye, and P. E. Gregory, "Unusual C-V Profiles of Si-Implanted (211) GaAs Substrates and Unusually Low-Noise MESFET's Fabricated on Them," *IEEE Electron. Device Lett.*, vol. 9, pp. 10-12, 1988.
- [11] C. L. Lau, M. Feng, T. R. Lepkowski, G. W. Wang, Y. Chang, and C. Ito, "Half-Micrometer Gate-Length Ion-Implanted GaAs MESFET with 0.8-dB Noise Figure at 16 GHz," *IEEE Electron Device Lett.*, vol. 10, pp. 409-411, 1989.
- [13] K. Hosogi, N. Ayaki, T. Kato, Y. Kohno, H. Nakano, T. Shimura, H. Takano, and K. Nishitani, "Super Low Noise Self-Aligned Gate GaAs MESFET with Noise Figure of 0.87 dB at 12 GHz," in *MTT-S Dig.*, 1990, pp. 1257-1260.
- [14] S. Nakajima, K. Otobe, N. Kuwata, N. Shiga, K. Matsuzaki, and H. Hayashi, "Pulse-Doped GaAs MESFET's with Planar Self-Aligned Gate for MMIC," in *MTT-S Dig.*, 1990, pp. 1081-1084.
- [15] C. L. Lau, M. Feng, J. Schellenberg, P. Brusenback, T. Lepkowski, T. Hwang, and C. Ito, "60-GHz Noise Performance of Ion-Implanted In_xGa_{1-x}As MESFET's," *IEEE Electron Device Lett.*, vol. 12, pp. 244-246, 1991.
- [16] M. Feng, and J. Laskar, "On the Speed and Noise Performance of Direct Ion-Implanted GaAs MESFET's," *IEEE Trans. Electron Devices*, vol. 40, pp. 9-17,

1993.

[17] D. R. Scherrer, D. Caruth, M. Feng, "Diffusion Noise of GaAs MESFET's and p-HEMT's," in *Inst. Phys. Conf. Ser.*, no. 155, pp. 483-488, 1997.

[18] K. Hosogi, N. Ayaki, T. Kato, Y. Kohno, H. Nakano, T. Shimura, H. Takano, and K. Nishitani, "Super Low Noise Self-Aligned Gate GaAs MESFET with Noise Figure of 0.87 dB at 12 GHz," *IEEE MTT-S Dig.*, 1257 (1990).

[19] T. Tambo, O. Ishikawa, H. Yagita, K. Inoue, and T. Onuma, "Low-Noise GaAs-MESFET by Dummy-Gate Self-Alignment Technology," *IEEE GaAs IC Symp. Tech. Dig.*, 49 (1987).

[20] S. Nakajima, K. Otobe, N. Kuwata, N. Shiga, K. Matsuzaki, and H. Hayashi, "Pulse-Doped GaAs MESFET's with Planar Self-Aligned Gate for MMIC," *IEEE MTT-S Dig.*, 1081 (1990).

[21] I. Banerjee, P. W. Chye, and P. E. Gregory, "Unusual C-V Profiles of Si-Implanted (211) GaAs Substrates and Unusually Low-Noise MESFET's Fabricated on Them," *IEEE Electron Device Lett.*, vol. 9, 10 (1988).

[22] C. L. Lau, M. Feng, T. R. Lepkowski, G. W. Wang, Y. Chang, and C. Ito, "Half-Micrometer Gate-Length Ion-Implanted GaAs MESFET with 0.8-dB Noise Figure at 16 GHz," *IEEE Electron Device Lett.*, vol. 10, 409 (1989).

[23] S. Sugitani and K. Asai, "Enhancement of SiO₂/GaAs Interface Properties by Electron Cyclotron Resonance Plasma-Enhanced Chemical Vapor Deposition and Ga Outdiffusion Control," *Appl. Phys. Lett.*, vol. 59, 84 (1991).

[24] E. Yablonoitch, C. J. Sandroff, R. Bhat, and T. Gmitter, "Nearly Ideal Electric Properties of Sulfide coated GaAs Surfaces," *Appl. Phys. Lett.*, vol. 51, 439 (1987).

[25] P. Viktorovitch, "Passivation des semiconductors III-V," *Revue Phys. Appl.*, vol. 25, 895 (1990).

[26] W. E. Spicer, I. Lindau, P. Skeath, and C. Y. Su, "Unified Defects Model and Beyond," *J. Vac. Sci. Technol.*, vol. 17, 1019 (1980).

[27] S. Sugitani, K. Yamasaki, and H. Yamazaki, "Characterization of a thin Si-implanted and rapid thermal annealed n-GaAs layer," *Appl. Phys. Lett.*, vol. 51, 806 (1987).

[28] H. Dambkes, W. Brockerhoff, and K. Heime, "Improved Performance of Micron and Submicron Gate GaAs MESFET's due to High Electron Concentrations ($n=10^{18}\text{cm}^{-3}$) in the Channel," *IEEE GaAs IC Symp. Tech. Dig.*, 153 (1983).

[29] S. Matsuo and K. Kikuchi, "Low Temperature Chemical Vapor Deposition Method Utilizing an Electron Cyclotron Resonance Plasma," *Jpn. J. Appl. Phys.* 22, L210, 1983.

[30] T. Ono, M. Oda, C. Takahashi, and S. Matsuo, "Reactive Ion Stream Etching Utilizing Electron Cyclotron Resonance Plasma," *J. Vac. Sci. Technol.*, vol. B4, 696 (1986).

[31] S. Sugitani, K. Onodera, K. Nishimura, F. Hyuga, and K. Asai, "High Quality and Very Thin Active Channel Layer for Ion Implanted GaAs MESFET's," presented at 18th Int. Symp. GaAs and Related Compounds, 1991.

[32] M. Abe and T. Mimura, "Ultrahigh-speed HEMT LSI technology," *IEEE GaAs IC Symp. Tech. Dig.*, 127 (1990).

[33] M. S. Gupta, O. Pitzalis, JR., S. E. Rosenbaum, and P. T. Greiling, "MicroWave

- Noise Characterization of GaAs MESFET's: Evaluation by On-wafer Low-Frequency Output Noise Current Measurement," *IEEE Trans. Microwave Theory & Tech.*, vol. 35, 1208 (1987).
- [34] M. S. Gupta and P. T. Greiling, "Microwave Noise Characterization of GaAs MESFET's: Determination of Extrinsic Noise Parameters," *IEEE Trans. Microwave Theory & Tech.*, vol. 36, 745 (1988).
- [35] H. Fukui, "Optimal Noise Figure of Microwave GaAs MESFET's," *IEEE Trans. Electron Devices*, vol. 26, 1032 (1979).
- [36] I. Hanyu, S. Asai, M. Nunokawa, K. Joshin, Y. Hirachi, Ohmura, Y. Aoki, and T. Aigo, "Super Low Noise HEMT's with a T-Shaped WSi_x Gate," *Electronics Lett.*, vol. 24, 1327 (1988).
- [37] K. H. G. Duh, P. C. Cao, P. M. Smith, L. F. Lester, B. R. Lee, J. M. Ballingall, and M. Y. Kao, "Millimeter-Wave Low Noise HEMT Amplifier," *IEEE MTT-s Dig.*, 923 (1988).
- [38] K. Tanaka, M. Ogawa, K. Togashi, H. Takakuwa, H. Ohke, M. Kanazawa, Y. Kato, and S. Watanabe, "Low-Noise HEMT Using MOCVD," *IEEE Trans. Microwave Theory & Tech.*, vol. 34, 1522 (1986).
- [39] P. C. Cao, P. H. Smith, K. H. G. Duh, J. M. Ballingall, L. F. Lester, B. R. Lee, A. A. Jabra, and R. C. Tiberio, "High Performance 0.1 μ m Gate-Length Planar-Doped HEMT's," *IEEE IEDM Tech. Dig.*, 410 (1987).
- [40] K. L. Tan, D. C. Streit, L. K. Shaw, A. C. Han, M. D. Sholley, P. H. Liu, T. Q. Trinh, T. Lin, and H. C. Yan, "60 GHz Pseudomorphic Al_{0.25}Ga_{0.75}As/In_{0.28}Ga_{0.72}As Low-Noise HEMT's," *IEEE Electron Device Lett.*, vol. 12, 23 (1991).
- [41] M. Hirano, K. Nishikawa, I. Toyoda, S. Aoyama, S. Sugitani, and K. Yamasaki, "Three-Dimensional Passive Circuit Technology for Ultra-Compact MMIC's," in *MTT-S. Dig.*, pp. 1447-1450, 1995.
- [42] Y. Jin, C. Takahashi, K. Nishimura, T. Ono, and S. Matsuo, "0.1- μ m WSiN-Gate Fabrication of GaAs MESFETs Using Electron-Cyclotron-Resonance Ion-Stream Etching with SF₆-CF₄-SiF₄-O₂," *J. Vac. Sci. Technol. B*, vol. 15, PP. 2639-2642, 1997.
- [43] K. Nishimura, K. Onodera, S. Aoyama, M. Tokumitsu, and K. Yamasaki, "High-Performance 0.1- μ m-Self-Aligned-Gate GaAs MESFET Technology," *IEEE Trans. Electron Devices*, vol. 44, pp. 2113-2119, 1997.
- [44] F. Hyuga, H. Yamazaki, K. Watanabe, and J. Osaka, "Activation Efficiency Improvement in Si-implanted GaAs by P Co-Implantation," *Appl. Phys. Lett.*, Vol. 50, No. 22, pp. 1592-1594, 1987.
- [45] K. W. Lee, K. Lee, M. S. Shur, T. T. Vu, P. C. T. Roberts, and M. J. Helix, "Source, Drain and Gate Resistances in GaAs MESFET's," *IEEE Trans. Electron Devices*, vol. 32, pp. 987-992, 1985.
- [46] F. Diamant and M. Laviron, "Measurement of the Extrinsic Series Elements of the Microwave MESFET under Zero Current Condition," in *Proc. 12th European Microwave Conf.*, pp. 451-456, 1982.
- [47] W. Curtice and R. L. Camisa, "Self-Consistent GaAs FET Models," *IEEE Trans. Microwave Theory Tech.*, vol. 32, pp. 1573-1578, 1984.
- [48] G. Dambrine, A. Cappy, F. Heliodore, and E. Playez, "A New Method for Determining the FET Small-Signal Equivalent Circuit," *IEEE Trans. Microwave Theory Tech.*, vol. 36, pp. 1151-1159, 1988.

- [49] R. Anhold and S. Swirhum, "Equivalent-Circuit Parameter Extraction for Cold GaAs MESFET's," IEEE Trans. Microwave Theory Tech., vol. 32, pp. 1243-1247, 1991.
- [50] J. Mahon, C. Weichert, and J. P. Lanteri, "Unique Determination of a Scaleable FET Model," in Dig. US Conf. GaAs Manuf. Technol., pp. 58-62, 1989.
- [51] T. Shibata, "Circuit Simulations Combined with the Electromagnetic Field Analysis," IEEE Trans. Microwave Theory Tech., vol. 39, pp. 1862 - 1868, 1991.
- [52] K. Onodera, K. Nishimura, K. Asai, and S. Sugitani, "High Microwave and Ultra-Low Noise Performance of Fully Ion-Implanted GaAs MESFET's with Au/WSiN T-Shaped Gate," IEEE Trans. Electron Devices, vol. 40, pp. 18-24, 1993.
- [53] K. Onodera, K. Nishimura, S. Aoyama, S. Sugitani, and M. Hirano, "Extremely Low-Noise Performance of GaAs-MESFETs with a Wide-Head T-Shaped Gate," IEEE Trans. Electron Devices, vol. 46, pp. 310-319, 1999.

第5章 対称／非対称GaAsヘテロ構造MESFET

5.1 まえがき

前章までは、耐熱性が良好なWSiNをゲート電極に適用した、フルイオン注入GaAs-MESFETの研究開発について述べた。ゲート電極の微細化とともに、WSiN膜を用いた活性化アニール技術、10KeVSiイオン注入技術を活用して、高濃度薄層チャンネルを形成し、高周波特性の向上を図った[1-3]。しかし、短チャンネル効果を抑止し、高性能化する為の高濃度薄層化チャンネルは、必然的にゲート・ショットキ障壁の低下、ゲート・ドレイン間耐圧の低下を生じる。低雑音増幅器などの小信号電力を扱うマイクロ波回路の場合には大きな問題とならないが、大振幅動作を行う回路では深刻な問題となる。デジタル回路ではノイズマージン低下、高出力増幅器ではドレイン効率の低下、低寿命化などの悪影響生じる。

ゲート・ショットキ障壁を維持する方法として、エピタキシャル成長を用いて高濃度n形GaAsチャンネル上に低濃度GaAsを積層する方法がある[4]。本章では、この手法をさらに発展させ、低濃度GaAsに代わり、GaAsに比較してバンドギャップの広い半導体を挿入する新しい構造を検討した結果について述べる。障壁層としてワイドバンドギャップのInGaPを用いることで、GaAsとの間の伝導帯不連続量分だけゲート・ショットキ障壁高さを増加させることができるとともに、ゲート耐圧を向上させることができる。

また、今後、更なる高集積化、小型化、低コスト化を推進するためには、アナログ、デジタルを問わず、様々な機能ブロックを同一チップ上に作製する必要がある。各機能ブロックに対して、最適化された信号処理性能を得るためには、各機能で異なったデバイス設計が望まれる。FETとダイオードで最適エピタキシャル結晶構造が異なるように、例えば、低雑音増幅器、高効率電力増幅器、あるいは周波数変換器では、回路設計法と同様に異なる最適デバイス構造設計法が必要である。この為、一般的に、1ウエハに1種類のデバイスしか搭載出来ないエピタキシャル系デバイスでは、複数の最適化デバイス構造を1チップ化することは困難であった。そこでプレーナ構造GaAs-MESFET技術を基に、90度ゲート方向が異なる対称構造デバイスと非対称構造デバイスを1ウエハ上に作製する技術を開発した。5.3節ではGaAs上にInGaPをエピタキシャル成長したウエハ上にイオン注入法でチャンネルを形成したGaAs-HMESFET(Heterostructure MESFET)について述べる。斜めSiイオン注入でソース及びドレインn'層を形成することで、余分なプロセスを経ずに、ドレイン側のゲート-n'層間隔が異なるデバイスを作製し、ゲート耐圧および最大発振周波数への改善効果を検討した。5.4節ではチャンネルの更なる高濃度薄層化を図る目的で、n-InGaAsチャンネルを採用したGaAs-HMESFETについて述べる。InGaP/InGaAsヘテロ構造には、高電流密度、高利得、および高ゲート耐圧を提供する可能性がある。5.5節では対称構造デバイスを用いて設計および試作したミリ波帯増幅器の結果について述べる。

5.2 InGaP障壁層

図5.1に各種化合物半導体のバンドギャップと格子定数の関係を示す。GaAsのヘテロ接合障壁層として使用できる化合物半導体として、AlGaAs/GaAs-HEMTにおいて電子供給層かつ障壁層として用いるAlGaAsがある[5, 6]。AlAsはGaAsと格子定数も近いので、AlGaAsのどのAl組成においてもGaAsと格子整合する。しかし、Al組成0.22以上のAlGaAsでは、DXセンターと呼ばれる深い準位が形成され、閾値電圧の温度依存性、光応答、I-Vコラプスなどの不安定な特性を引き起こす。この為、Al組成には制限がある。HEMTの場合には、電子供給層とチャンネル層の伝導帯不連続量分 ΔE_c で2次元電子ガス濃度の上限が決まるため、Al組成を多くしたいが、DXセンターの問題で、Al組成0.3前後が使用されている。

AlGaAsに代わる材料として、InGaPが注目されている[7]。InGaPはIn組成0.5付近でGaAsと格子整合し、かつAlGaAsにみられるようなDXセンターが存在しないことから[8, 9]、GaAs表面保護膜として有利である。また、InGaP/GaAsを用いることで、GaAsとの間の伝導帯不連続量分だけゲート・ショットキ障壁高さを増加させるとともに、ゲート耐圧を向上させることができる[14]。

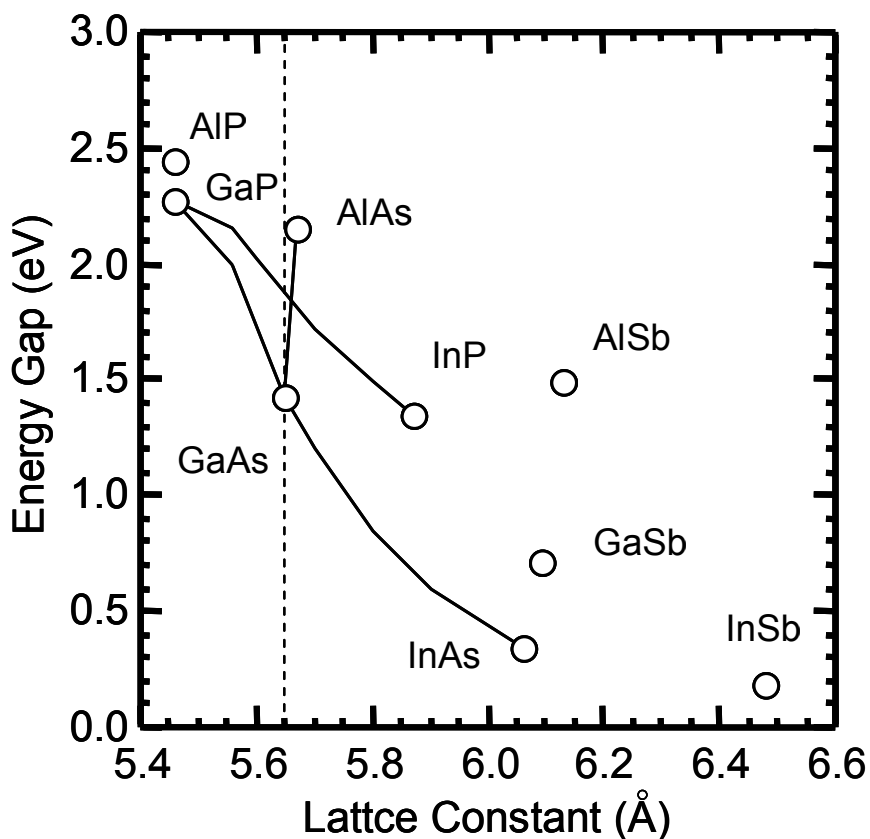


図5.1 化合物半導体のバンドギャップと格子定数

5.3 注入チャネルデバイス

5.3.1 デバイス構造と製作プロセス

エピタキシャル層は、3インチ半絶縁性GaAs (001) ウエハ上にMOCVD法で成長した。エピタキシャル層構造は図5.2で示すようなi-GaAs 10 nm/i-InGaP 10 nm/i-GaAs 10 nmの構成である。ここで、InGaPのIn組成は0.48、InGaAsのIn組成は0.20である。InGaP上のi-GaAsキャップ層10 nmは、活性化アニール時にゲート材料のWSiNとInGaPの反応を抑さえる目的で挿入されている。Inを含む化合物半導体上のショットキ界面は、熱的に不安定であることが知られている。Changらは、様々な耐熱性金属に対してInGaPのショットキ特性を包括的に評価している[10]。塩島らはTi/InGaPショットキ特性は、300°Cアニールで劣化すると報告している[11]。InGaPはWSiNとも高温熱処理で激しく反応する[12]。今回作製するInGaP/GaAsヘテロ構造MESFET (HMESFET) は、チャネル層、n⁺層をイオン注入で形成し、活性化アニールを行う必要がある。前検討に依れば、InGaP上のi-GaAsキャップ層は5nm以上で、十分にWSiNとInGaPの反応を抑えることが可能である。

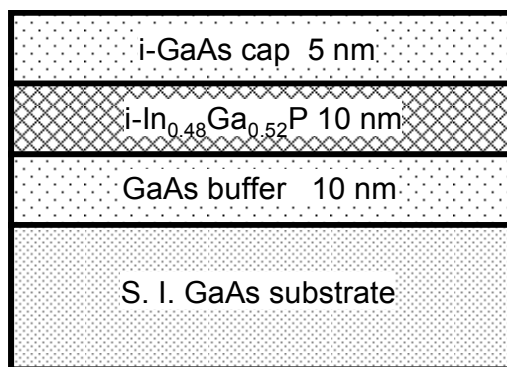
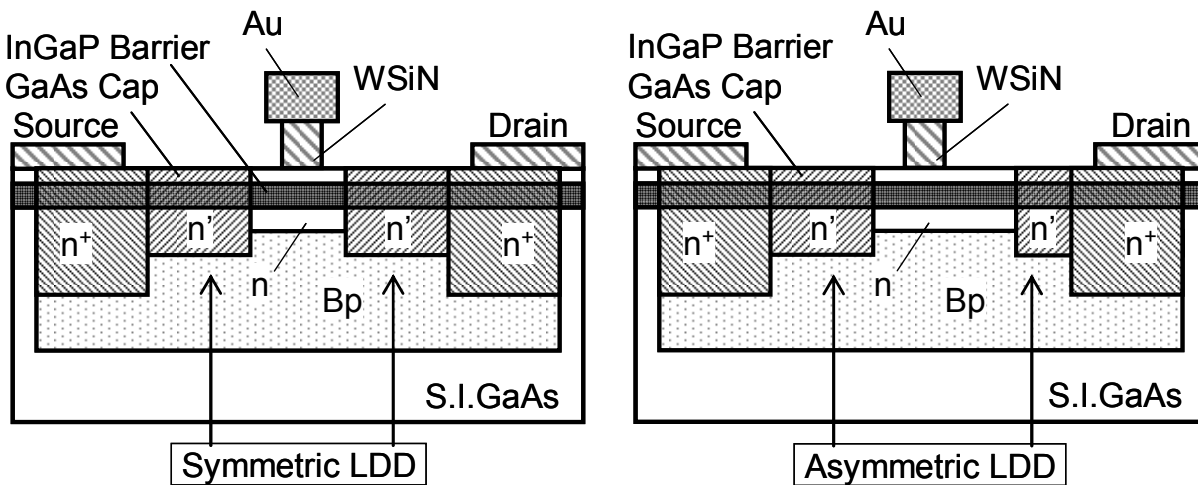


図5.2 InGaAs/GaAsヘテロ構造MESFETのエピタキシャル層構成

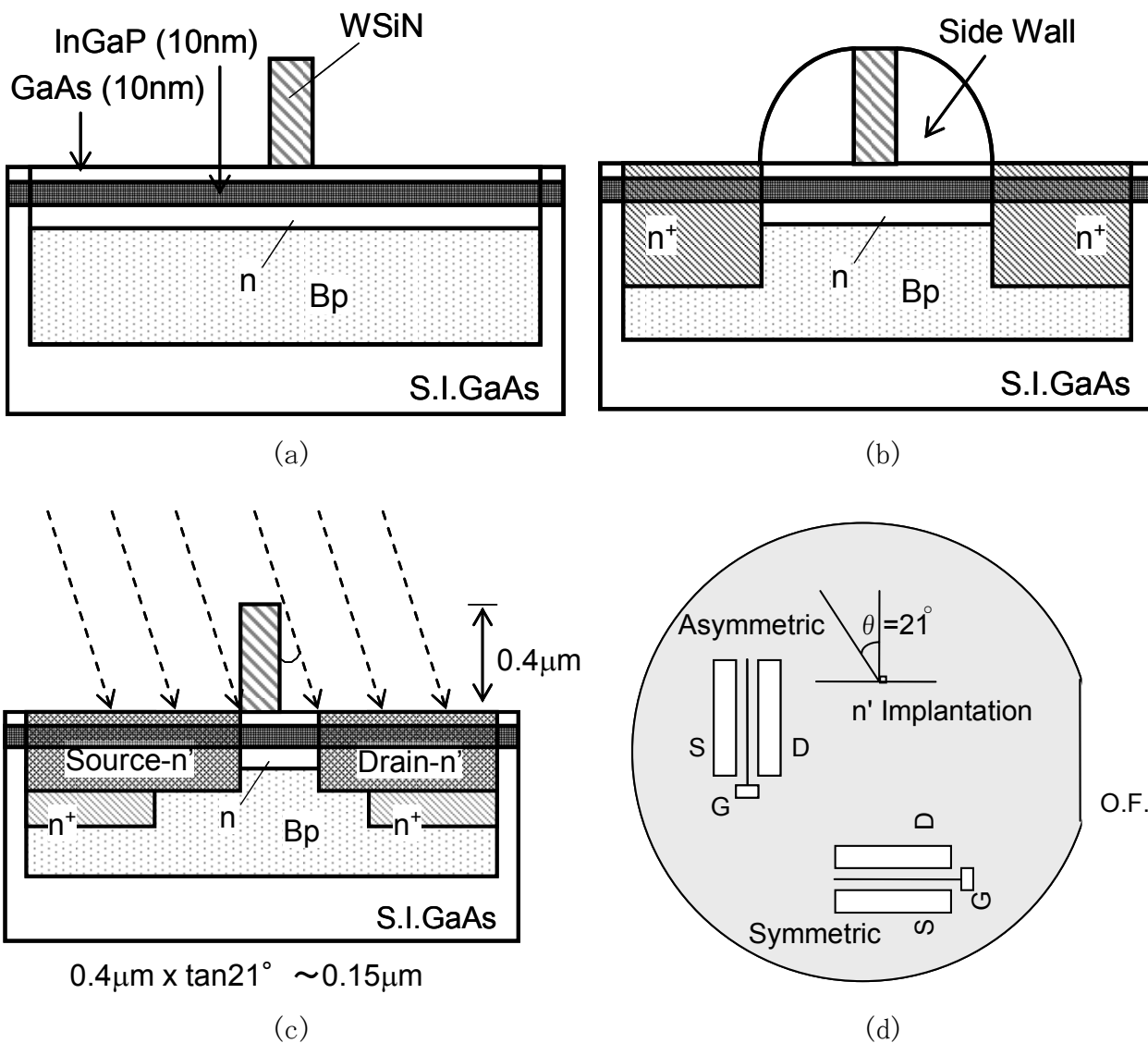
図5.3に作製したプレーナ構造イオン注入チャネルInGaP/GaAs-HMESFETの断面構造を示す。ゲート電極は、耐熱性に優れたWSiNを用い、Auを上に乗せたT型である。ゲート長は、0.15 μm である。短チャネル効果を抑止する為に、埋込p層を有するLDD構造 (BP-LDD構造) である。(a)は通常の対称構造、(b)はゲート耐圧向上を狙い、ドレイン側のn⁺層のみゲート電極端から0.15 μm 離れている非対称構造である。また、GaAsチャネル上にはInGaP薄膜を挿入している。InGaAsは禁制帯幅がGaAsよりも大きく、伝導帯不連続量が約200meV有り、ゲート・ショットキ障壁が増加し、ゲート耐圧が向上する。図5.4に本HMESFETのプロセスフローを示す[14]。すべてのドーパ層はイオン注入法で形成した。イオン注入条件を表5.1に示す。埋込p層は加速エネルギー50KeV、ドーズ量 $4.0 \times 10^{12} \text{cm}^{-2}$ のBeイオン注入で形成し、チャネル層は加速エネルギー30KeV、ドーズ量 $1.1 \times 10^{13} \text{cm}^{-2}$ のSiイオン注入で形成した。ゲート金属WSiNは、スパッタリング法を用いて400nm堆積し、SF₆ガスを用いたECRプラズマエッチングで形成した[図5.4(a)]。図5.5は、ECRプラズマエッチングで形成したWSiNゲートのSEM写真である。ここで、エッチングマスクはSiO₂である。WSiNのエッチング形状は垂直であり、アンダーカットも殆どなく、ゲート長0.15 μm が得られている。サイドウォールはSiO₂厚さ2.5 μm で形成し、n⁺層は加速エネルギー110KeV、ドーズ量 $1.0 \times 10^{14} \text{cm}^{-2}$ のSiイオン注入で形成した[図5.4(b)]。弗酸でSiO₂サイドウォールを除去した後、n⁺層を加速エネルギー50KeV、ドーズ量 $2.6 \times 10^{13} \text{cm}^{-2}$ のSiイオン注入で形成した。



(a) 対称構造デバイス

(b) 非対称構造デバイス

図5.3 非対称InGaP/GaAs HMFETの断面図



(c)

(d)

図5.4 非対称InGaP/GaAs HMFETのプロセスフロー

図5.4(d)に示すように、対称構造デバイスのゲート電極方位はオリフラ(Orientation Flat)に垂直に、非対称デバイスは平行に作製しているため、n'層イオン注入は、オリフラに垂直方向でソース電極側に21°傾けて行った。ドレイン側は一部ゲート電極の影となり、ゲート電極高さが400nmであることから、この21°の斜め注入でドレイン側n'層に0.15μmのオフセットが形成される[図5.4(c)]。イオン注入後、各注入層の活性化の為に、ゲート金属であるWSiNをアニール保護膜として基板の上に堆積し、窒素雰囲気中、910°C、0.1秒のランプアニールを行なった。WSiNアニール保護膜除去後、表面パッシベーション膜を堆積し、AuGeNiオーミック電極を形成する。最後に、WSiNゲート上に側壁メッキ法によりAuを堆積してT型Au/WSiNゲートを形成し、デバイスが完成する[図5.4]。以上のように、非対称LDD構造FETが困難なマスクアライメントを用いずに作製することができる。また、ゲート方向を90度回転することによって、対称LDD構造FETが余分な工程を付加せずに、同一チップ上に作製することが可能である。

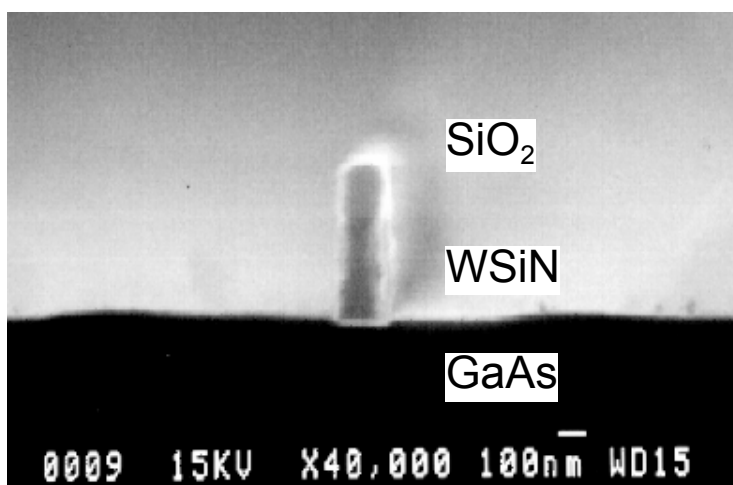


図5.5 SF₆を用いたECRエッチングで形成したWSiNゲートのSEM写真

表5.1 各層のイオン注入条件

Layer	Ion	Energy	Dose
n層	Si	30 keV	1.1x10 ¹³ cm ⁻²
n'層	Si	50 keV	2.6x10 ¹³ cm ⁻²
n ⁺ 層	Si	110 keV	1.0x10 ¹⁴ cm ⁻²
埋込p層(Bp)	Be	50 keV	4.0x10 ¹² cm ⁻²

5.3.2 デバイス特性

A. DC特性

図5.6(a)は、作製した非対称構造デバイスのI-V特性である。ゲート長0.15μm、ゲート幅50μmである。ゲート電圧は、0.6Vから-1.6Vまで0.2Vステップである。良好なピンチオフ特性が得られており、短チャネル効果は十分に抑制されている。相互コンダクタンスg_mの最大値は280mS/mmであった。同時に作製した対称構造デバイスのg_mの最大値は400mS/mmであった。この値は通常のイオン注入GaAs-MESFETのg_mよりも10~15%低い。

30keV注入の実効注入層厚 a_{eff} は表2.2から98nmであり、チャンネル表面に20nmのバリア層(i-GaAs/i-InGaAs)が挿入されているために、ゲート-チャンネル間隔が広がったためと考えられる。図5.6(b)は、ドレイン側におけるゲート電流のゲート電圧依存性である。同一ウエハ上に作製した対称構造デバイスとの比較で示している。非対称構造にしたことによって、ゲート耐圧が4Vから10Vへの大幅に向上している。図5.7は、InGaP/GaAs HMESFETとInGaP薄膜を挿入しない通常のイオン注入GaAs-MESFETにおけるゲート・ショットキ障壁のゲート長依存性である。InGaP薄膜を挿入することによって、約100mVのショットキ障壁の増加がみられる。

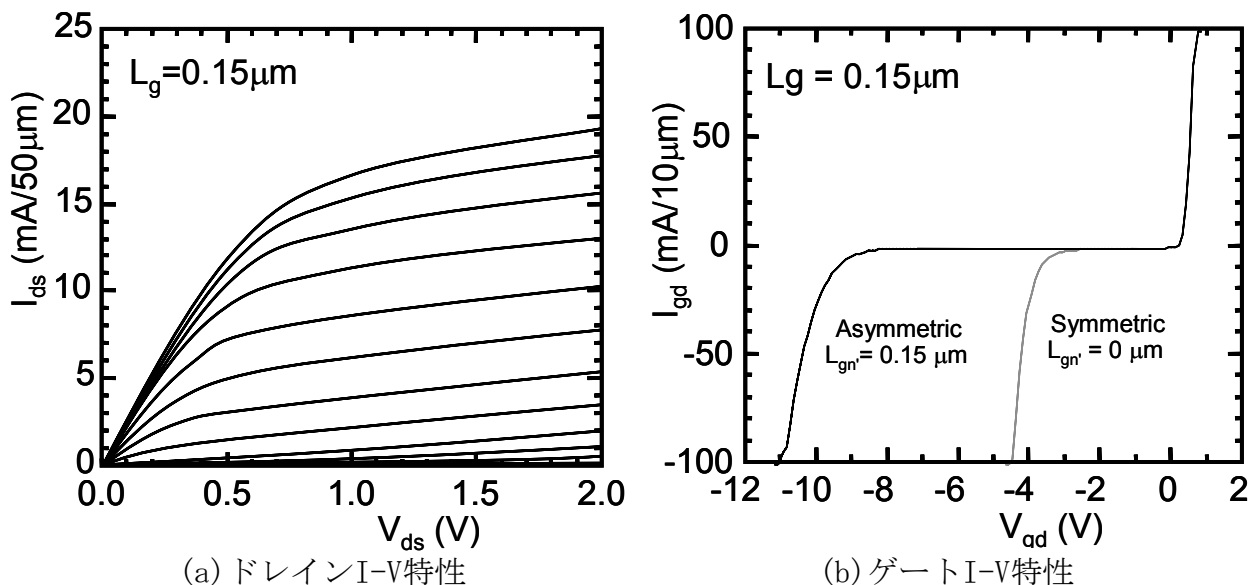


図5.6 非対称構造デバイスのI-V特性

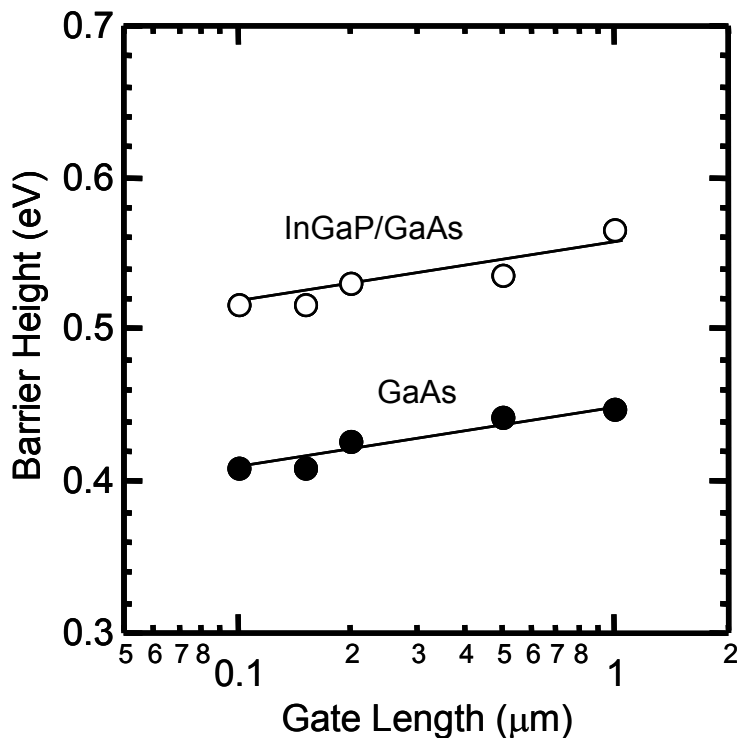


図5.7 ゲート・ショットキ障壁のゲート長依存性
InGaP/GaAs HMESFETとInGaPを挿入しない通常GaAs MESFETの比較

B. RF特性

RF特性は、0.5GHzから50GHzのSパラメータ測定により評価した。また、図5.8の様な一般的なMESFET等価回路を用いて、デバイスを回路的に解析した。

図5.9(a)に、単方向電力利得Mason's-Uから求めた最大発振周波数 f_{max} と電流利得 $|H_{21}|$ の傾きを-6dBで外挿して求めた電流利得遮断周波数 f_T のドレイン電流依存性を示す。ドレイン電圧は1.5V固定である。同一ドーズ量でチャンネル層を作製しているのに、対称構造デバイスの方が、ドレイン電流が多くなっている。非対称構造デバイスと対称構造デバイスで比較すると、非対称構造デバイスの f_T は同一ゲート電圧で2割程度減少しており、最大値60GHzであった。しかし、 f_{max} は、非対称構造デバイスの方が大幅に増加している。図5.9(b)は、10GHzにおける最大安定利得MSGと安定定数Kが1となる周波数のドレイン電流依存性である。10GHzにおけるMSGは、対称構造デバイス及び非対称構造デバイスともに最大値13.5GHzでありほぼ同等である。しかし、安定定数Kが1となる周波数が、対称構造デバイスでは最大75GHzであるのに対し、非対称構造デバイスでは100GHz以上となっている。この安定定数Kが1となる周波数の違いが、対称構造デバイスと非対称構造デバイスの f_{max} の違いとなっている。

図5.10(a)と(b)に、等価回路解析の結果をドレイン電圧依存性で示す。ドレイン電圧は1.5V固定である。図5.10(a)のように、真性相互コンダクタンス g_{m0} は非対称構造デバイスで約25%減少しているが、同時にドレインコンダクタンス g_d も約20%減少している。また、図5.10(b)から、非対称構造デバイスでゲート・ソース間容量 C_{gs} が増加しているが、ゲート・ドレイン間容量 C_{gd} は約15%減少しているのが分かる。この C_{gs} の増加は、 n' 層を 21° の斜めイオン注入で形成した結果、ゲート電極のソース端に n' 注入層が入り込んだためと考えられる。以上の解析から、非対称構造デバイスは、対称構造デバイスに比較して、 g_m が減少して C_{gs} が増加した為に、 f_T が劣化しているが、 g_d と C_{gd} が減少した為に、MSGが同等で安定定数Kが1となる周波数が向上していることが分かる。

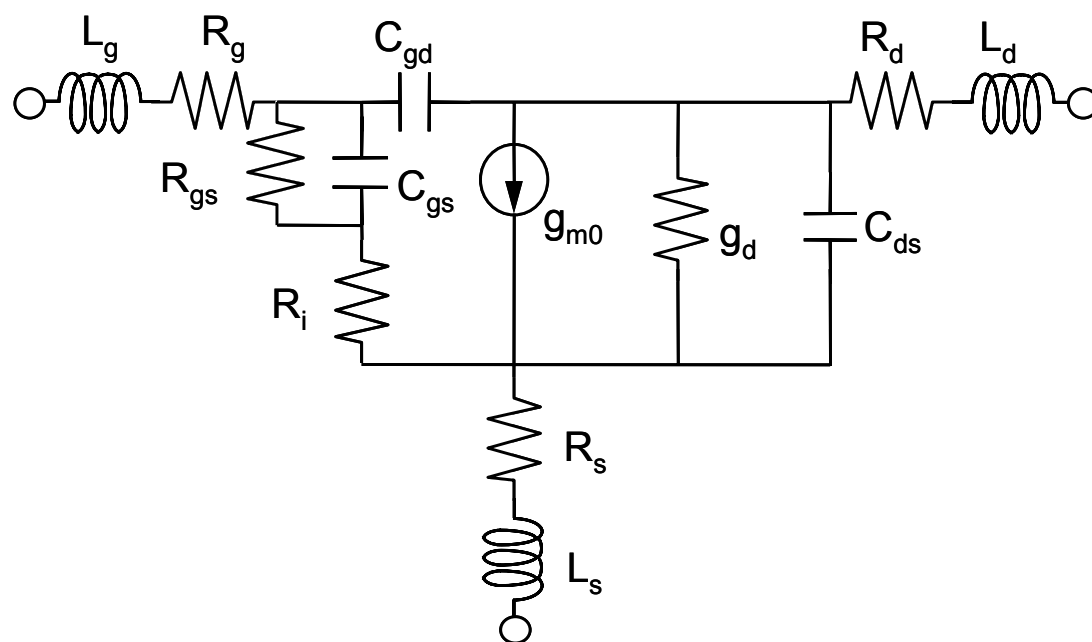
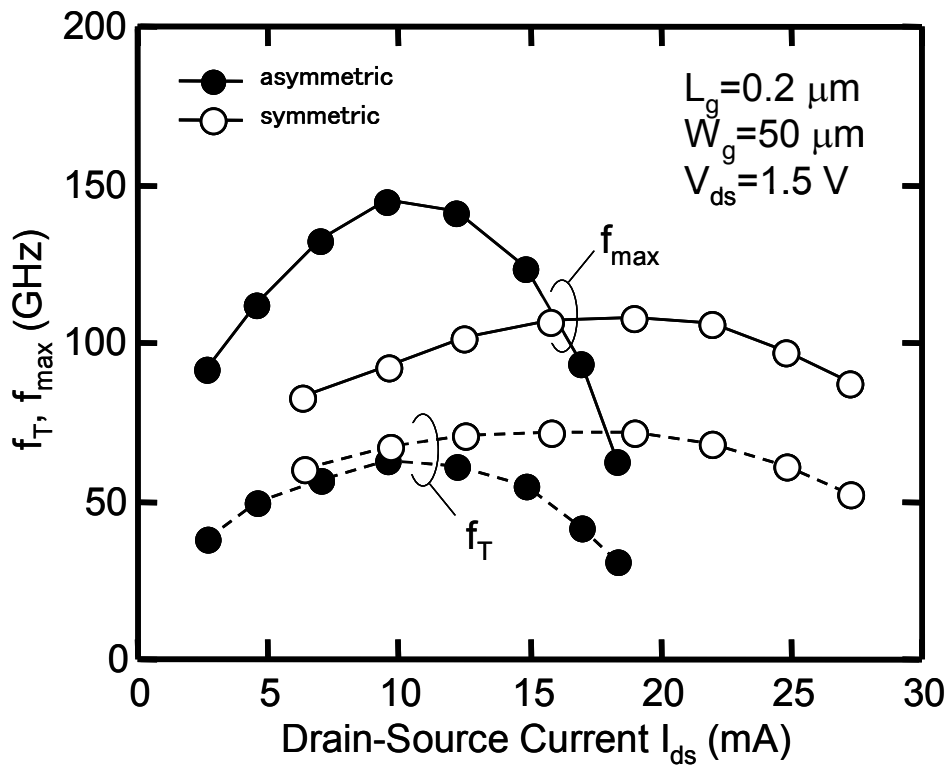
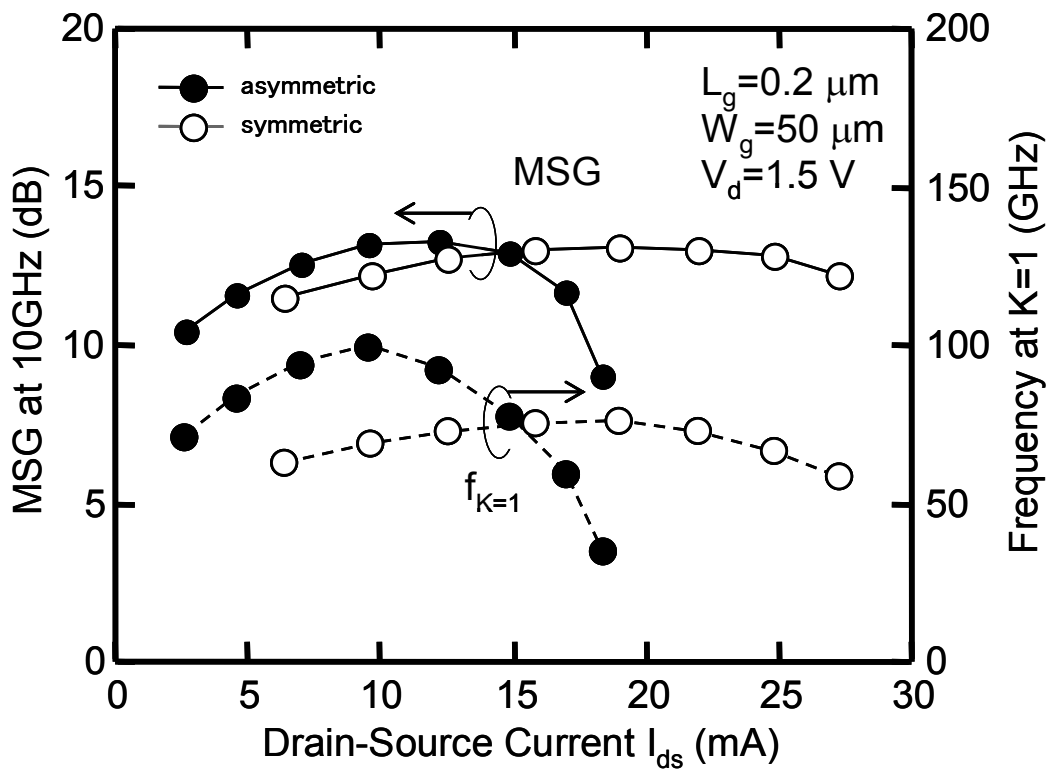


図5.9 InGaP/GaAsの等価回路

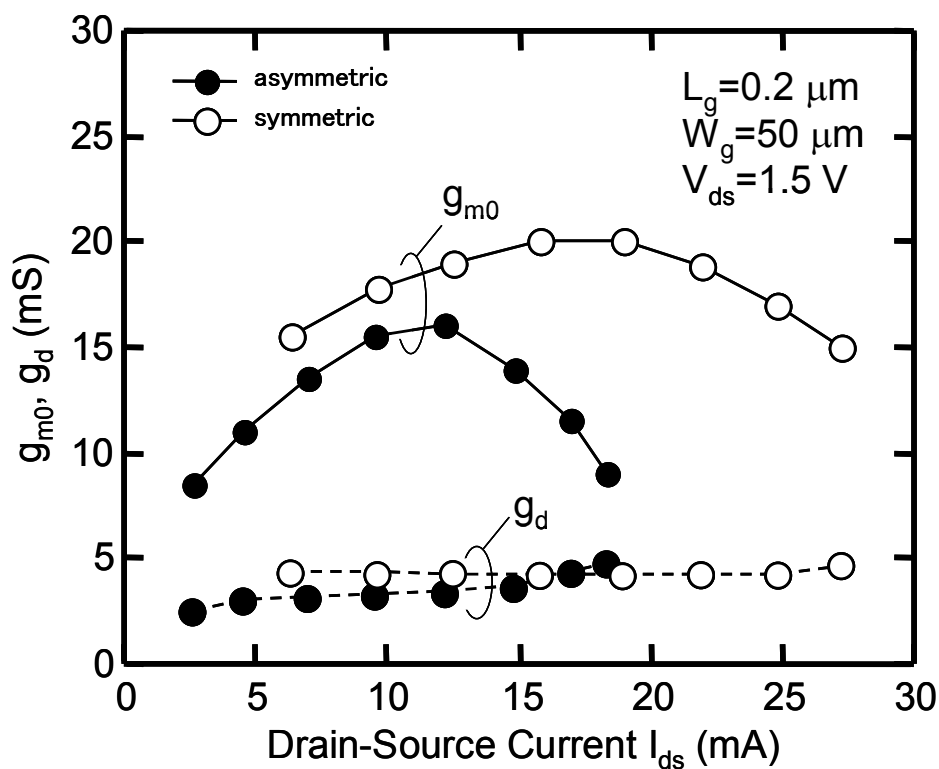


(a) f_T および f_{max}

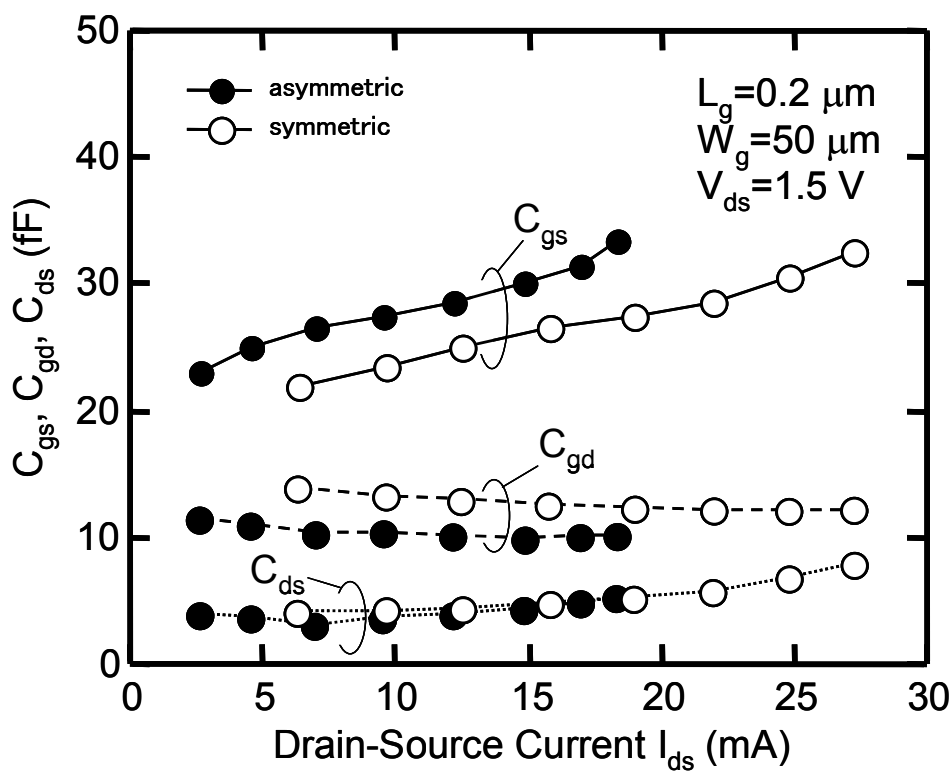


(b) MSGおよび安定定数Kが1となる周波数

図5.8 高周波特性のドレイン電流依存性。対称と非対称で比較



(a) g_{m0} および g_d



(b) C_{gs} 、 C_{gd} および C_{ds}

図5.10 各種等価回路要素のドレイン電流依存性。対称と非対称で比較

5.4 InGaAsチャネルデバイス

5.4.1. エピタキシャル層構造

チャネルの更なる高濃度薄層化を図る目的で、n-InGaAsチャネルを採用した。エピタキシャル層は、3インチ半絶縁性GaAs (001) ウエハ上にMOCVD法で成長した。成長温度は550°C、チャンバー圧力は60Torrである[15]。エピタキシャル層構造は図5.11で示すようなi-InGaP 20 nm/i-GaAs 5 nm/i-InGaP 10 nm/n-InGaAs 12 nm/i-GaAs 10 nmの構成である。ここで、InGaPのIn組成は0.48、InGaAsのIn組成は0.20である。InGaPソースはtriethylgallium (TEGa)、trimethylindium (TMIn)、およびphosphine (PH₃)である。InGaAs、GaAsソースには、trimethylgallium (TMGa)、trimethylindium (TMIn)、およびarsine (AsH₃)を使用した。また、InGaAsのSiドーピングには、silane (SiH₃)を使用した。薄いInGaAsチャネル層が高キャリア濃度と高移動度を提供する[5-13]。

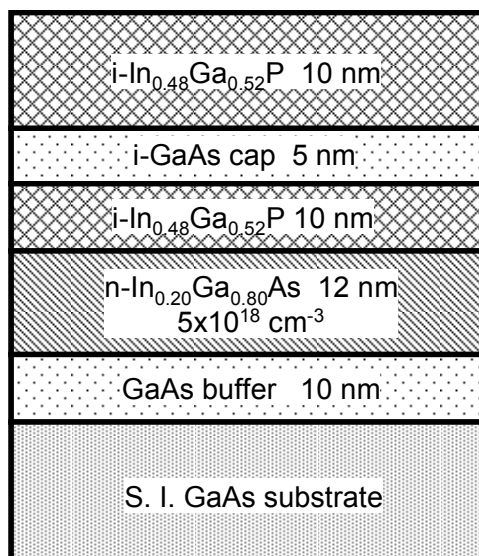


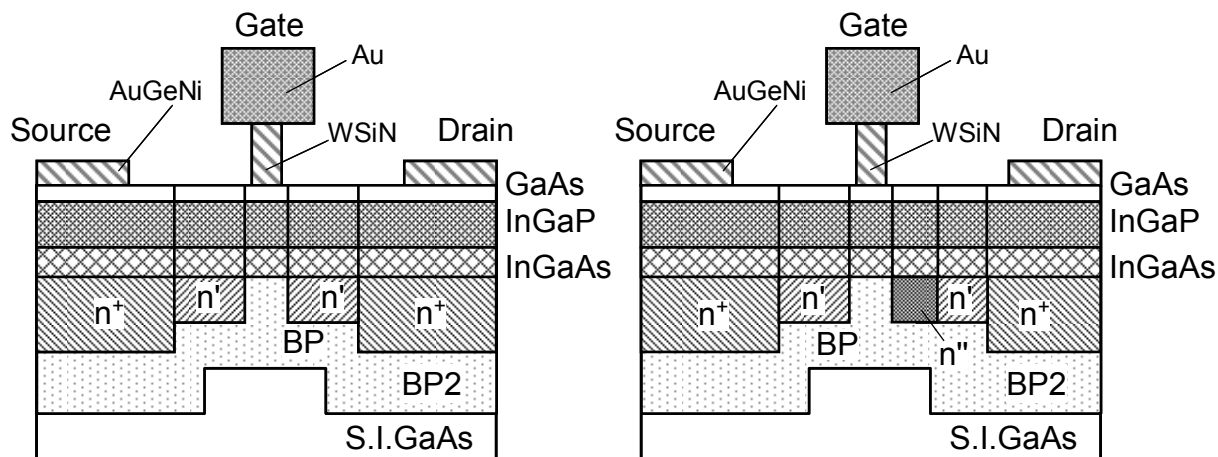
図5.11 InGaP/InGaAs/GaAsヘテロ構造MESFETのエピタキシャル層構成

本デバイスにおいては、チャネルn-InGaAsは活性化アニールを経るが、アニール後も $5 \times 10^{18} \text{cm}^{-3}$ の高濃度を保っている。また、バリア層にはInGaPを用いている。InGaAsは禁制帯幅がGaAsよりも大きく、またGaAsとの伝導帯不連続量が約0.2eV有り、GaAsとの間の伝導帯不連続量分だけゲート・ショットキ障壁高さを増加させることができる。さらにInGaPはGaAsと格子整合し、かつAlGaAsにみられるようなDXセンタが存在しないことから[8, 9]、GaAs表面保護膜としても有利である。直接InGaPに形成されたショットキ接触は、熱的に不安定である。InGaP上のi-GaAsキャップ層5 nmは、活性化アニール時にゲート材料のWSiNとInGaPの反応を抑ええる目的で挿入されている[12]。また、20nm厚の最上層InGaPは、直下のGaAs層をデバイス作製中に保護するために設けて有り、ゲート電極堆積前に除去される。

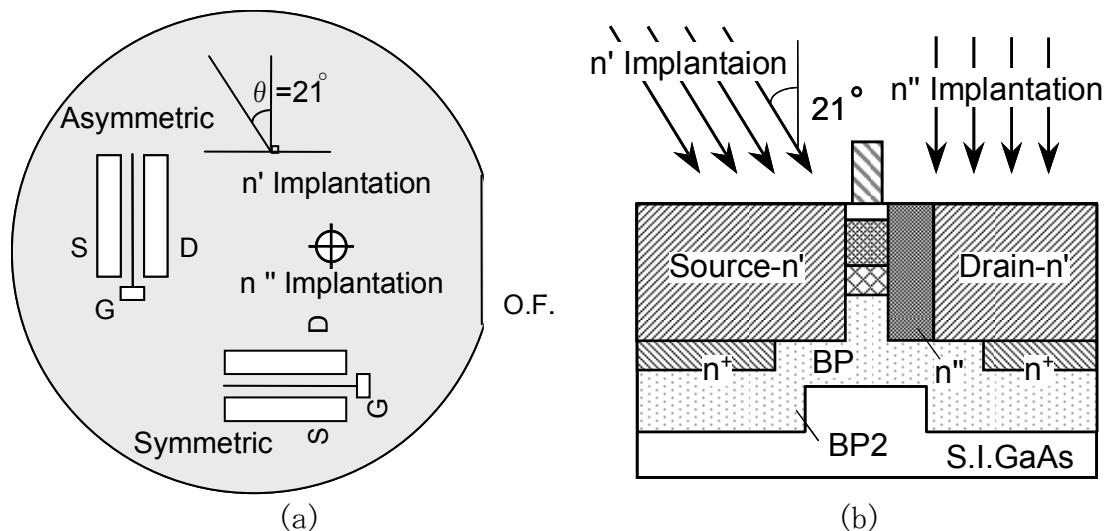
5.4.2 デバイス構造と製作

図5.12にInGaP/InGaAs/GaAsヘテロ構造MESFETの断面図を示す[25]。(b)は対称構造、(c)は非対称構造のデバイスである。対称及び非対称構造は、90°異なる方位で作製する

ことで、余分な工程を付加せずに、同一チップ上に作製している。図5.13(a)に、(100)GaAsウエハ上での、デバイス方位を模式的に示す。デバイスは(110)面に対して平行に作製した。対称構造デバイスは(011)方向に、非対称構造デバイスは(01-1)方向に作製した。この方法でデバイスを作製した場合の一つの欠点は、非対称構造デバイスは、ソース電極とドレイン電極の位置を入れ替えることができないことである。このため、電力増幅器などの用途の櫛型ゲート構造(Interdigit Multi-finger Gate)には不向きである。櫛型ゲート構造では、ソース、ドレイン電極の入れ替え可能な対称構造と比較して、約2倍の面積を必要とする。



(a) 対称構造デバイス (b) 非対称構造デバイス
図5.12 InGaP/InGaAs/GaAsへテロ構造MESFETのデバイス断面構造



(a) (b)
図5.13 3インチ径(100)GaAsウエハ上のデバイスの方角

ゲート電極は、WSiNとInGaPの熱処理時の反応を抑止するために、WSiN(200nm、N含有量10%) / WSiN(380nm、N含有量37%)の2層膜とした。塩島らによって、WSiNとInGaPの界面では、高温熱処理時のInとWの反応にWSiN窒素含有量依存性が有ることが報告されている[12]。WSiNの窒素含有量を10%とし、InGaPとの界面に2.5nm以上のGaAs層を挿入することで、800°C、100分以上の熱処理に耐える構造となる。WSiN(380nm、N含有量37%)は、従来のガス混合比Ar:N₂=34sccm:5sccmで、WSiN(200nm、N含有量10%)はAr:N₂=38sccm:1sccmで反応性RFスパッタリング法を用いて連続的に堆積した。窒素含有量の異なるWSiNの2

層ゲートは、ECRプラズマエッチングで形成した[3, 16]。ゲート長は $0.13\mu\text{m}$ である。また、低抵抗化の目的で、T形Au/WSiNゲート構造を採用した。WSiN電極上のAuは、低電流電界メッキを用いた側壁メッキ法により膜厚 $1\mu\text{m}$ で堆積した[17]。デバイスの基本構造は、「 n^+ 層を囲い込む」Bp2層BP-LDD構造である。この構造は、短チャネル効果を抑止する為に埋込p層を有し、基板リーク電流を抑止できる。エピタキシャル成長チャンネルデバイスへ、イオン注入法の選択ドーピング特性をうまく利用するため、チャンネル以外のすべてのドーピング層はイオン注入法で形成した。チャンネル層はエピタキシャル成長で作製しているため、ウエハ内でチャンネル層濃度を変化させることはできない。しかし、埋込p層もイオン注入法で作製しているため、埋込p層濃度を変えることで閾値制御ができ、複数の閾値のデバイスを1チップ化することも可能である。それぞれの注入層のイオン注入条件を表5.2に示す。

表5.2 各層のイオン注入条件

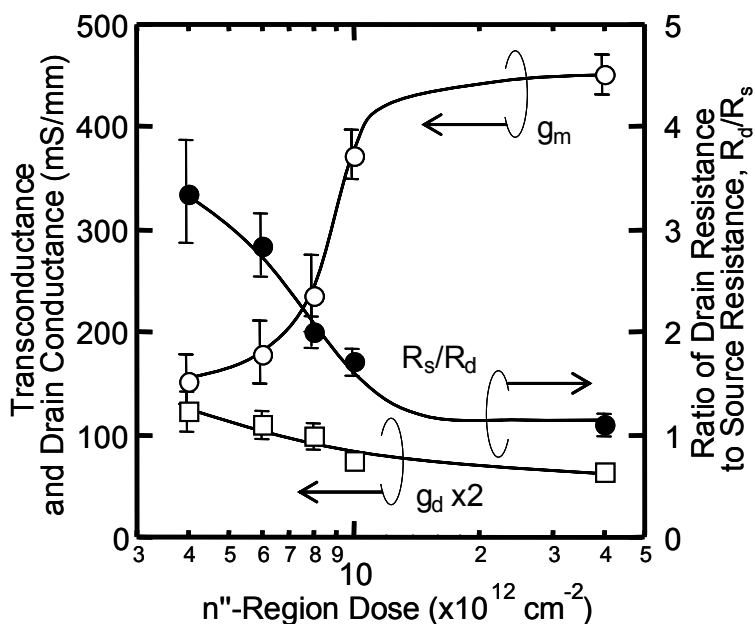
Layer	Ion	Energy	Dose
n^+ 層	Si	80 keV	$7.9 \times 10^{13} \text{cm}^{-2}$
n' 層	Si	40 keV	合計で $4.0 \times 10^{13} \text{cm}^{-2}$
n'' 層	Si	40 keV	
埋込p層(Bp)	Be	50 keV	$2.0 \times 10^{12} \text{cm}^{-2}$
第2埋込p層(Bp2)	Be	90 keV	$2.0 \times 10^{12} \text{cm}^{-2}$
絶縁層	0	40 keV	$1.0 \times 10^{14} \text{cm}^{-2}$

n^+ 層と n' 層はゲート電極に対し自己整合的に形成した。 n^+ 層は、厚さ $2.5\mu\text{m}$ の SiO_2 サイドウォールを用いてゲート電極からのオフセットを設けて形成し、また n' 層は弗酸系溶液でその SiO_2 サイドウォール除去後に形成した。図5.13(b)で示すように、 n^+ 層、 n' 層のイオン注入は、非対称構造デバイスに対してソース側に 21° 傾けた方向から行った。この斜め方向からのイオン注入においては、非対称構造デバイスの n' 層は、ドレイン側の一部がゲート電極の影となる。したがって、ゲート電極高さが 400nm であることから、非対称構造デバイスではドレイン側に $0.15\mu\text{m}$ のオフセットが形成される。しかし、対称構造デバイスは、ゲート方向が 90° 異なるので、この斜め方向からのイオン注入でも、 n^+ 層、 n' 層とも対称に形成される。さらに今回、非対称構造デバイスにおいて、ゲート・ドレイン端表面空乏層の影響を軽減する為に、ウエハ垂直方向(100)からのイオン注入で、 n'' 層を形成した。図5.13(b)のように、非対称構造デバイスでは、この n'' 層はゲート電極のドレイン端と n' 層との間に形成される。一方、対称構造では、 n' 層に重なってしまうのでなんら影響はない。イオン注入後、各注入層の活性化の為に、 SiON を活性化アニール保護膜として基板上に堆積し、窒素雰囲気中、 890°C 、 0.1 秒のランプアニールを行う。デバイス上には SiO_2 サイドウォール加工前にエッチングストップとしてWSiN(200nm 、N含有量10%)が堆積されているため、実質的な活性化アニール保護膜はWSiN(200nm 、N含有量10%)となる。InGaPキャップ層上のGaAsキャップ層は 5nm であり、活性化アニール時のWSiNとInGaPの反応を十分抑止できる。

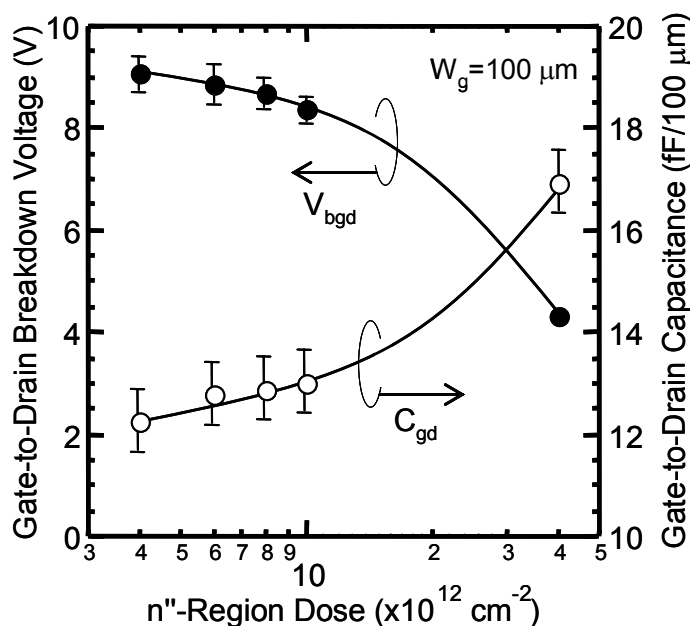
5.4.3 特性

A. 非対称構造デバイスにおけるn'層ドーズ量の効果

図5.14(a)に、非対称構造デバイスにおいて、ゲート・ドレイン端表面空乏層の影響を軽減する目的で新しく設けたn'層のドーズ量と、ゲート・ドレイン間耐圧 V_{bgd} 、ゲート・ドレイン間容量 C_{gd} 、およびドレイン抵抗 R_d との関係を示す。ゲート電極構造は、ゲート長さ $0.13\mu\text{m}$ 、ゲート幅は、単位ゲート幅 $50\mu\text{m}$ の2フィンガで、 $100\mu\text{m}$ である。ゲート電圧は 0.6V であり、ドレイン電圧は 1.5V である。ここで、同時に作製される対称構造デバイスの特性に影響がないように、n'層とn'層の合計ドーズ量は $4 \times 10^{13}\text{cm}^{-2}$ で一定となるように設定した。したがって、図5.14(a)中のn'ドーズ量 $4 \times 10^{13}\text{cm}^{-2}$ は対称構造となる。



(a) コンダクタンス、ドレイン・ソース抵抗比



(b) ゲート・ドレイン間容量およびゲート・ドレイン間耐圧

図5.14 非対称デバイス特性のn'層ドーズ量依存性

測定されたソース抵抗は 7.5Ω であり、どの n' 層ドーズ量でも一定であった。 n' 層のドーズ量を、 $1 \times 10^{13} \text{cm}^{-2}$ から $4 \times 10^{12} \text{cm}^{-2}$ へと減少させると、 g_m は急激に減少し、 g_d は多少増大するとともに、 R_d/R_s は単調に増加する。 R_d の増加にともない、線形領域のオン抵抗 V_{dsat} が増加する。すなわち、ドレイン電流の飽和が生じるソース・ドレイン間電圧 V_{dsat} が増加する。対称構造デバイスの V_{dsat} は 0.7V であるが、 n' 層ドーズ量 $1 \times 10^{13} \text{cm}^{-2}$ の非対称デバイスの V_{dsat} は 1.5V であり、約2倍に増加している。さらに、 R_d の増大は安定定数 K の増大に大きく関係し、最大発振周波数 f_{max} を低下させてしまう。したがって、 R_d の増加を最小限に抑えるためには、 n' 層のドーズ量はできるだけ多く、対称構造デバイスに近い方が望ましい。

図5.14(b)には、ゲート・ドレイン間容量とゲート・ドレイン間耐圧を示す[18]。ゲート・ドレイン間耐圧 V_{bgd} はゲート電流 $5\text{mA}/\text{mm}$ の場合のゲート電圧から求めた。ゲート・ドレイン間容量 C_{gd} は、 10GHz で測定したSパラメータから測定対称デバイスの測定パッド容量などの寄生成分を取り除いた真性Yパラメータ Y_{12} の虚数部から求めた。 n' 層ドーズ量が $1 \times 10^{13} \text{cm}^{-2}$ までであれば、 V_{bgd} と C_{gd} ともに、変化量が少なく、 V_{bgd} は 8V 以上、 C_{gd} は $13\text{fF}/100\mu\text{m}$ 以下を確保することが可能である。したがって、ゲート・ドレイン間耐圧を高く保持し、利得をできるだけ確保する最適な n' 層ドーズ量は $1 \times 10^{13} \text{cm}^{-2}$ である。しかし、このように n' 層ドーズ量の最適化によって、ゲート・ドレイン間耐圧の増加は図れるものの、ソース・ドレイン間耐圧は、この非対称構造最適化では増加させることはできない。対称構造、非対称構造ともに、 n' 層ドーズ量に関係なく、約 7.5V であった。ソース・ドレイン間耐圧の向上には、さらに、寄生バイポーラ効果を抑制する新たな構造改良が必要である。

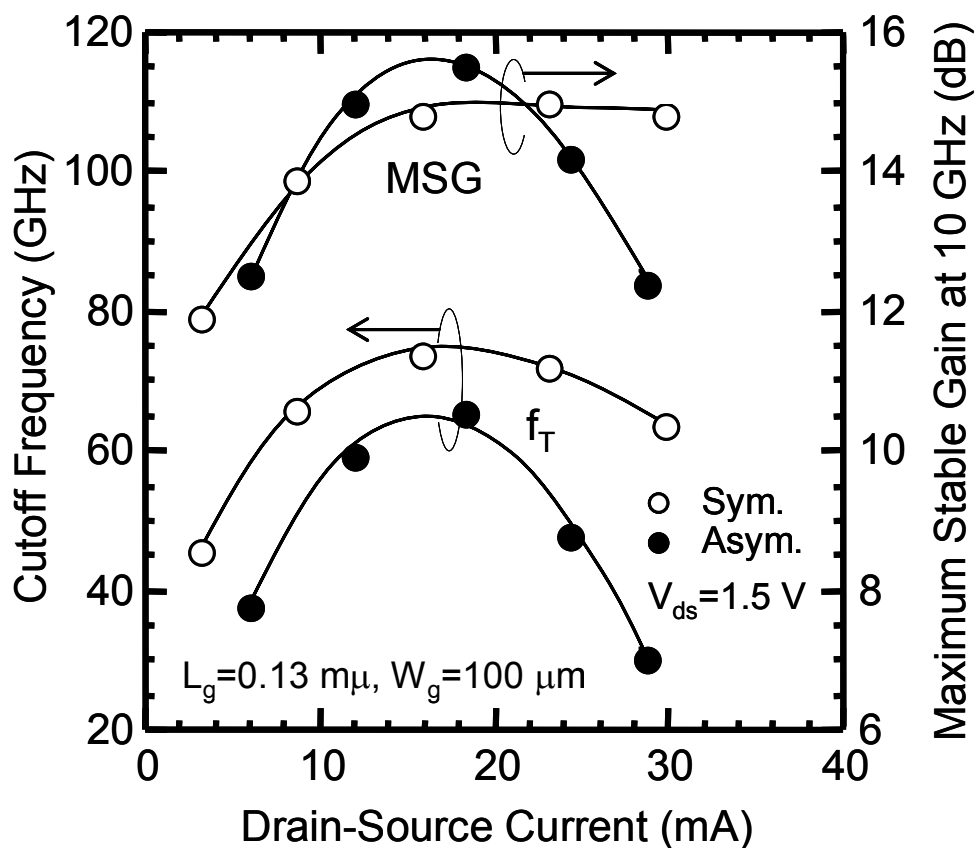
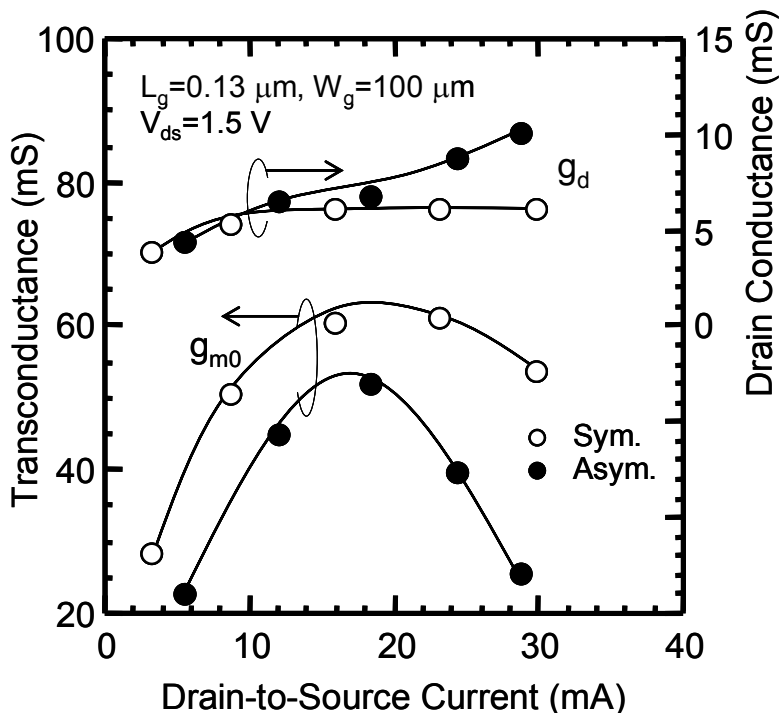


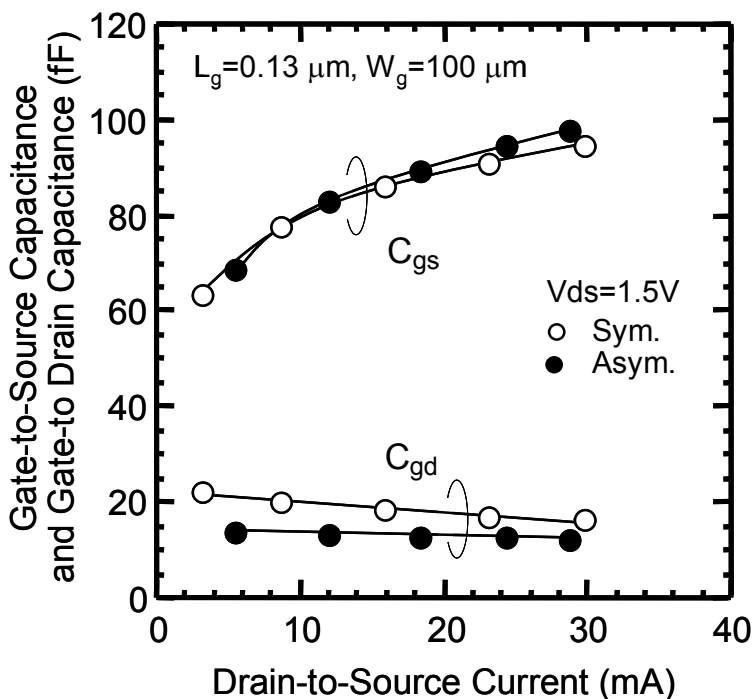
図5.15 電流利得遮断周波数 f_T および 10GHz における最大安定利得MSGのソース・ドレイン電流依存性。ドレイン電圧は 1.5V 。

B. 高周波特性

図5.15に、電流利得遮断周波数 f_T 、および最大安定利得MSGのソース・ドレイン間電流依存性を示す。Sパラメータ測定は0.5 GHzから50 GHzの周波数範囲で行なった。ドレイン電圧は1.5 V固定とした。電流利得遮断周波数 f_T は $|H_{21}|$ の傾き-6dBの外挿から算出した。測定したデバイスのゲート長は $0.13 \mu\text{m}$ 、ゲート幅は $50 \mu\text{m}$ の2フィンガで合計 $100 \mu\text{m}$ である。また、非対称構造デバイスの n' 層ドーズ量は $1 \times 10^{13} \text{cm}^{-2}$ である。



(a) 相互コンダクタンス g_{m0} 、ドレインコンダクタンス g_d



(b) ゲート・ソース間容量 C_{gs} 、およびゲート・ドレイン間容量 C_{gd}

図5.16 等価回路素子のソース・ドレイン電流依存性

f_T は、対称構造と非対称構造ともにドレイン電流15mA近傍で最大となり、対称構造デバイスで最大74GHz、非対称構造デバイスで65GHzであった。10 GHzにおけるMSGは、非対称構造デバイスにおいては、 f_T と同様にドレイン電流15mA付近で最大15.5 dBとなり、対称構造デバイスの最大値14.6dBよりも大きな利得が得られた。また、60GHzにおけるMSG/MAGは、対称構造、非対称構造デバイスで、それぞれで、7.0 dB、7.8 dBであった。60GHzにおいて、安定定数Kは、対称、非対称、双方のデバイスで、1以下であり、ミリ波帯応用への条件を満たしている。非対称構造におけるMSGの向上、 f_T の低下の原因を解析するために、測定したSパラメータデータに対し、等価回路解析を行った。等価回路は、通常のGaAs MESFET等価回路を使用し、寄生要素の抽出にはCold FET法を用いた[19, 20]。図5. 16に等価回路解析結果をドレイン電流依存性で示す。ドレイン電圧は1.5 Vである。

対称構造、非対称構造デバイスともに、 R_g および R_{gs} は、それぞれ、2.0Ω、6.8Ωであった。非対称構造デバイスのn'層のドーズ量は、対称構造デバイスの1/4であり、対称構造デバイスに比較して、 R_d は大きく、 C_{gd} は低くなる。 R_d は、対称構造デバイスで6.8Ω、非対称構造で10.0Ωであった。図5. 16(a)に示すように、非対称構造では g_{m0} が約20%減少し、ドレイン電流依存性が f_T とほぼ同様の形状となっており、 g_{m0} の低下が直接 f_T の低下になっているものと考えられる。この g_{m0} の低下は、ゲート電極ドレイン端附近における表面空乏層の影響である。図5. 16(b)から、非対称構造で C_{gs} が僅かに増加しているが、この増加はn'層を21°の斜めイオン注入で形成した結果、ゲート電極のソース端にn'注入層が入り込んだためである。非対称構造では、 C_{gd} が約30~40%と大幅に減少している。従って、10GHzにおけるMSGの改善はこの帰還容量が減少したことが主要因と考えられる。しかし、非対称構造では、 R_d が増加するため、安定定数Kが1となる周波数が、対称構造の70 GHzに対し65 GHzへと低下する。その結果、最大発振周波数は、対称構造も非対称構造も130GHzと同一であった。

C. 雑音特性

雑音特性は、オートチューナーを用いたオンウエハ自動測定システムを使用して、周波数範囲1~26GHzで評価した。デバイス表面はSiONで覆われている状態で測定した。図5. 17に、20GHzにおける最小雑音指数のドレイン電流依存性を示す。ドレイン電圧は1.5Vである。対称構造デバイスにおいて、ドレイン電流を10mA程度まで絞り込んだときに、最小雑音指数1.0dBと良好な結果が得られた。これに対し非対称構造デバイスは、対称構造に比較して、0.3dB以上大きな雑音指数であった。一方、付随利得 G_a は、非対称構造デバイスが、対称構造よりも2dB高かった。

2つの構造の間の雑音特性の違いを調べるために、上記等価回路定数と測定した雑音指数の結果から雑音源電流の見積りを行った。Purcellによれば、ドレイン雑音電流 I_{nd} 及びゲート誘起雑音電流 I_{ng} は、雑音係数P、Rを用いて、次のように表わすことができる[21]。

$$\overline{|I_{nd}|^2} = 4k_B T_0 \Delta f g_m P \quad (5.1)$$

$$\overline{|I_{ng}|^2} = 4k_B T_0 \Delta f \left(\frac{\omega C_{gs}}{g_m} \right)^2 R \quad (5.2)$$

$$jC = \frac{\overline{I_{ng}^* I_{nd}}}{\sqrt{\overline{|I_{ng}|^2} \overline{|I_{nd}|^2}}} \quad (5.3)$$

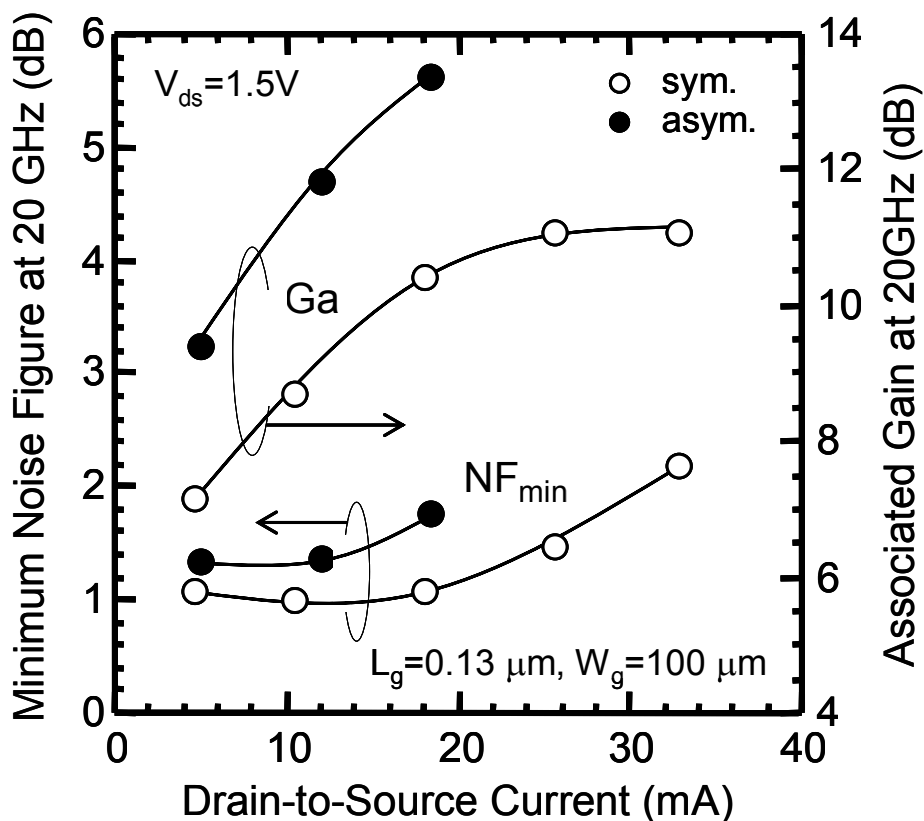


図5.17 20GHzにおける最小雑音指数 NF_{min} および付随利得 G_a のソース・ドレイン電流依存性。ドレイン電圧は1.5V

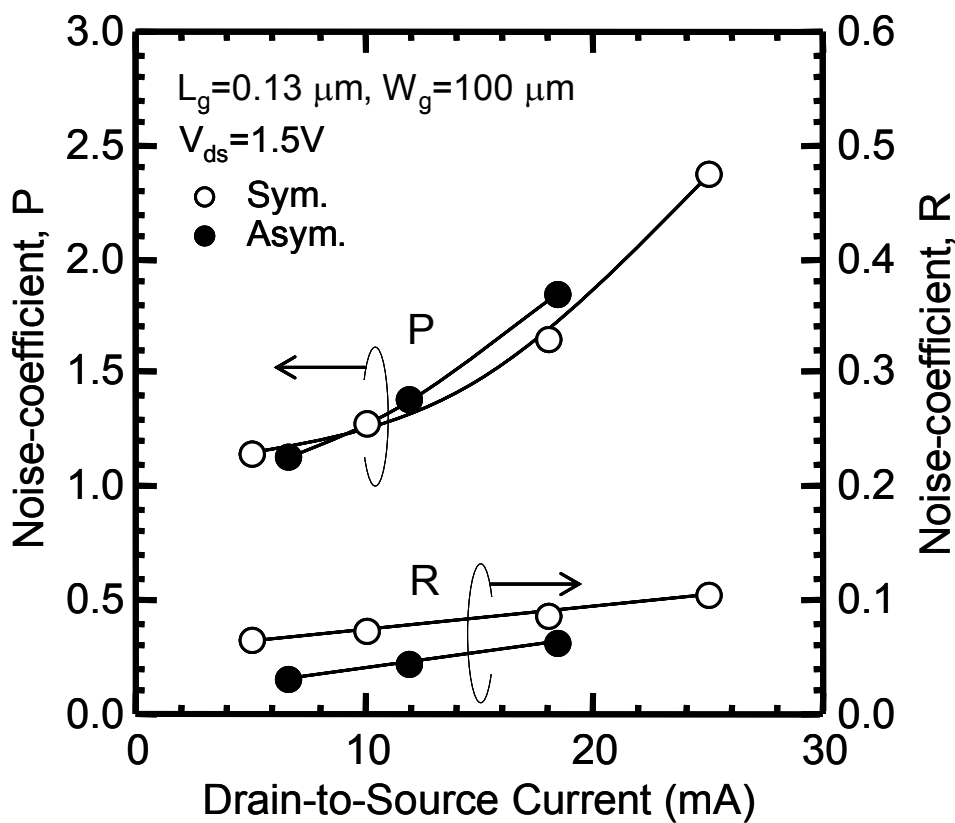


図5.18 雑音係数P及びRのソース・ドレイン電流依存性

ドレイン雑音電流 I_{nd} 及びゲート誘起雑音電流 I_{ng} は、それぞれ、雑音係数 P 、 R に直接依存する。求めた雑音係数 P 及び R のソース・ドレイン間電流依存性を図5. 18に示す。ここで、フィッティングの収束性を良くするために、相関係数は0.8で固定した。

一般的に、微細ゲートになる程、雑音係数 P が大きくなる。今回試作したゲート長 $0.13\ \mu\text{m}$ のデバイスにおいては、雑音係数 P が R に較べて大きかった。デバイスの雑音源がゲート雑音よりも、ドレイン雑音に大きく依存していることを意味する。高ドレイン電流領域においては、対称構造と非対称構造とを比較して、非対称構造デバイスの雑音係数 P が大きい。一方、雑音係数 R は、全般的に対称構造デバイスの方が大きくなっている。これらの結果は、真性の非対称構造デバイスでは、ドレイン雑音電流 I_{nd} が対称構造デバイスと比較してわずかに高いが、ゲート雑音誘起電流 I_{ng} は低いことを示す。

以上の雑音係数 P 、 R は、デバイスの真性領域からの雑音源である。しかし、実際のデバイスでは、この他に、寄生抵抗であるゲート抵抗 R_g 、ソース抵抗 R_s 、及びドレイン抵抗 R_d からの熱雑音も存在し、ディープサブミクロンゲート長のデバイスでは無視することができない。そして高抵抗ほど雑音電力が大きい。ドレイン抵抗 R_d は、非対称構造デバイスの方が大きいので、そこからの熱雑音が本質的に大きくなってしまふ。ゲート抵抗 R_g からの雑音源電流 I_{Rg} は、Nyquist熱雑音の式を用いて以下のように表わされる。

$$\overline{|I_{nd}|^2} = \frac{4k_B T_0 \Delta f}{R_g} \quad (5.4)$$

このゲート抵抗 R_g からの雑音源電流も、ゲート誘起雑音 I_{ng} と同様に、デバイス内部で増幅されて出力される。(5.2)式と(5.4)式を比較すると、(5.2)式の $(\omega C_{gs}/g_m)^2$ が $1/R_g$ に較べて2桁程度小さい。したがって、このゲート抵抗 R_g からの雑音電流に較べると、真性領域から生じるゲート誘起雑音 I_{ng} は、無視できる程小さく、対称構造デバイスに較べて非対称構造デバイスの雑音係数 R が多少小さくとも、入力側の雑音は、このゲート抵抗 R_g からの雑音で決定されてしまふ。したがって、非対称構造デバイスにおいて、雑音係数が対称構造デバイスよりも大きかったのは、ドレイン抵抗 R_d の高抵抗化と g_{m0} の減少が主要原因である。また、高ドレイン電流領域でさらに雑音指数が増大するのは、ドレイン雑音電流 I_{nd} が大きくなることが原因と考えられる。以上の測定結果から、対称構造デバイスは高電流利得特性、低雑音特性に、非対称構造デバイスは高耐圧、高電力利得特性に優れていることが分かる。

5.5 MMIC増幅回路への適用

極太上乘せAuは、ゲート抵抗を低減する一方で、寄生的なゲート容量の増大の原因となる。ゲート真性容量はゲート電極長の縮小とともに線形的に減少するため、ディープサブミクロン領域までゲート長を縮小した場合には、極太上乘せAuに起因する寄生ゲート容量増大の影響が顕在化する。殊に、極太上乘せAuのドレイン電極側へのオーバーハングは寄生的な帰還容量を増大し、FET増幅器利得を著しく劣化させる。そこで、寄生的な帰還容量を低減するために、ゲート電極上乘せAuをソース電極側へシフトさせる試みを行った。ゲート電極上乘せAuのシフト量とゲート・ドレイン間容量の関係を実験的に検討するとともに、非対称な上乘せAuでFET電力利得を増加させる可能性について検討した。また、この非対称な上乘せAuを採用したGaAs-MESFETを用いたカスコード接続V帯MMIC増幅器を作製し、非対称構造の有効性について検証した[26]。

5.5.1 非対称ゲート上Au構造

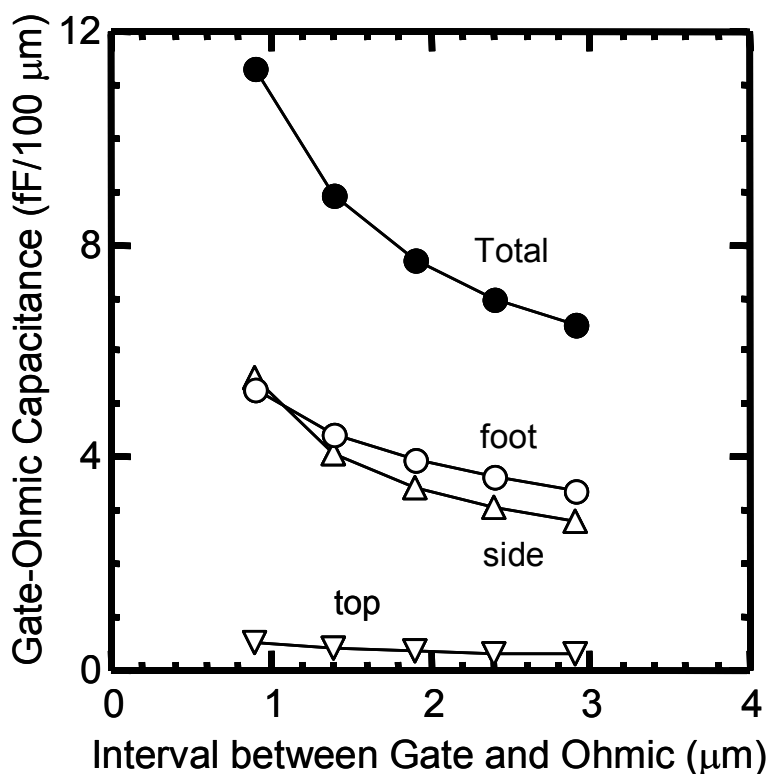


図5.19 静電界シミュレーションによるゲート電極・オーミック電極間容量

図5.19は静電界シミュレーションを用いて算出したゲート電極・オーミック電極間容量の電極間隔依存性である。ゲート電極は、Au/WSiNのT型構造とした。WSiNゲート長は $0.1\mu\text{m}$ 、高さ 200nm 。上乘せAuの幅は $0.8\mu\text{m}$ 、厚さ $1\mu\text{m}$ である。電極間容量は、電気力線がゲート電極のどこから出ているかで、下方向容量(foot)、上方向容量(top)、横方向容量(side)に分割している。全電極間容量がtotalである。ゲート電極・オーミック電極間容量は、横方向と下方向の容量が大きく、電極間が狭まるとともに急激に増加する。電極間隔 $1\mu\text{m}$ 以下では、 $2\text{fF}/\mu\text{m}$ 以上の増加率である。しかし、ゲート電極・オーミック電極間を広げると、ソース抵抗が増大し特性劣化を招くため、電極間隔自体を広げる方法は有効ではない。ゲート電極周りの寄生的な容量のうち、極太上乘せAuのオーバーハ

ングが大きくなっている。特に、ゲート・ドレイン容量(C_{gd})は、帰還容量となり、FET増幅器利得を著しく劣化させる。通常、ゲート・ソース間容量 C_{gs} はゲート・ドレイン間容量 C_{gd} の5～10倍の大きさである。したがって、極太上乘せAuによるゲート・ソース間容量の増加割合は少なく、上乘せAuをソース方向へシフトさせることで、FET増幅器利得の低減を軽減することができる。そこで、WSiNゲートの極太上乘せAuのみシフトさせる検討を行った。

非対称な上乘せAu構造を採用したヘテロ接合i-InGaP/n-InGaAs/i-GaAs-MESFET (HMESFET)の断面構造を図5.20に示す。デバイス構造は代表的な対称形BP-LDD (Buried p-layer and Lightly Doped Drain)構造とし、ゲート・ショットキ電極とソース電極(L_{gs})またはドレイン電極の距離(L_{gd})は $0.9\mu\text{m}$ とした。耐熱性金属WSiNを用いたゲート電極の電極長は $0.16\mu\text{m}$ であり、高さは 200nm である。上乘せAuは幅 $0.8\mu\text{m}$ 、高さ $1\mu\text{m}$ であり、低電流Au電解メッキ法を用いてWSiNゲート上に形成した。上乘せAuは、アライメント精度 $0.05\mu\text{m}$ であるi線リソグラフィーの精度を利用して、ソース電極側へシフトさせた。

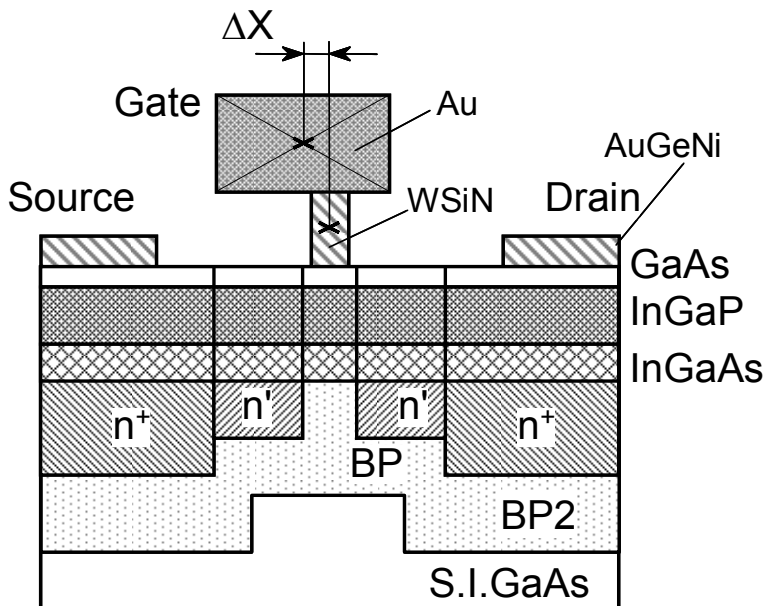


図5.20 非対称な上乘せAu構造を有するGaAs-MESFETの断面構造

5.2.2 非対称ゲート上Au構造の容量低減効果

上乘せAuのシフト量 ΔX を変化させたH-MESFETを同一ウエハ上に作製した。デバイスの閾値電圧は -0.3V 、相互コンダクタンスは 400mS/mm であった。オン電流は 280mA/mm であった。ゲート・ドレイン間耐圧は 4.5V であった。ここで耐圧はゲートリーク電流 $50\mu\text{A/mm}$ となるときのゲート・ドレイン間電圧である。図5.21はゲート・ドレイン間容量 C_{gd} と 10GHz における最大安定電力利得MSGの上乗せAuシフト量依存性である。作製したデバイスのゲート幅は $100\mu\text{m}$ である。デバイスへの印加電圧は $V_{gs}=0.55\text{V}$ および $V_{ds}=1.5\text{V}$ である。シフト量 ΔX のプラスはドレイン電極方向へ、マイナスはソース電極方向へのシフトを示す。これらのデータはウエハ上21のデバイスの平均値および標準偏差である。 C_{gd} とMSGは各々のシフト量 ΔX を有するデバイスのSパラメータから算出した。 C_{gd} は単純に真性Yパラメータの虚数部から算出した。ここで、測定したSパラメータはYパラメータに変換した後、オープンパッドのYパラメータとの差を取ることで、パッドに関わる容量を除去した。図5.21において、 ΔX が $0.2\mu\text{m}$ 以下では C_{gd} は線形に増大している。増加量は、上乘せAuのシフト量 $0.1\mu\text{m}$ に対して 21fF/mm であった。一方、MSGはシフト量 $0.1\mu\text{m}$ に対して 0.48dB

減少している。極太上乗せAuのオーバーハングとチャネル間のギャップはプラズマCVD (PECVD) で堆積したSiO₂で満たされている。極太上乗せAuのオーバーハングとチャネル間の電極間容量は、PECVD-SiO₂の比誘電率を4.3、厚さを200nmとすると、単純な並行平板を仮定して0.1μmシフト当たり19.0fF/mmと算出される。したがって、シフト量ΔXが小さくC_{gd}のΔX依存性が線形である領域においては、C_{gd}の増減量は主に上乗せAuのオーバーハングとチャネル間の電極間容量であると考えられる。シフト量ΔXが0.2以上ではC_{gd}が急激に増大するが、これは上乗せAuのオーバーハングとドレイン電極間またはソース電極間との寄生容量が急激に増大するためである。上乗せAuをソース電極側へシフトさせる程、C_{gd}は減少するが、ΔXが-0.3μm以下ではゲート・ソース容量が著しく増加するとともに、i線リソグラフィの精度が原因で、デバイス製造歩留まりが急激に低下する。以上から、シフト量ΔXは-0.2μmが最適であり、この時にC_{gd}は42fF/mm減少し、MSGは1dB向上する。

上乗せAuのシフト量ΔXが-0.2μmであるH-MESFETの高周波測定から抽出した等価回路定数を表5.3に示す。ここで、デバイスのゲート幅は100μmである。印加電圧は、V_{gs}=0.55VおよびV_{ds}=1.5Vである。上乗せAuのシフトでC_{gs}は6fF増加するが、この増加量はC_{gs}の大きさから比較すれば無視できる。また、相互コンダクタンスg_mと電流利得遮断周波数f_Tは上乗せAuのシフトで変化していない。さらに、MSGと最大発振周波数f_{max}はV_{gs}のバイアス条件に関わらず上乗せAuのシフトで増加している。

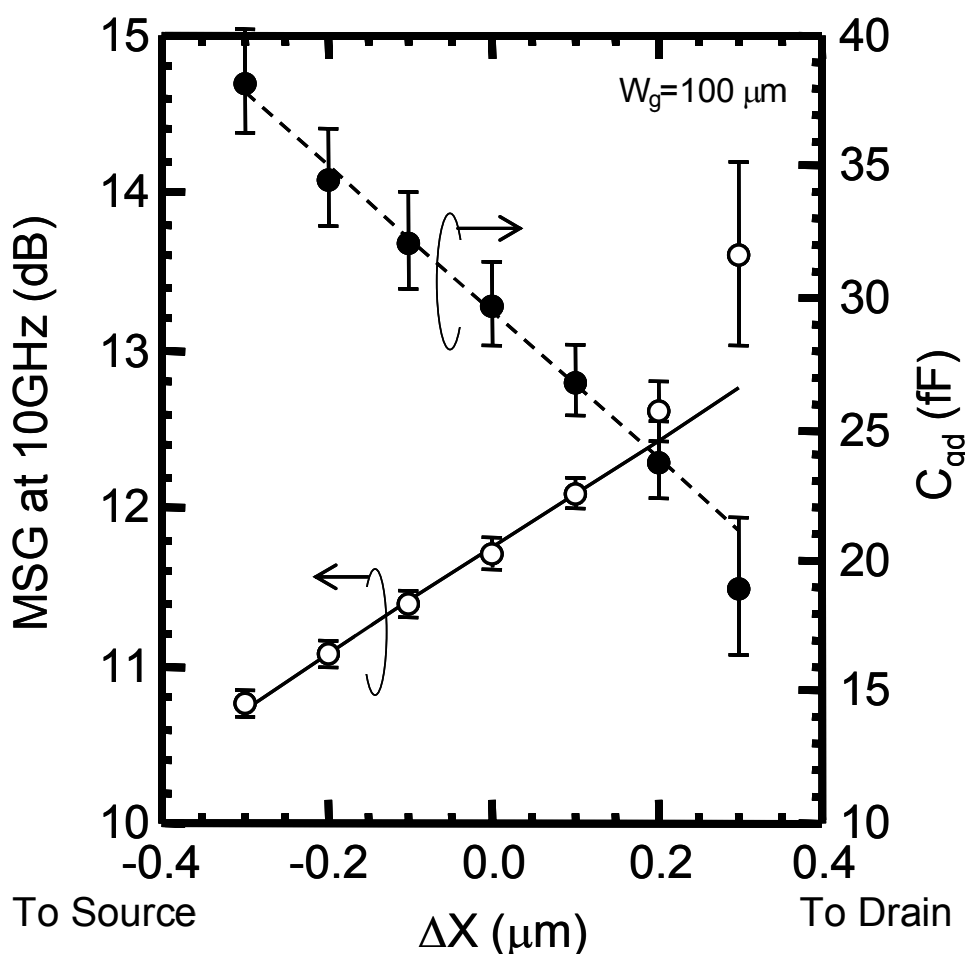
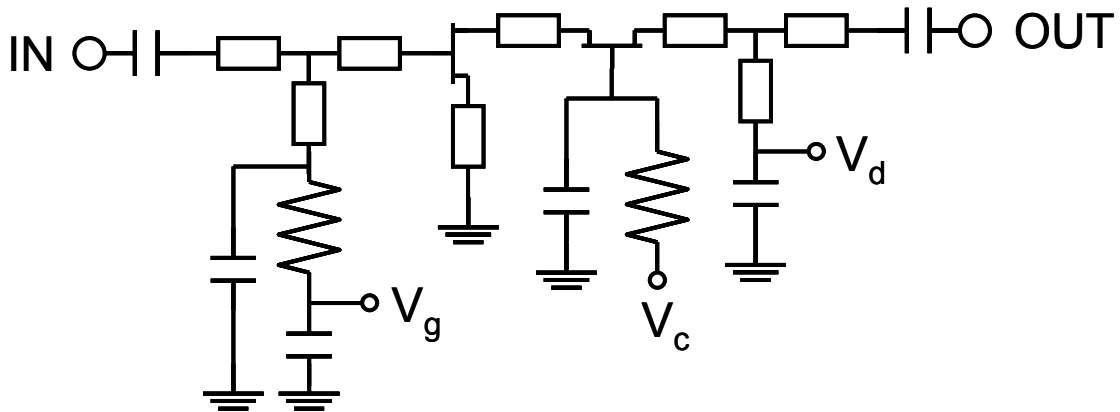


図5.21 ゲート・ドレイン間容量と10GHzにおける最大安定電力利得の上乗せAuシフト量依存性。

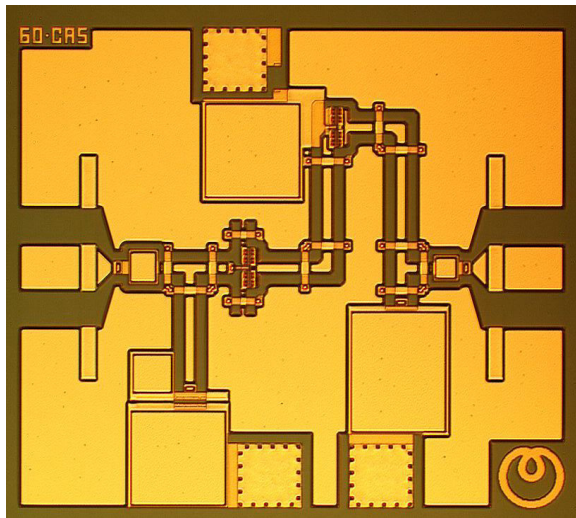
表5.3 非対称な上乗せAu構造を有するGaAs-MESFETの等価回路

g_m (mS)	R_i (Ω)	R_{gs} (k Ω)	R_{ds} (Ω)	C_{gs} (fF)	C_{gd} (fF)	C_{ds} (fF)
55.0	1.1	4.3	163.0	97.1	16.2	30.0
τ (psec)	R_g (Ω)	R_s (Ω)	R_d (Ω)	L_g (pH)	L_s (pH)	L_d (pH)
0.2	2.0	7.8	7.8	49.5	2.0	14.4

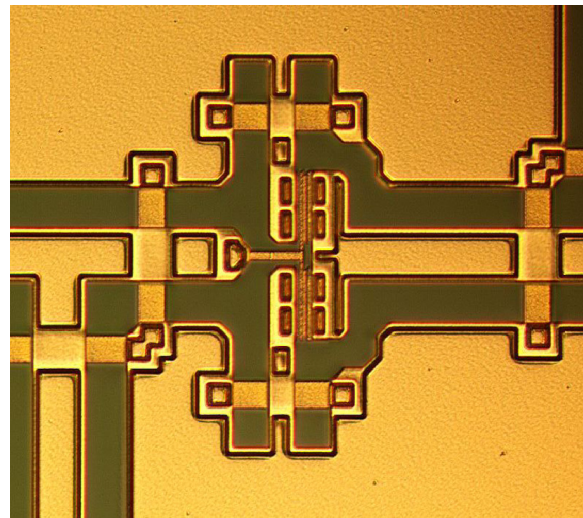
$W_g 100 \mu m$ 、 $\Delta X = 0.2 \mu m$ 、 $V_{gs} = -0.55V$ 、 $V_{ds} = 1.5V$



(a) 等価回路



(b) チップ写真



(c) デバイス部(ゲート接地部)拡大写真

図5.22 カスコード接続V帯増幅器。

5.5.3 V帯MMIC増幅回路

図5.22に作製したV帯MMIC増幅器の等価回路とチップ写真を示す。増幅器に用いたデバイスはゲート長 $0.16 \mu m$ 、単位ゲート幅 $25 \mu m$ 、2フィンガで全ゲート幅 $50 \mu m$ である。上述した検討を基に、ゲート上乘せAuはソース電極側へ $0.2 \mu m$ シフトさせた。増幅器はカスコード接続で構成され、増幅器の電力利得と周波数帯域を増加させる為に、ソース接地デバイスとゲート接地デバイス間を比較的長い伝送線路で接続している[21]。伝送線路には、小型化が容易であるCPW線路を使用した[22, 23]。カスコード接続線路および入出力整合回路には、特性インピーダンス 50Ω のCPW線路を用いた。増幅器利得はゲート接地FETのゲート電圧 V_g で制御した。チップサイズは $0.95 \times 0.85 \text{ mm}^2$ である。

図5.23に作製したV帯MMIC増幅器の周波数特性を示す。バイアス条件は $V_d=4.0V$ 、 $V_g=0.5V$ 、 $V_c=2.5V$ であり、消費電流は10mAである。実線は実測値、破線は線形シミュレータHP-MDSを用いた計算値であり、良い一致を示している。得られた最大利得は55GHzにおいて9.7dBであった。もし、極太上乘せAuがWSiNゲート電極の中心に位置した場合には、ゲート幅 $50\mu m$ のFETにおける C_{gd} は2.1fF (42 fF/mm) 増加するので、シミュレーションに因れば、増幅器利得は0.7dB劣化する。また、印加ドレイン電圧を3.5、3.0、2.5Vと低減すると、増幅器利得は8.8、7.7、5.4dBと低下する。H-MESFETの等価回路パラメータ抽出から、印加ドレイン電圧 V_{ds} を1V増加すると、チャンネル空乏層がドレイン電極側に伸びるため C_{gd} は40fF/mm減少する。印加ドレイン電圧を低減した場合に増幅器利得が減少する原因は、 C_{gd} の増加である。したがって、上乘せAuを $0.2\mu m$ ソース電極側へシフトした構造は、印加ドレイン電圧を1V減少させたのと同じ効果がある。このMMIC増幅器の雑音指数は55GHzにおいて6dBであった。この増幅器は、高利得応用(gain application)として良好な特性である。H-MESFET単体の雑音指数は20GHzにおいて1.1dBであるため、雑音整合を行えば、さらに低い雑音指数が得られるものと期待される。

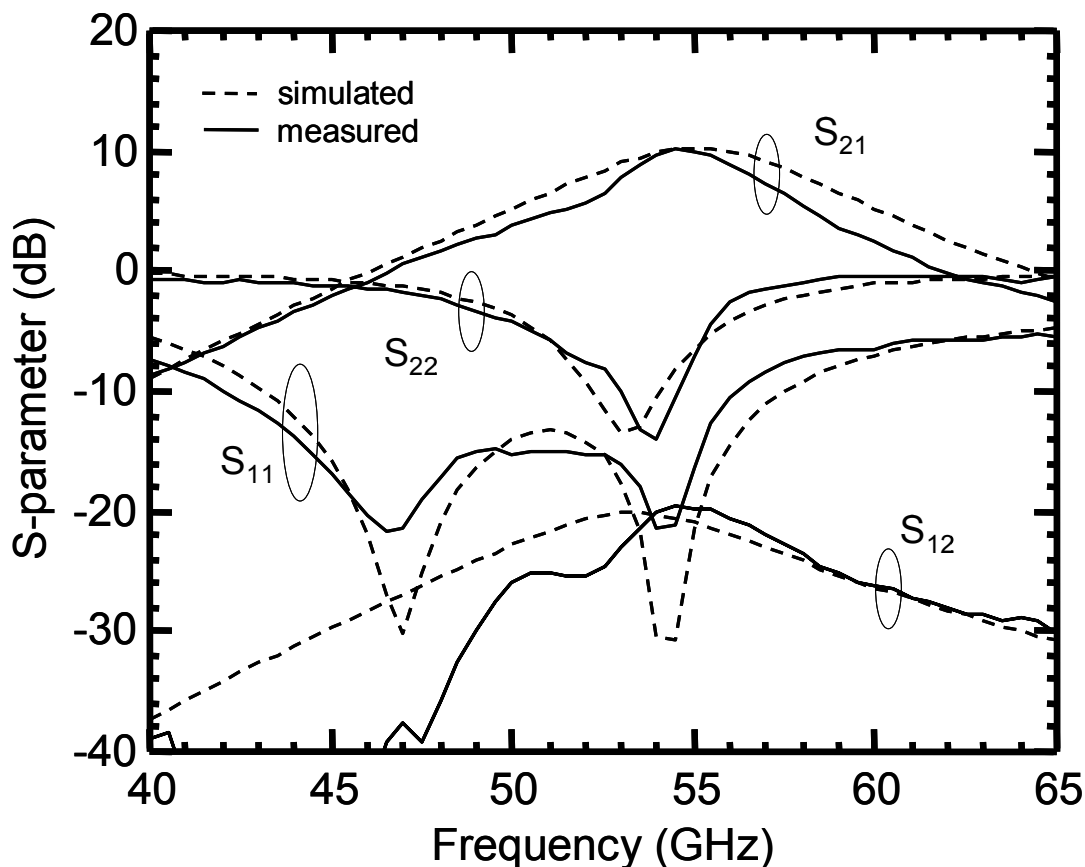


図5.23 V帯MMIC増幅器の周波数特性。バイアス条件は $V_d=4.0V$ 、 $V_g=0.5V$ 、 $V_c=2.5V$ 、消費電流は10mA。実線は実測値、破線は線形計算値。

5.6 むすび

GaAs-MESFETのゲート・ショットキ障壁を高める方法として、GaAsに比較してバンドギャップの広いInGaPを用い、GaAsとの間の伝導帯不連続量分200mVだけゲート・ショットキ障壁高さを増加させるとともに、ゲート耐圧を向上させたGaAsヘテロ構造MESFET (HMESFET)を開発した。1ウエハ上に異なる最適化構造デバイスを作製する手法として、フルイオン注入GaAs-MESFET技術を基に、90度ゲート方向が異なる対称構造と非対称構造デバイスを1ウエハ上に作製する技術を開発した。

エピタキシャル成長したi-InGaAs/i-GaAsウエハ上にイオン注入法でチャネルを形成したGaAs-MESFETを開発し、以下の結果を得た。

【1】InGaP薄膜を挿入した構造とすることで、通常のイオン注入GaAs-MESFETと比較して、ショットキ障壁を約100mV増加させることができた。

【2】相互コンダクタンスは、通常のSi30keVイオン注入GaAs-MESFETよりも10～15%低い。これはチャネル表面に20nmのバリア層(i-GaAs/i-InGaAs)を挿入して、ゲート-チャネル間隔が広がった影響である。

【3】 21° の斜めイオン注入を用いてn'層を非対称に作製した非対称構造とすることで、ドレイン電圧が対称構造の4Vから10Vへと大幅に向上した。対称構造に比較して、非対称構造は、真性相互コンダクタンスが約25%減少するものの、ドレインコンダクタンスが約20%減少、ゲート・ドレイン間容量 C_{gd} が約15%減少する。その結果、電流利得遮断周波数 f_T は対称構造より約20%減少するにもかかわらず、 f_{max} は約40%程度向上した。

チャネルの更なる高濃度薄層化を図る目的で、n-InGaAsチャネルを採用した、InGaP/InGaAs/GaAsヘテロ構造MESFETを開発し、以下の結果を得た。

【4】ゲート電極材料をWSiN(200nm, N含有量10%)/WSiN(380nm, N含有量37%)の2層膜とし、アニール保護膜をSiON/WSiN(200nm, N含有量10%)とすることで、ゲート電極下のGaAs厚さを50nm以下としても、活性化アニール時に構造InとWの反応が生じないことを確認した。

【5】非対称構造デバイスにおいて、ゲート・ドレイン端表面空乏層の影響を軽減する目的でゲート・ドレイン間にn'層を新しく設けた。n'層ドーズ量を最適化することで、ドレイン抵抗 R_d の増加を抑えながら、ゲート・ドレイン間耐圧 V_{bgd} として8V以上、ゲート・ドレイン間容量 C_{gd} として13fF/100 μ m以下を確保した。

【6】本技術を用いて、対称構造デバイスで電流利得遮断周波数70GHz、および26GHzにおける最小雑音指数1.2dB以下を、また非対称構造デバイスで60GHzにおけるMSGとして7.8dB、およびゲート耐圧7.5Vを同一チップ内で達成した。対称構造は小信号動作の低雑音増幅器などに、非対称構造は大振幅動作の高効率高出力増幅器などに有効である。

【7】寄生帰還容量を低減するために、T形Au/WSiNゲート電極の上乗せAuを0.2 μ mシフトさせることでゲート・ドレイン間容量 C_{gd} を43 fF/mm低減し、最大安定利得MSGを1dB向上させた。この非対称形ゲート上乗せAuを採用してV帯MMIC増幅器を作製し、55GHzにおいて9.7dBの利得を達成した。

参考文献

- [1] K. Asai, H. Sugahara, Y. Matsuoka, and M. Tokumitsu, *J. Vac. Sci. Technol.*, vol. B6, p. 1526 (1988).
- [2] S. Sugitani, K. Onodera, K. Nishimura, F. Hyuga, and K. Asai, "High Quality Very Thin Active Layer Formation for Ion-Implanted GaAs MESFETs," *18th Int. Symp. Gallium Arsenide Related Compounds*, p.131-134, 1991
- [3] K. Onodera, K. Nishimura, K. Asai, and S. Sugitani, "High Microwave and Ultra-Low Noise Performance of Fully Ion-Implanted GaAs MESFET's with Au/WSiN T-Shaped Gate," *IEEE Trans. Electron Devices*, vol. 40, pp. 18-24 (1993).
- [4] N. Kuwata, K. Otobe, N. Shiga, S. Nakajima, T. Sekiguchi, T. Hashinga, R. Sakamoto, K. Matsuzaki, and H. Nishizawa, "High Breakdown Voltage MESFET with Planar Gate Structure for Low Distortion Power Applications," *GaAs IC Symp.*, pp. 181-184, 1993.
- [5] T. Mimura, K. Joshin, S. Hiyamizu, K. Hikosaka, and M. Abe, "High Electron Mobility Transistor Logic," *Jpn. J. Appl. Phys. Lett.*, 33(7), pp. L598-600, 1978.
- [6] R. Dingle, H. L. Stomer, A. G. Gossard, and W. Wiegmann, "Electron Mobilities in Modulation-Doped Semiconductor Supperlattice," *Appl. Phys. Lett.*, 33(7), pp. 665-667, 1978.
- [7] M. Takikawa, T. Ohori, M. Takechi, M. Suzuki, and J. Komeno, "Pseudomorphic n-InGaP/InGaAs/GaAs Grown by MOCVD for HEMT LSI," *J. Cryst. Growth*, 107, pp. 942-946, 1991.
- [8] H. S. Kim, M. J. Hafich, G. A. Patrizi, A. Nanda, T. J. Vogt, L. M. Woods, and G. Y. Robinson, *J. Appl. Phys.*, vol. 67, p. R1 (1993).
- [9] Y. J. Chan and D. Pavlidis, "Trap Studies in GaInP/GaAs and AlGaAs/GaAs HEMT's by Means of Low-Frequency Noise and Transconductance Dispersion Characterization," *IEEE Trans. Electron Devices*, vol. 41, pp. 637-642 (1994).
- [10] E. Y. Chang, Y. Lau, K. Lin, and C. Chang, *J. Appl. Phys.* 74, 5722, 1993.
- [11] K. Shiojima, K. Nishimura, T. Aoki, and F. Hyuga, *J. Appl. Phys.* 77, 390, 1995.
- [12] K. Shiojima, K. Nishimura, and F. Hyuga, "Thermal Stability and Degradation Mechanism of WSiN/InGaP Schottky Diodes," *J. Vac. Sci. Technol. B*, 14(2), pp. 652-656, 1996.
- [13] K. Nishimura, K. Onodera, K. Inoue, M. Tokumitsu, F. Hyuga, and K. Yamasaki, "A WSiN-Gate GaAs HEMFET with an Asymmetric LDD Structure for MMICs," *IEICE Trans. Electronics*, vol. E78-C, pp. 907-10, 1995.
- [14] D. Geiger, E. Mitermeier, J. Dickmann, C. Geng, R. Winterhof, F. Scholz, and E. Kohn, "InGaP/InGaAs HFET with High Current Density and High Cut-Off Frequencies," *IEEE Electron Device Lett.*, vol. 16, pp. 259-261 (1995).
- [15] T. Nittono and F. Hyuga, "Reduction of Unintentional Impurities at the Interface between Epitaxial Layers and GaAs Substrates," *J. Crystal Growth*, 170, pp. 762-766 (1997).
- [16] K. Nishimura, K. Onodera, S. Aoyama, M. Tokumitsu, and K. Yamasaki, "High-Performance 0.1- μ m-Self-Aligned-Gate GaAs MESFET Technology," *IEEE Trans. Electron Devices*, vol. 44, pp. 2113-2119 (1997).

- [17] M. Hirano, I. Toyoda, M. Tokumitsu, and K. Asai, "Folded U-shaped Microwire Technology for GaAs IC Interconnections," *IEEE GaAs IC Symp.*, pp. 177-180 (1992).
- [18] Y. Yamane, K. Onodera, T. Nittono, K. Nishimura, K. Yamasaki, and A. Kanda, "A D-LDD Structure H-MESFET for MMIC Application," *IEEE MTT-S Digest*, pp. 251-254 (1997).
- [19] G. Dambrine, A. Cappy, F. Heliodore, and E. Playez, "A New Method for Determining FET Small-Signal Equivalent Circuits," *IEEE Trans. Microwave Theory Tech.*, vol. 36, pp. 1151-1159 (1988).
- [20] R. Anhold, "Electrical and Thermal Characterization of MESFETs, HEMTs, and HBTs," Artech House (1995).
- [21] R. A. Purcel, H. A. Haus, and H. Stats, "Signal and Noise Properties of Gallium Arsenide Microwave Field-Effect Transistors," *Adv. Electron. Electron. Phys.*, vol. 38, p. 195 (1975).
- [22] K. Nishikawa, K. Kamogawa, T. Tokumitsu, M. Aikawa, M. Hirano, and S. Sugitani, "Highly-Integrated Three-Dimensional MMIC 20-GHz Single Chip Receiver," *26th European Microwave Conf. Dig.*, pp. 199-204, 1996.
- [23] M. Muraguchi et al., "Uniplanar MMICs and Their Applications," *IEEE Trans. Microwave Theory Tech.*, vol. 36, pp. 1896-1900, 1988.
- [24] T. Hirota Y. Tarusawa, and H. Ogawa, "Uniplanar MMIC Hybrids - A Proposed New MMIC structure," *IEEE Trans. Microwave Theory Tech.*, vol. 35, pp. 576-581 (1987).
- [25] K. Onodera, K. Nishimura, T. Nittono, Y. Yamane, and K. Yamasaki, "Symmetric and Asymmetric InGaP/InGaAs/GaAs Heterostructure MESFETs and Their Application to V-Band Amplifiers," *IEICE Trans. Electronics*, vol. E81-C, pp. 868-875, 1998.
- [26] K. Onodera, K. Nishimura, T. Nittono, Yasuro Yamane, and K. Yamasaki, "V-Band Amplifier using InGaP/InGaAs/GaAs Heterostructure MESFET's with Asymmetric Au Gate Head," *IEEE Microwave Guided Wave Lett.*, vol. 8, pp. 351-353, 1998.

第6章 超高速GaAs-MESFETのエレクトロルミネッセンス

6.1 まえがき

ゲート長をサブミクロン領域まで微細化し、デバイス性能の向上を行なうと、デバイスを通常のバイアス条件で動作させても、デバイス内部は非常に高電界になる。この高電界下においては、インパクトイオン化が生じ易く、その結果デバイスは発光する。直接遷移、間接遷移を問わず半導体デバイスは、高電界下に曝されると発光する可能性がある。この発光スペクトルを解析することで、高電界となるゲート電極のドレイン端におけるホットキャリアについての有効な情報を引出すことができ、デバイスの劣化やブレイクダウンの解析にも有効である。これまで、様々な半導体デバイス、例えば、Si-MOSFET[1, 2]、GaAs-MESFET[3-9]、HEMT[10-15]などにおいて高電界下での発光スペクトル観測が行なわれ、発光機構の解析が行なわれている。しかし、発光を引き起こす主な機構についてのコンセンサスは未だ得られていない。GaAs-MESFETの発光機構に関しては、Herzogら[3]がGaAsバンド端エネルギー以下の発光スペクトルを測定し、そのエネルギー分布が指数関数で近似できることから、主な機構はBremsstrahlungであると結論している。Zappeら[5]はGaAsバンド端エネルギーにおけるピークを観測したことから、発光の主な機構はバンド端の電子と正孔の再結合と、Bremsstrahlungまたはバンド内遷移との重ね合せであるとしている。さらに、NevianiやZanoniら[6, 7]は、ゲート負電圧において、発光強度がゲート電流とドレイン電流との積に比例することから、発光の主な機構は電子と正孔の再結合であると結論付けている。ここで彼等は、ゲートリーク電流は高電界下のインパクトイオン化で発生する正孔に比例するとのHuiの説を仮定している[16]。

本章では、ゲート長 $0.1\mu\text{m}$ のフルイオン注入GaAs-MESFETの発光スペクトル解析について述べる。これまでの発光スペクトル観測は、商用されているGaAs-MESFETに対する結果であった。ゲート長 $0.5\mu\text{m}$ 程度、高耐压構造でチャネルのキャリア濃度は比較的lowく、 $5\times 10^{17}\sim 1\times 10^{17}\text{cm}^{-3}$ 程度であった。さらに準ブレイクダウン状態での観測であり発光強度も弱い。そこで、超高速、超高周波動作を目指して設計されているフルイオン注入GaAs-MESFETの準ブレイクダウン状態ではなく、ドレイン電流も急激に上昇するブレイクダウン状態での測定を行った。6.3節ではエレクトロルミネッセンス解析を行うデバイスの構造およびブレイクダウン状態までのdc特性について述べる。超高速動作のデバイスでは、以下の3つ特徴があり、高強度発光が可能であり、デバイス内発光現象に関する様々な情報が得やすく、新たな知見が得られる可能性が有る。

- (1) ゲート長 $0.1\mu\text{m}$ と微細化されており、チャネル内が高電界となっている、
- (2) $2\times 10^{18}\text{cm}^{-3}$ 程度の高濃度限界に近い高濃度薄層チャネルである、
- (3) チャネル層下には中性領域を含む埋込p層を有する。

6.4節ではエレクトロルミネッセンス測定および解析結果について述べる。測定エネルギー領域は、GaAsバンド端エネルギーおよびそれ以上である $1.4\sim 2.5\text{eV}$ である。また、広いドレイン電圧およびゲート電圧において詳細に発光スペクトルを観測し、デバイス内電子温度の抽出、ルミネッセンスの空間分布について解析した結果について述べる。

6.2 高電界下での現象

6.2.1 ルミネッセンス機構

図6.1に示すように、一般的に、半導体における2つの重要なルミネッセンス機構として、2種類のキャリアが関与する放射再結合 (radiative recombination) と1種類のキャリアが関与する放射遷移 (radiative transition) がある。放射再結合は伝導帯から価電子帯への放射 (c-v)、放射遷移は伝導帯間または価電子帯間の放射 (c-c、v-v) である。また、これらの放射過程は、フォトンが介在してエネルギー保存および運動量保存を行う直接遷移と、フォトンが介在してエネルギー保存を、補助的な相互作用が介在して運動量保存を行う間接遷移がある。GaAsにおける2つの重要な間接遷移放射過程は、フォノン (特に光学フォノン) を介した放射過程 (PA) とイオン化不純物 (IA) を介した放射過程である。

- 1) フォトンおよび補助的な相互作用を介した放射過程
 - 1.1 フォノンを介した放射過程 (PA) -光学フォノン散乱-
 - 1.2 イオン化不純物を介した放射過程 (IA) -イオン化不純物散乱-
 - (a) 放射遷移 (c-c、v-v)、(b) 放射再結合 (c-v)
- 2) フォトンを経た放射過程
 - (c) 放射遷移 (c-c、v-v)、(d) 放射再結合 (c-v)

※このうち、イオン化不純物を介した放射遷移 (c-c、v-v) は、イオン化不純物のクーロン力による電子の加速に起因するBremsstrahlung放射の古典論の類似性から、Bremsstrahlung放射と言われる。

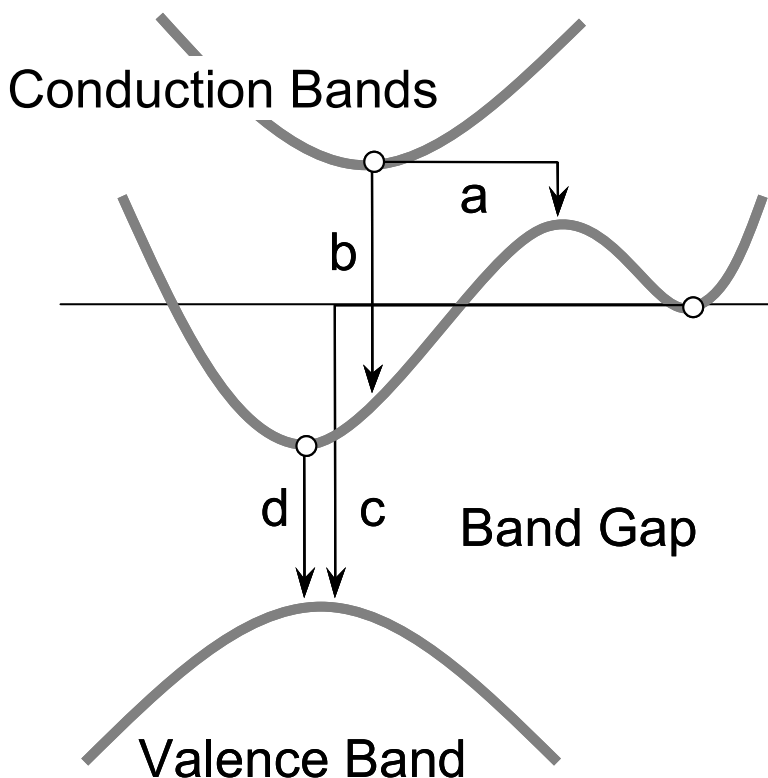


図6.1 ルミネッセンス機構

(a) Indirect c-c、(b) Direct c-c、(c) Indirect c-v、(d) Direct c-v

以上のように半導体内から得られるルミネッセンスは、バンド構造を反映したものとなる。図6.2にGaAsのバンド図を示す。GaAsは Γ 点が直接遷移(direct bandgap)となり、バンドギャップは1.43eVである。伝導帯には、この他にL点、X点で価電子帯の極小点があり、それぞれ、価電子帯端から、1.72eV、1.89eVである。

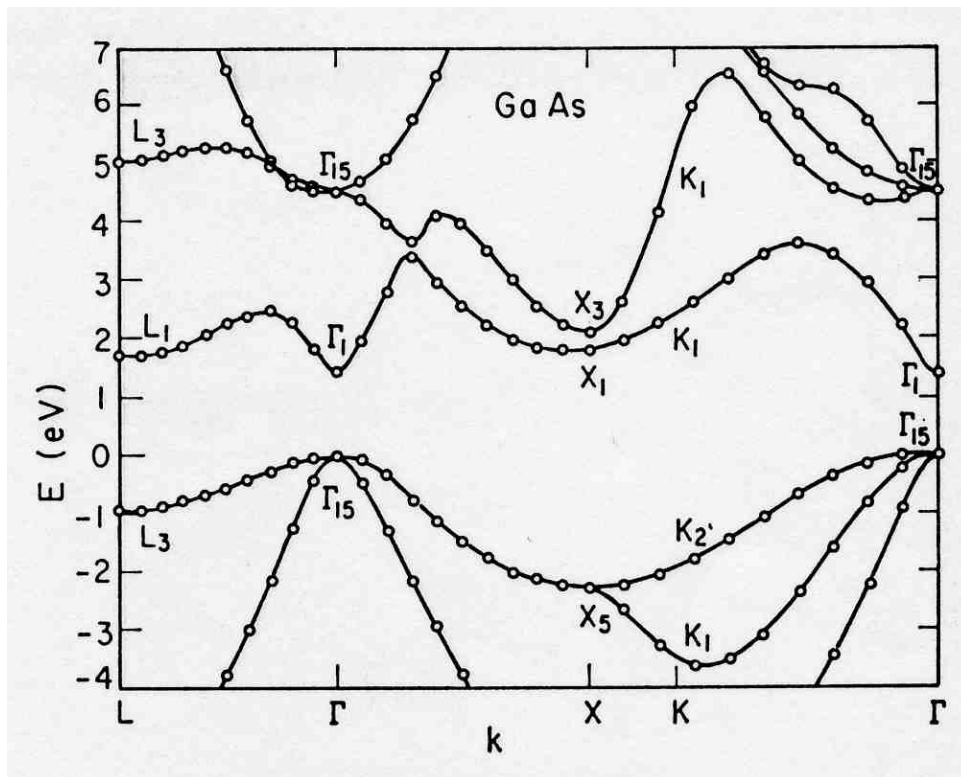


図6.2 GaAsのバンド構造

6.2.2 インパクトイオン化

デバイスの微細化にともない、デバイス内部が高電界化する。例えば、ゲート長が $0.1\mu\text{m}$ のデバイスに、通常動作バイアス条件であるドレイン電圧1Vを印加した場合、ゲート電極下 $0.1\mu\text{m}$ の長さに電圧1Vがかかる。平均電界は、

$$E = \frac{1(V)}{0.1(\mu\text{m})} = 100(\text{kV/cm}) \quad (6.1)$$

となる。GaAsで負性抵抗が観測されるのが約 5kV/cm 以上であるから、遥かに高電界となる。したがって、サブミクロンデバイスにおいては、通常動作状態でもホットキャリア効果の解析が重要となる。また、極微細デバイス(サブクウォータミクロン、サブ 0.1 ミクロン)領域では、キャリア輸送が拡散領域から準バリスティック領域へと移行する。キャリアは高エネルギー領域まで広く分布するため、マクロな輸送特性も高エネルギーキャリアに大きく依存する。

半導体に高電界が印加されると、電子のエネルギーはエネルギー・ギャップ以上になり、価電子帯の電子に衝突して伝導帯に叩き上げ、自らは低エネルギー状態に遷移する。典型的なインパクトイオン過程を図6.3に示す。エネルギーおよび運動量の保存則から次式が成立している。

$$\mathbf{k}_2 - \mathbf{k}_1 + \mathbf{k}_4 - \mathbf{k}_3 = \mathbf{G} \tag{6.2a}$$

$$\varepsilon_2 - \varepsilon_1 + \varepsilon_4 - \varepsilon_3 = 0 \tag{6.2b}$$

十分高い電界ではこのインパクトイオン化が連続的に生じ、電子正孔対が雪崩のように発生する。このため高強度ルミネッセンスが生じる。イオン化確率は、2電子に対するイオン化過程の遷移行列要素とFermiの黄金律から求めることができる。ここでは、現象論的なShottkeyのLucky Electronモデルについて述べる。このモデルは以下の仮定を行う。

- 1) キャリアはイオン化が可能となるエネルギー E_{ion} まで電界で加速される。
- 2) キャリアがエネルギー E_{ion} に達する前に散乱した場合、エネルギー0から出直しとなる。
- 3) 散乱には平均自由行程 λ を導入する。

位置 x にあるキャリアが位置 $x + \Delta x$ まで散乱を受けない確率 $p(x + \Delta x)$ は、位置 x まで散乱を受けない確率 $p(x)$ と位置 Δx を無散乱で走行する確率 Λ の積で表わされる。

$$p(x + \Delta x) = \Lambda p(x) \tag{6.3}$$

キャリアが距離 Δx を走行する間に散乱を受ける確率は $\Delta x / \lambda$ となるから、逆に無散乱で走行する確率 Λ は、次のように表わされる。

$$\Lambda = 1 - \frac{\Delta x}{\lambda} \tag{6.4}$$

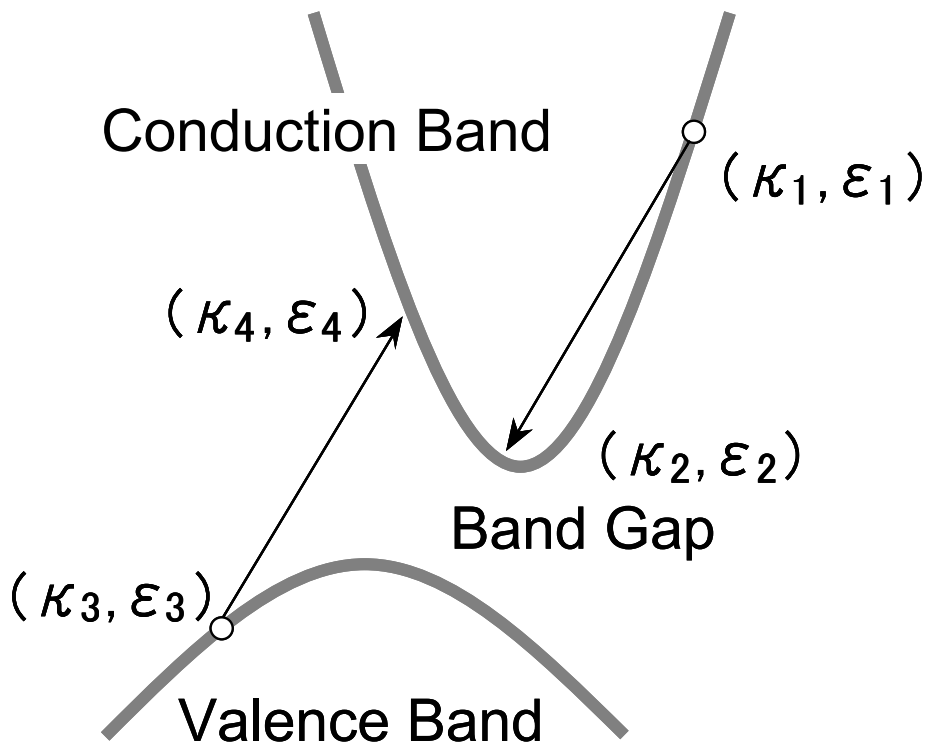


図6.3 典型的なインパクトイオン化過程
電子の始状態は1と4、終状態は2と3

したがって、キャリアの確率分布関数 $p(x)$ について、次の微分方程式が成立する。

$$\frac{p(x + \Delta x) - \Lambda p(x)}{\Delta x} \equiv \frac{dp(x)}{dx} = -\frac{p(x)}{\lambda} \quad (6.5)$$

規格化条件 $\int_0^{\infty} p(x) dx$ を考慮することで、キャリアの確率分布関数 $p(x)$ は、次のようになる。

$$p(x) = \frac{1}{\lambda} \exp\left(-\frac{x}{\lambda}\right) \quad (6.6)$$

デバイス内の電界 E が一定であると仮定すると、キャリアのイオン化が可能なエネルギー E_I に達する距離は $d_{ion} = E_{ion}/qE$ である。したがって、イオン化確率は次式となる。

$$\alpha = p(d_{ion}) = \frac{1}{\lambda} \exp\left(-\frac{E_{ion}}{qE\lambda}\right) \quad (6.7)$$

高電界の極限($E \rightarrow \infty$)では、 $\alpha \rightarrow qE/E_{ion}$ であるから、イオン化確率は次のように表わされる。

$$\alpha = \frac{qE}{E_{ion}} \exp\left(-\frac{E_{ion}}{qE\lambda}\right) = \frac{qE}{E_{ion}} \exp\left(-\frac{E_o}{E}\right) \quad (6.8)$$

ここで、 $E_o = E_{ion}/q\lambda$ である。

インパクトイオン化過程で重要な物理量の1つが、イオン化閾値エネルギー E_{ion} である。閾値エネルギーはイオン化遷移を起すのに必要な最低エネルギーで、バンド構造とエネルギーおよび運動量保存則から求めることができる。伝導帯と価電子帯のバンド構造を放物線型で近似すると、イオン化閾値エネルギーは3/2則で与えられる。つまり、イオン化閾値エネルギーはバンドギャップエネルギーを E_g としたとき、

$$E_{ion} = \frac{3}{2} E_g \quad (6.9)$$

となる。

6.3 デバイス構造

デバイスは、3インチの半絶縁GaAs板上に作製した。作製したGaAs-MESFETの断面構造を図6.4に示す。作製したデバイスのゲート長は $0.13\mu\text{m}$ から $0.58\mu\text{m}$ である。デバイスのイオン注入条件を表6.1に示す。基板におけるリーク電流を抑止するため、2ステップ埋込P層を有するBP-LDD構造である。第1の埋込み層は50keVのBeイオン注入で、第2の埋込p層は90keVのBeイオン注入で形成した。ドーズ量は完全空乏化に要する量の2倍であり、埋込p層内に中性領域が存在する[17]。チャネルの2次元効果に基づくショートチャネル効果を抑制するために、高濃度薄層チャネルを10keVのSiと40keVのPイオン共注入で形成した。チャネルの実効的な厚さはC-V測定から45nmである。チャネル層は、オーミック電極リフトオフとゲートAu載せ平坦化用の SiO_2 膜で覆われている。合計厚さは450nmである。この SiO_2 膜は、 SiH_4 および N_2O ガスを用いたプラズマCVD (PECVD) 法で、基板温度は 270°C で堆積した。

デバイスの幾何学寸法はゲート幅 $100\mu\text{m}$ 、ゲート-ソース間隔 (L_{gs}) およびゲート-ドレイン間隔 (L_{gd}) は $1.0\mu\text{m}$ である。デバイスは通常2層配線を採用している。第1層配線は上記の SiO_2 上に直接形成し、第2層配線は150nm厚のPECVD- SiO_2 と $2.5\mu\text{m}$ 厚のポリイミド上に形成した[18]。したがって、最終的にチャネル層は550nm厚のPECVD- SiO_2 と $2.5\mu\text{m}$ 厚のポリイミドで覆われている構造となっている。

作製したGaAs-MESFETの断面SEM写真を図6.5に示す。写真から、ゲート-ソース間隔、ゲート-ドレイン間隔はほぼ $1\mu\text{m}$ で設計通りに作製されているのが分かる。チャネル層も550nmの SiO_2 で覆われている。WSiNゲート上にはゲート低抵抗化のためにAuを載せているが、チャネルからの発光を遮らないようにAuは小さな体積とした。また、発光を効果的に測定するために、チャネル上の $2.5\mu\text{m}$ 厚のポリイミドはRIEで除去した。チャネルは露出しておらず、550nmの SiO_2 で覆われているので、この余分なプロセスによる特性への影響はなかった。デバイス内で発生したルミネッセンスは、このパッシベーション膜を通して検出される。

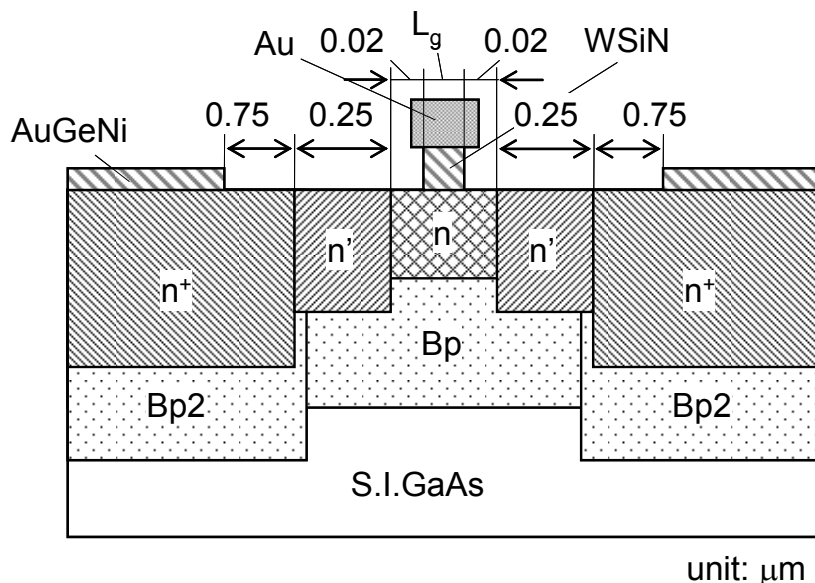


図6.4 ホットキャリアのルミネッセンスを測定したGaAs MESFETの断面図

表6.1 イオン注入条件

	イオン種	エネルギー E(keV)	ドーズ量 Φ (cm ⁻²)
チャネル層	Si	10	9.0×10^{13}
	P	40	3.0×10^{13}
n'層	Si	40	4.0×10^{13}
n ⁺ 層	Si	80	8.6×10^{13}
埋込p層	Be	50	2.0×10^{12}
第2埋込p層	Be	90	4.0×10^{12}

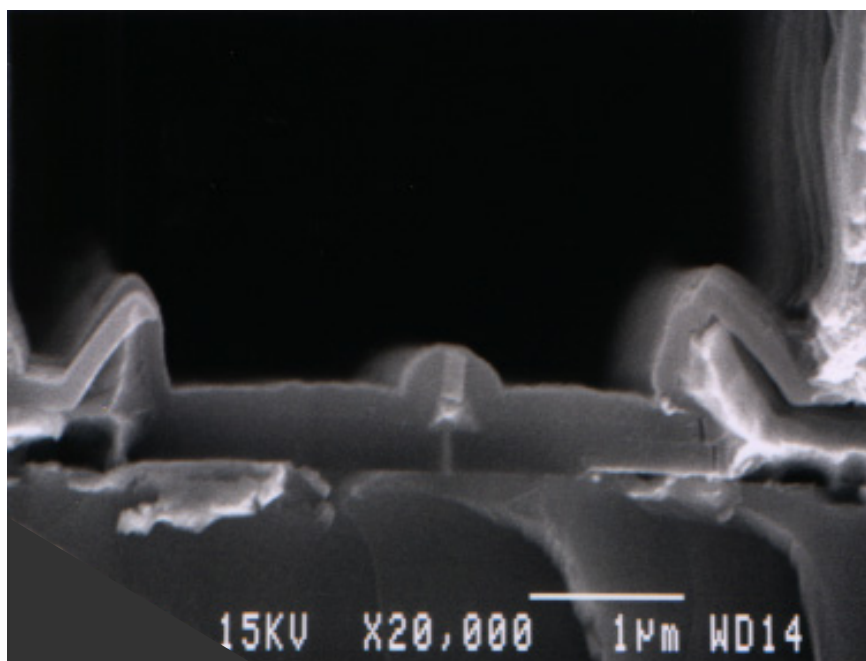


図6.5 GaAs MESFET断面のSEM写真

ルミネッセンスを効果的に観測するため、第1層配線と第2層配線間の絶縁膜である2.5 μm厚のポリイミドは取り除いている。

このデバイスは高速デジタルLSIへの応用を目的に作製しており、ゲート長0.18 μmにおいて、相互コンダクタンス550mS/mm、電流利得遮断周波数 f_T として90GHz、10GHzにおけるMSGとして16dBと、GaAs-MESFETとしてはトップクラスの性能を有している。

図6.6にはドレインI-V特性、およびゲート・ソース間電圧 (V_{gs}) をパラメータとしたゲート電流 (I_g) のドレイン・ソース間電圧 (V_{ds}) 依存性を示す。ゲート長0.18 μm、ゲート幅100 μmである。閾値電圧は-0.1V、ゲート・ソース間電圧 V_{gs} の最大値は0.9V、電圧ステップは0.2Vである。測定したゲート・ドレイン間耐圧 (V_{bgd}) は4.5Vであった。

クウォータミクロン以下のゲート長を有するGaAs-MESFETでは、ブレイクダウン電圧以上のゲート電圧を印加したときのゲート電流 I_g の接線から見積られるゲート・ドレイン間耐圧と、ゲートリーク電流5mA/mmにおけるゲート・ドレイン間電圧がよく一致する。そこで、ゲート・ドレイン間耐圧 (V_{bgd}) は、ゲートリーク電流5mA/mmで測定した。

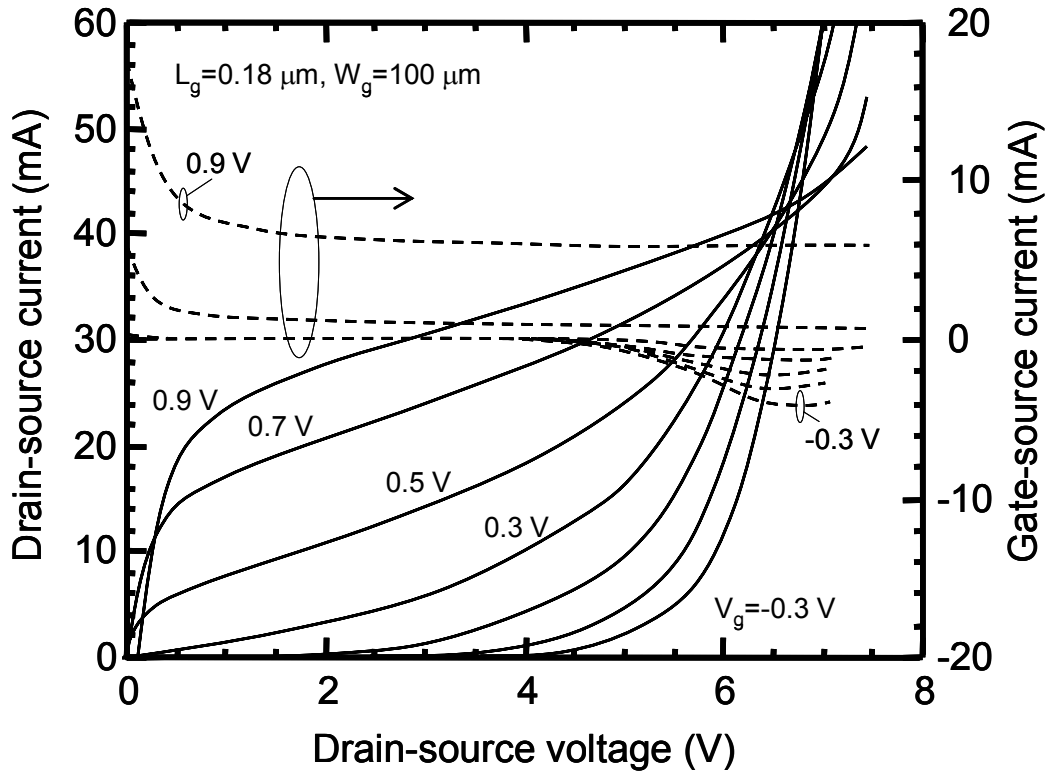


図6.6 ドレインI-V特性およびゲート電流 I_g のドレイン電圧 V_{gs} 依存性
ゲート電圧 V_{gs} は0.9V~0.3V、電圧ステップは0.2V

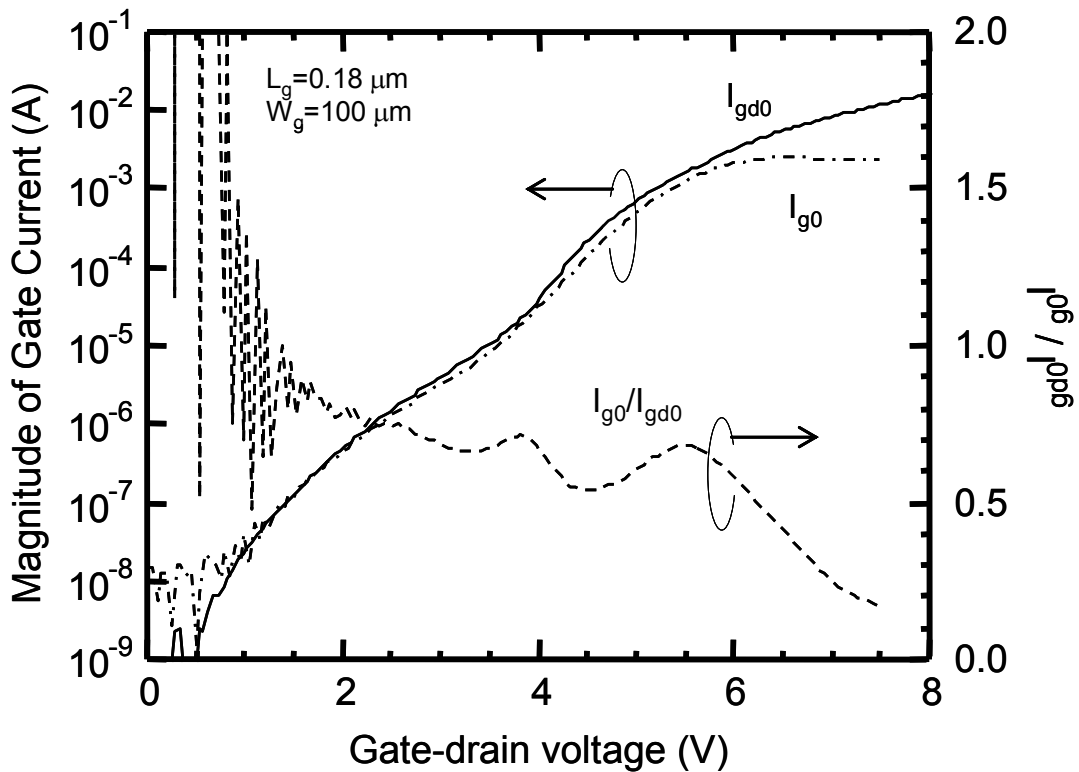


図6.7 ゲート電流のゲート・ドレイン間電圧 V_{gd} 依存性
実線(I_{g0})は $V_{gs}=0V$ における動作でのゲート電流、点線(I_{gd0})はソースフローティングとしたダイオード逆バイアス時のゲート電流、破線はゲート電流比 I_{gd0} 対 I_{g0}

この測定されたゲート・ドレイン間耐圧は、GaAs-MESFETとしては比較的低い耐圧である。

デバイスの高速化のために n' 層が高濃度であり、また n' 層-ゲート電極間が狭いことが大きな原因である。 n' 層-ゲート電極のギャップを広げると、高周波特性が犠牲になるが、ゲート・ドレイン間耐圧を最大9V程度まで増大させることができる。ソース電極をフローティングにしたときのゲート-ドレイン間逆方向ダイオード特性を I_{gd0} として、同図内に示す。図6.6に示すように、 I_g は $V_{ds}=4V$ 以上で大きく増加し、またドレイン電流は6Vから増加し始める。したがって、 $V_{ds}=6V$ でゲートとドレイン電流の両方が指数関数的に増加するブレイクダウン状態である見なせる。

図6.7はゲート-ドレイン電圧 V_{gd} をパラメータとしたときの、ゲート電流 I_g の V_{gd} 依存性を示す。実線は、 $V_{gs}=0$ におけるゲートリーク電流(I_{g0})であるが、ゲート電極とソース電極が同電位であるため、FET動作状態での、正味のゲート-ドレイン間電流を示している。点線はソース電極をフローティングにしたときのゲート-ドレイン間逆方向ダイオード特性(I_{gd0})でのゲート電流である。逆方向のショットキ接合ゲート電極のリーク電流が比較的大きいが、これは高濃度薄層チャネルが原因である。 I_{g0} は V_{gd} が3.5V付近から急速に増大している。これは、Nevianiら[7]が報告しているようにインパクトイオン化で発生した正孔に起因するものと考えられる。 I_{gd0} においても、急速な増大が見られるが、ダイオード接続においても発光が検出できることから同様の原因であると推測される。さらに高いゲート・ドレイン間電圧 V_{gd} では、 I_{g0} と I_{gd0} は異なった振舞いを示している。 I_{g0} は $V_{gd}=5V$ 付近で増加傾向が緩やかになり、 $V_{gd}=6V$ 以上ではほとんど平坦になってしまう。しかし、 $V_{gd}=6V$ 以上でも I_{gd0} は緩やかに上昇したままである。

また、 I_{g0} と I_{gd0} の間の違いを見るために、 I_{g0} と I_{gd0} のゲート電流比を図6.7に破線で示した。ゲート・ドレイン間電圧 $V_{gd}=2\sim 5.5V$ では、ゲート電流比は少し振動しているが、およそ0.65である。しかし、 $V_{gd}>5.5V$ では、ゲート電流比は急激に減少する。 $V_{gd}>5.5V$ でのゲート電流比の減少はインパクトイオン化によって発生する正孔電流の流れに起因すると考えられる。ゲートリーク電流が増加し始めるがドレイン電流は増加しない準ブレイクダウン状態においては、従来からHuiらが主張している”ゲートへの集中効率1”の仮定が有効である[19]。これは、インパクトイオン化で発生する正孔はほとんどすべてがゲート電極に集まると言う仮定である。しかし、 $V_{gd}>5.5V$ での I_{g0} の飽和とゲート電流比 I_{g0}/I_{gd0} の急な減少は、ゲートへの集中効率が1でなくなるか、またはインパクトイオン化で発生する正孔が減少していることを示している。この点については後ほど議論する。

6.4 エレクトロルミネッセンス測定

6.4.1 測定系

図6.8に、フォトルミネッセンス測定に用いた測定系のブロック図を示す。観測は、デバイスの上面から行った。測定は1.4-2.5eVのエネルギー領域で実行した。空間フィルタは、スリットを1 μ mから3mmまで調整することが可能である。分光器は2つ並列にしたダブルモノクロメータ(Double Monochromator)を用い、感度よりも分解能・解像度に重点をおいた。光検出器はGaAsをベースにしたもので、SN比を改善するためにペルチェで冷却した。この測定系には以下の特長がある。

- 1) 分光器を用いる事でのエネルギー依存性を評価することができる。
- 2) 空間フィルタを用いる事で、1 μ m以下の分解能でルミネッセンスの発光部所を空間的に分離することが可能である。

光学測定は室温で行った。発光スペクトルは、GaAsをベースにした光検出器の量子効率のエネルギー依存性を考慮して補正を行なった。

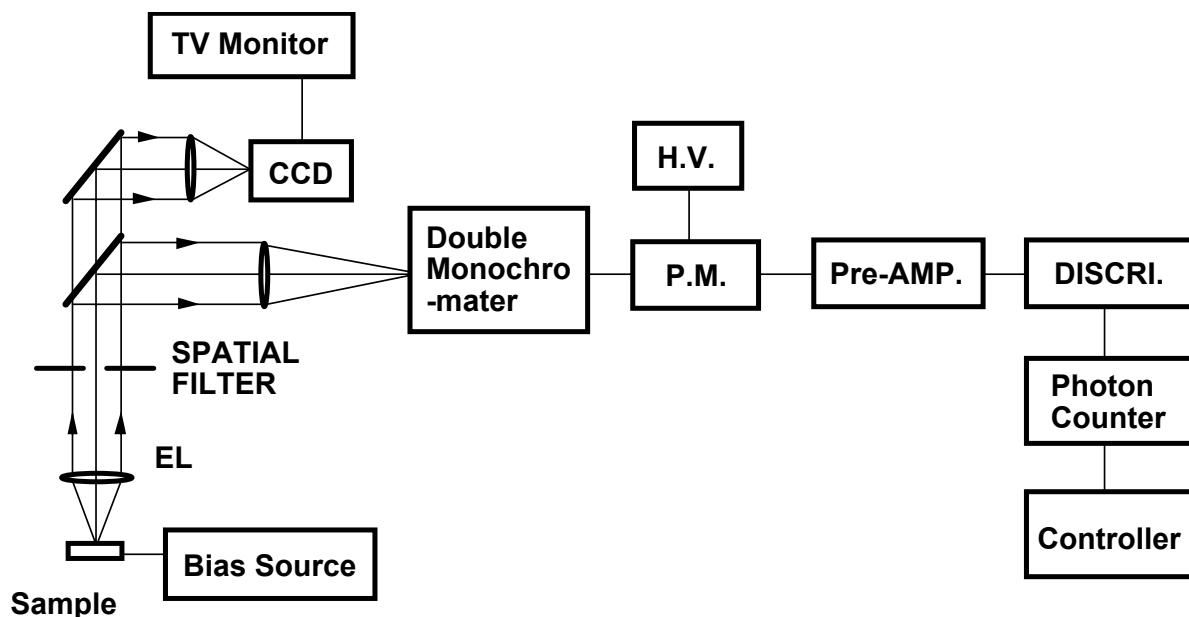


図6.8 エレクトロルミネッセンス測定装置のブロックダイアグラム

6.4.2 トランジスタからのルミネッセンス

図6.9に、ゲート長0.18 μ mのGaAs-MEFETからの室温における発光強度のエネルギー依存性を示す[28]。バイアス条件はドレイン電圧 $V_{ds}=7.0V$ 、ゲート電圧 $V_{gs}=-0.1V$ の閾値付近である。この発光スペクトルは2つのエネルギー領域の分けて見ることができる。一つはGaAsのバンド端エネルギー1.43eV付近を含む1.6eV以下の領域であり、もうひとつは1.6eV以上の高エネルギー領域である。GaAsバンド端での発光は、指数関数的に減衰している最も強いピークである。バンド端付近の電子と正孔が再結合して得られる発光であると考えられる。1.6eV以上の高エネルギー領域の発光スペクトルは、ブロードな分布の中に明確に2つのピークと1つの肩が見受けられる。この高エネルギー領域の発光スペクトルは、こ

れまでに報告されているGaAs-MESFETのものと大きく異なっている。これまでの報告では、高エネルギー領域の発光スペクトルは、Maxwell分布的な[3, 6-9]、指数関数的に減衰する分布しか得られていない。

今回の実験のようなピークが得られる1つの可能性は、チャンネルを覆っているパッシベーション層の影響である。GaAsチャンネル内部で発生したルミネッセンスは、チャンネル上のSiO₂保護膜を通過する。プラズマCVD(PECVD)で形成したSiO₂は、赤外領域でSi-Nの結合に起因する吸収があり、およそ20meVの赤外光を吸収する[19]。しかし、今回測定対象の発光エネルギー領域ではほとんど透明である。次に、SiO₂の膜厚に起因する共鳴スペクトルも考えられる。Frenelの公式を使用することによって、発振エネルギーを見積ることができる。膜厚は、図6.5のSEM写真で確認した通り550nmである。PECVDで形成したSiO₂の屈折率を1.5と仮定した場合、発振エネルギーの間隔は0.75eVであり、今回の発光ピークまたはディップ位置には当たらない。したがって、高エネルギー領域の発光スペクトルのピークは、GaAs内部で生じている現象を反映していると考えられる。

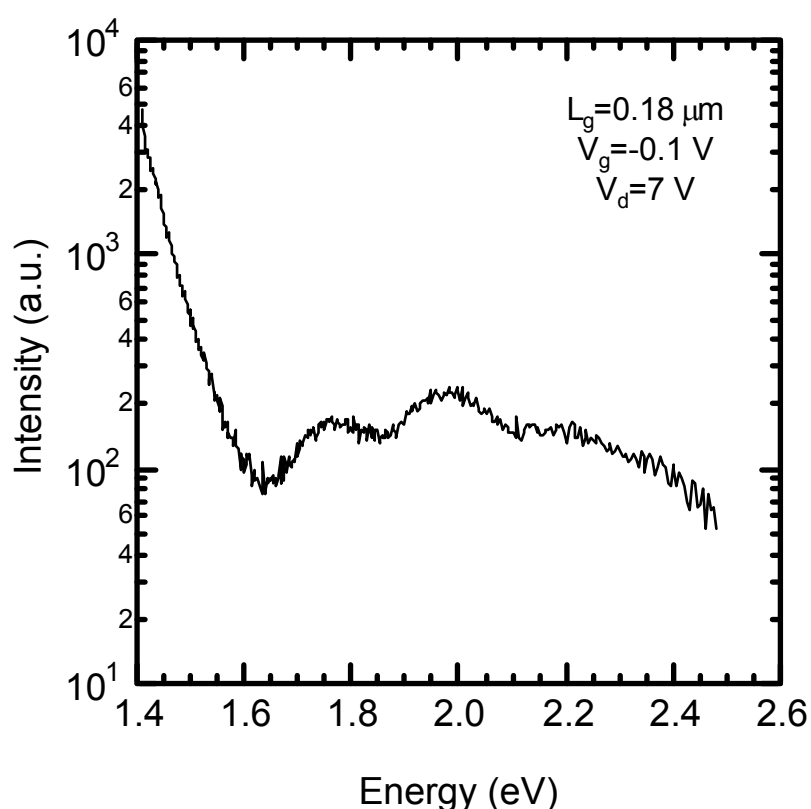


図6.9 室温におけるGaAs-MESFETのエレクトロルミネッセンスのエネルギー依存性
バイアス電圧は $V_{ds}=7.0V$ 、 $V_{gs}=-0.1V$

前述した通り、今回観測した超高速GaAs-MESFETは、デバイス内部において発光し易い構造である。発光強度としては、InP-HEMTよりも高い強度が検出されている[20, 21]。以前の報告との発光スペクトルの相違の原因として、以下の3点が考えられる。

1) 高濃度薄層チャンネル：

ピークキャリア濃度は $2 \times 10^{18} \text{cm}^{-3}$ 以上である。C-V測定から、実効チャンネル厚は45nmと薄い。チャンネルが薄層であり、インパクトイオン化が発生している場所が表面に近く、チャンネル内での光の減衰が極めて少ない。

2) 中性埋込p層：

埋込p層のドーピング濃度は、完全空乏化条件の2倍程と高濃度であり、インパクトイオン化で発生する正孔以外に、チャンネル層下に正孔が存在している。2次元数値シミュレーションによれば、ピーク正孔濃度は、 $1 \times 10^{17} \text{cm}^{-2}$ である。したがって、埋込p層中に常に正孔が存在する状態であり、インパクトイオン化によって発生した熱い電子と、容易に再結合すると考えられる。

3) プレーナ構造：

比較的高出力動作用に設計されたGaAs-MESFETはHEMTと同様のリセスゲート構造を採用している。以前発光スペクトルの報告を行っているほとんど全てのデバイスはこのリセスゲート構造を採用している。リセスゲート構造のゲート電極ドレイン端附近は、エッチングによる複雑な構造を呈している。さらに、ゲート電極から、 $0.1 \mu\text{m}$ 程度のところから、厚さ30~50nmのキャップ層がある。チャンネル内部で発生したルミネッセンス光は、この複雑な構造のゲート電極ドレイン端附近か、またはキャップ層を通り抜けなければならず、発生した光を減衰させる原因となる。また、ゲート電極のドレイン端が最も高電界となるが、電子はエネルギー緩和時間分だけ遅れてエネルギーを得る[22]。したがって、高電界の場所よりもドレイン側でより高エネルギーに達し、インパクトイオン化を起こす。つまり、リセスゲート構造では、キャップ層の影響を受け易い。一方、本実験のデバイスで採用しているプレーナ構造では、ゲート電極のドレイン端は平たんであり、キャップ層も存在しないため、チャンネル上は全て平たんな構造をしており、チャンネル内部の発光を直接観測できる。

ルミネッセンススペクトルは複雑なキャリアの状態密度、分布関数を反映している。ルミネッセンススペクトルの観測された低エネルギー側の2つのピーク、1.77および1.98eVは、価電子帯端 (Γ 点) から伝導帯端 (L点とX点) へのエネルギー1.72eVおよび1.89eVに極めて近い。インパクトイオン化で発生したホットな電子とホットな正孔がエネルギー緩和することなしに、直ちに再結合したと考えると、キャリアがホットな分だけ実測ピークは高エネルギー側へシフトしているものと思われる。価電子帯端 (Γ 点) の有効質量比に比べて、観測されたピークエネルギーとGaAsバンド端エネルギーの違いである余剰エネルギーの15%が、ホット正孔の余剰エネルギーと考えると、観測されたピークエネルギーは伝導帯端 (L点とX点) のものと驚くほど一致する。2.20eV付近の肩は、Keldishの示しているインパクトイオン化が生ずる閾値エネルギーにほぼ等しいバンドギャップの1.5倍のエネルギーであり興味深い[23, 24]。この肩のピークも、さらにホットなキャリア、つまり、より高いX点の中の電子(X7)と Γ 点の正孔の間の再結合であると考えられる。

図6.10に、ドレイン電圧 V_{ds} をパラメータとした、室温におけるゲート長 $0.18 \mu\text{m}$ のGaAs-MEFETからの発光強度をエネルギー依存性で示す。ゲート電圧 V_{gs} はチャンネルがほぼフルオープンである状態の0.7Vである。ドレイン電圧 V_{ds} は5~7.5Vの範囲で行った。ドレイン電流は図6.6で示されているように7.5V以上のドレイン電圧 V_{ds} で急激に増加する。ドレイン電圧 $V_{ds}=7.5\text{V}$ はブレイクダウン状態で破壊限界のドレイン電圧である。バンド端の再結合に起因すると考えられる発光はドレイン電圧 $V_{ds}=5\text{V}$ では検出されないが、6V以上では顕著なピークとして現われる。ピークは指数関数的で、ドレイン電圧の増加にともないピーク強度は増加する。このGaAsバンド端再結合に起因する発光強度のドレイン電圧依存性はZappeらの報告と一致する[5]。また、ドレイン電圧を7.5V以上に上げると、1.6eV以上の高エネルギー領域のピークが小さくなり、Maxwellian振舞いを取って、ピークもほとんど消失している。

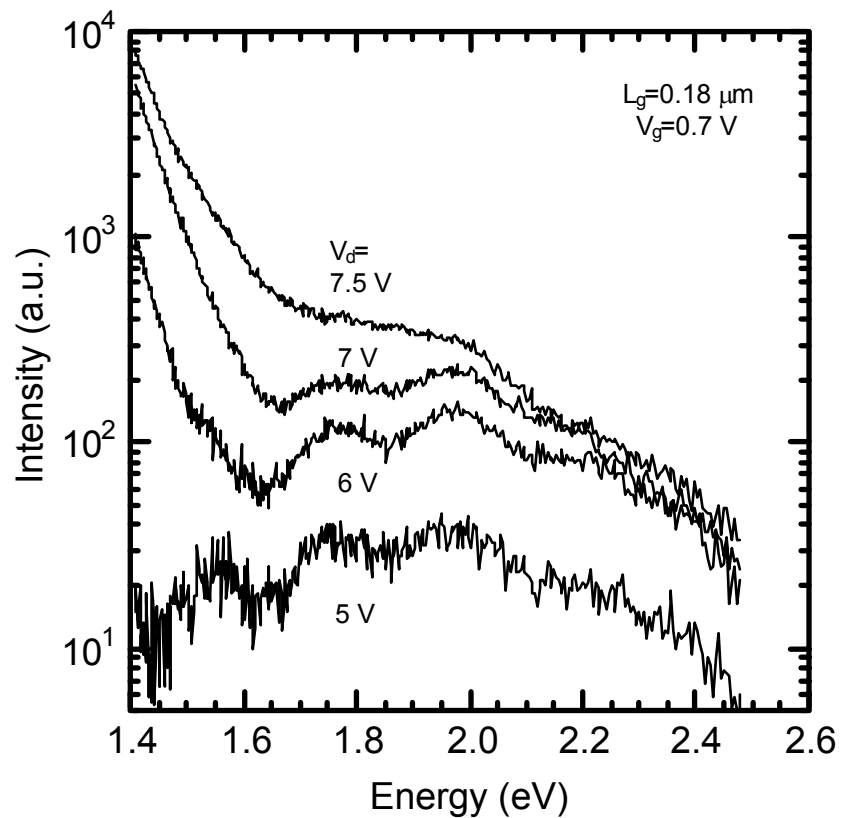


図6.10 ドレイン電圧 V_{ds} をパラメータとしたときのGaAs-MESFETの室温におけるエレクトロルミネッセンスのエネルギー依存性

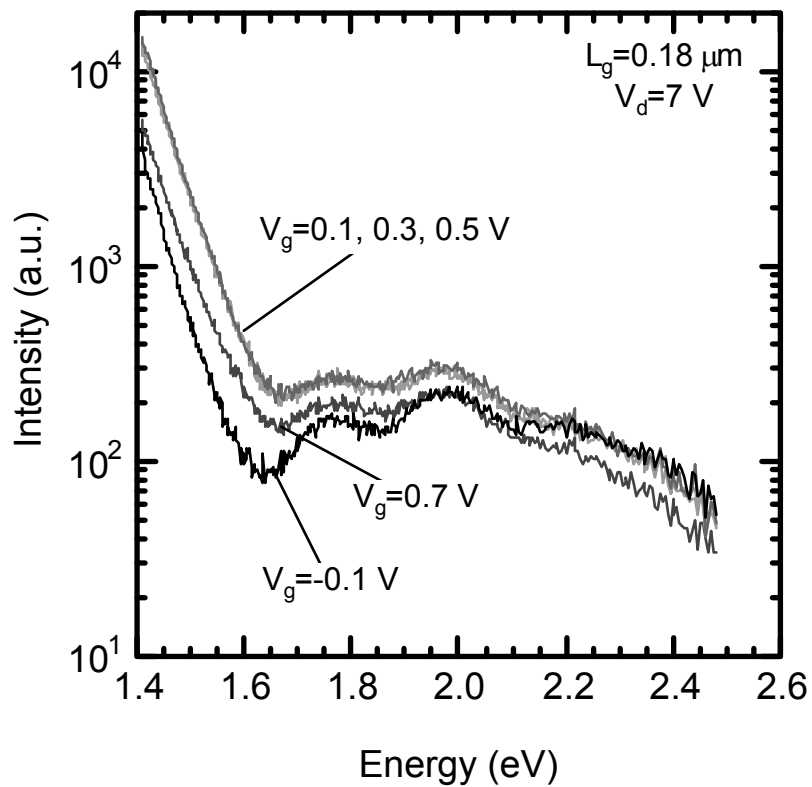


図6.11 ゲート電圧 V_{gs} をパラメータとしたときのGaAs-MESFETの室温におけるエレクトロルミネッセンスのエネルギー依存性
 V_{gs} はチャネルフルオープン状態の0.7Vから閾値電圧-0.1V

このデバイスは以前に報告されたものよりもチャンネルが高濃度であることから、Bremsstrahlungによる発光が強いと予想される。Bremsstrahlungは古典的な理論に基づくBremsstrahlung放射の類推による、イオン化不純物を介した(IA)伝導帯内遷移(c-c)に起因する発光である。IA c-c発光は原則としてイオン化不純濃度に比例する。また、それはキャリア温度にはほとんど依存しない。すなわち、電場による影響を受けない。別の重要な発光メカニズムはフォノンを介した(PA)伝導帯内遷移(c-c)に起因する発光である。キャリア温度が増加するにしたがってPA c-c発光はより重要になる。J. BudeらのSiからのルミネッセンスの計算結果によれば、キャリア温度が高いほど、伝導帯内での直接遷移、または、フォノンを介した間接遷移(PA c-c)に起因する発光が、支配的となることが示されている[25]。このデバイスのキャリア温度はドレイン電圧 $V_{ds}=7.5$ Vでは極度に高くなっている。したがって、伝導帯内での直接遷移またはフォノンを介した間接遷移(PA c-c)に起因する発光が支配的となって、再結合発光に重なり、実測の様なブロードな発光スペクトルになったと考えられる。また、ドレイン電圧 $V_{ds}=7$ V以下では、再結合発光に起因するピークが見られることから、この観測した高濃度チャンネルを有するデバイスにおいて、Bremsstrahlung (IA c-c) は支配的発光機構ではないと考えられる。

図6. 11は、ゲート電圧 V_{gs} をパラメータとした、室温におけるゲート長 $0.18 \mu\text{m}$ のGaAs-MEFETからの発光強度をエネルギー依存性で示す。ドレイン電圧 V_{ds} は7V、ゲート電圧 V_{gs} はほぼチャンネルフルオープン 0.7 Vからしきい値電圧である -0.1 Vまでの範囲で測定を行った。中間の動作状態であるゲート電圧 $V_{gs}=0.5\sim 0.3$ Vではほぼ同じ発光スペクトルが観測された。これに比較して、ゲート電圧 $V_{gs}=0.7$ Vではスペクトル形状は同一であるが、発光強度は半分程度に減少している。チャンネルフルオープンでは、ゲート電極のドレイン端における電界強度が減少しているためイオンパクトイオン化率が低減していることが原因と考えられる[6]。また、しきい値電圧であるゲート電圧 $V_{gs}=-0.1$ Vではバンド端発光の強度は 0.7 Vよりもさらに低下し、低エネルギー側のピーク発光強度ほど低下しているが、 2.2 eV付近の肩における発光強度は、中間の動作状態と同等程度に強い。図6. 6のドレインI-V特性によれば、閾値電圧においてもドレイン電圧 $V_{ds}=7$ Vまで高電圧を印加すればドレイン電流は急激に増大する。しかし、閾値電圧では、チャンネルを流れる電流が絞られ、インパクトイオン化で発生したホットなキャリアに起因する電流は減少しており、多くはゲート・ドレイン間のダイオード逆方向特性に起因するゲートリーク電流であると考えられる。ホットなキャリアの総数は減少するものの、ゲート電極のドレイン端における電界強度は最も強くなり、より高エネルギー領域の発光が強く検出されていると考えられる。

6. 4. 3 ショットキ接合ダイオードからのルミネッセンス

図6. 12は、ゲート長 $0.18 \mu\text{m}$ のGaAs-MEFETのソース電極をフローティングとし、ゲート・ドレイン間に逆バイアス(ゲート電極を負バイアス)を印加したショットキ接合ダイオードからの発光強度のエネルギー依存性で示したものである。ドレイン電極を接地し、ゲート電圧 V_{gd} は -7 Vから -9 Vの範囲で印加している。FET動作からの発光と比較して、強いバンド端発光が検出されず、バンド端発光の裾野のエネルギーで若干の発光が見られるだけであるところが大きく異なる。高エネルギー領域は、FET動作からの発光と同等の強度で、3つのピークが観測でき、 -7 Vから -9 Vへと強い負バイアスにすることで発光強度が増加する。また、ゲート電圧 V_{gd} 7V以下のバイアスでは発光が検出できなかった。

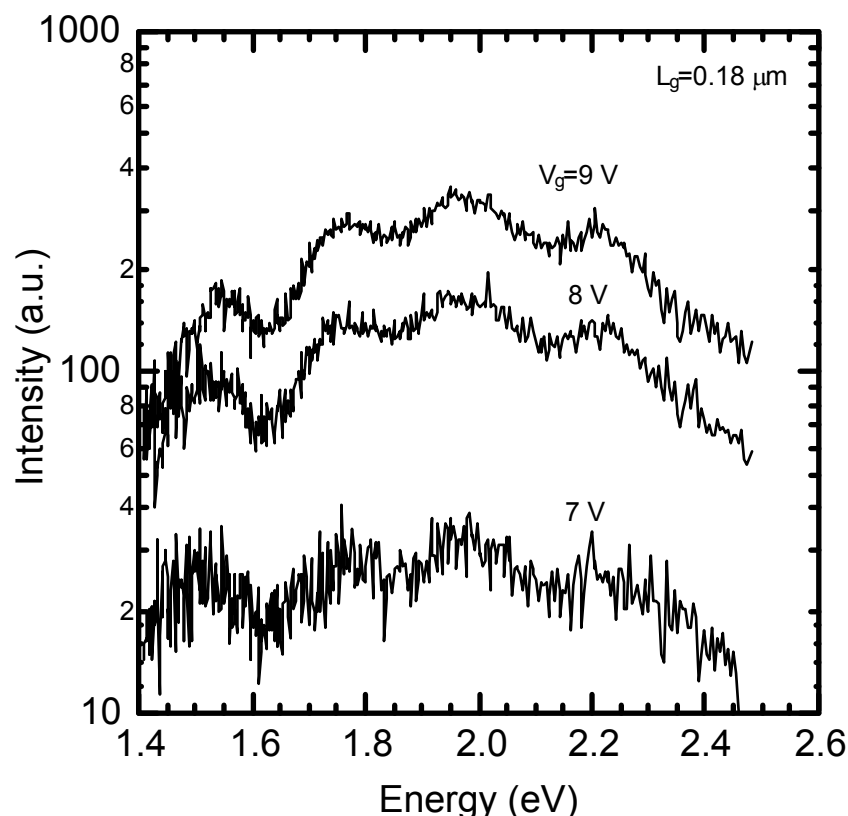


図6.12 ゲート・ドレイン間ダイオード逆バイアス時のエレクトロルミネッセンスソースをフローティングにした状態

6.4.4 ルミネッセンスの空間分布

空間フィルタを用いて、GaAs-MEFETのルミネッセンスの発光場所を空間的に分離して測定した。測定したルミネッセンスの空間分布を図6.13に示す。測定はドレイン電圧 $V_{ds}=7.0V$ 、ゲート電圧 $V_{gs}=0.3V$ で実施した。空間フィルタのスリット幅は $1\mu m$ 以下に設定した。この発光の空間分布では、2つの発光エネルギー、 $1.438eV$ または $1.98eV$ に分光器を設定した。ここで、 $1.43eV$ はバンド端直接遷移再結合のエネルギーで、 $1.98eV$ は Γ 点と X 点の間接遷移再結合のエネルギーである。挿入図はソース、ゲート、およびドレイン電極の位置を示している。ルミネッセンスは2度測定した。2回目の測定は、ソース電極とドレイン電極の位置を交換して行った。2回目の測定“(R)”で示されている。

$1.43eV$ と $1.98eV$ の発光ピークは互いと明確に分離されて観測することができた。 $1.43eV$ のバンド端エネルギーの発光と、さらに高エネルギー領域である $1.98eV$ の発光について空間分布を取ると、明らかに $1.43eV$ の発光はゲート・ソース間から発生し、さらに $1.98eV$ の発光はゲート・ドレイン間から発生していた。重川らも、InP上InAlAs/InGaAs HEMTからにおいてInGaAsのバンド端発光がゲート・ソース間から発生していると報告している[20, 21]。高エネルギー領域の発光は、ゲート電極のドレイン端においてインパクトイオン化で発生したホットキャリアが直ちに再結合または伝導帯間遷移することにより発生していると考えられる。したがって、ダイオード動作でもFET動作でも観測できる。

山田らは、ゲート長 $0.32\mu m$ GaAs-MESFETにおいて、モンテカルロ法を用いてデバイス内の電子輸送を計算し、ゲート電極のドレイン端で90%の電子が伝導帯の上側の谷、 L 点または X 点にあると報告している[26]。今回測定したデバイスはさらにゲート長が短く、また、より高い印加電圧であるため、ほとんどすべての電子が伝導帯の上側の谷にある

と考えられる。ゲート電極のドレイン端では、それらの熱い電子と正孔はエネルギーを減少させないで、直ちに再結合し、ドレイン側から発光している。したがって、主要な再結合メカニズムが間接遷移による再結合であると考えられる。一方、GaAsのバンド端発光は、ゲート電極のドレイン端で発生し、ソース側にエネルギー緩和してきた正孔が、雰囲気温度に近い冷たい電子と再結合し、ソース側で発生していると考えられる。

以上の結果、逆バイアスされたショットキ接合ダイオードからは、高エネルギー領域からの発光しか観測されなかったものと結論できる。Dasらの実験で確認されたSi-MOSFETのバンド端発光も同様の説明が可能だとされている[25, 27]。

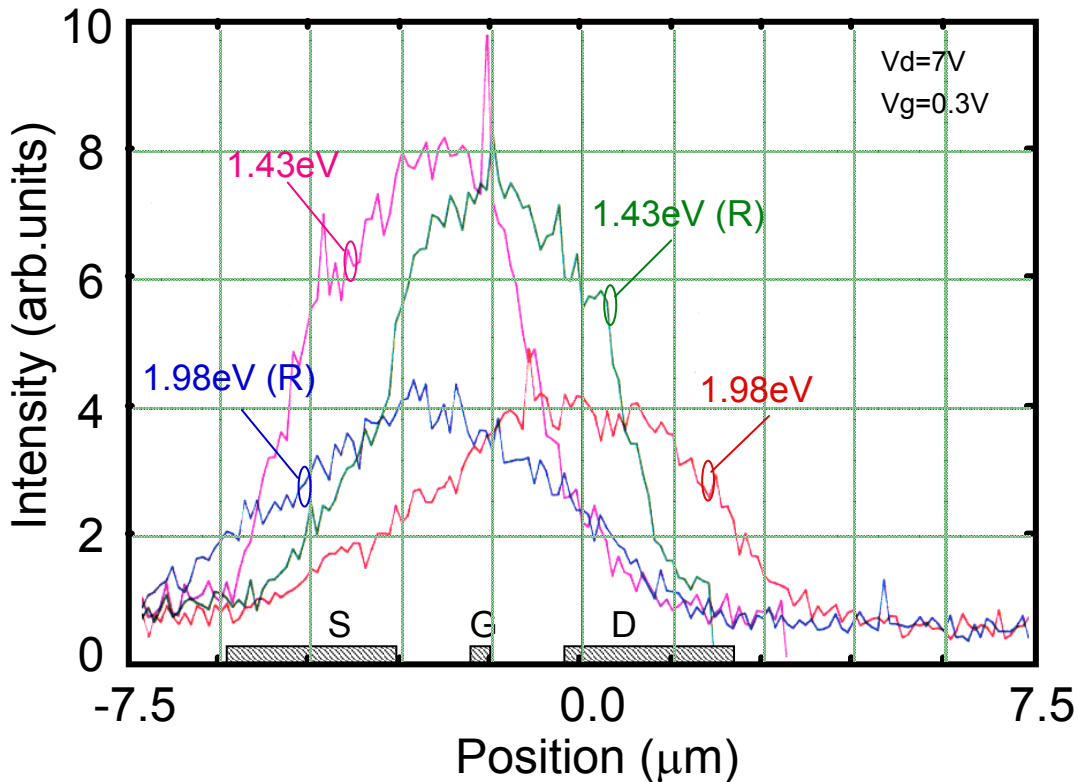


図6.13 GaAs-MESFETからのエレクトロルミネッセンスの空間分布
下の挿入図はソース、ゲート、およびドレイン電極の位置を示す。
シンボル“(R)”は、ソース電極とドレイン電極を入れ替えた後のルミネッセンス。

6.4.5 ルミネッセンスの積分強度比

図6.14は様々なゲート長のGaAs-MESFETにおける、バンド端エネルギー発光と高エネルギー領域の発光の積分強度比($I_{\text{bandgap}}/I_{\text{high}}$)を示す。バンド端エネルギー発光(I_{bandgap})の強度は1.40~1.65eVで、高エネルギー領域の発光は1.65~2.50eVで積分した。強度比は、ゲート長の大小で大きな違いはない。ドレイン電圧 V_{ds} が増加するにしたがい強度比は大きく増加し、ドレイン電圧 $V_{\text{ds}}=6\text{V}$ で1以上になる。バンド端発光はソース側に逃れた正孔に起因する発光であるから、バンド端エネルギー発光強度 I_{bandgap} はソース領域に向かって流れる正孔の電流に比例している。また、電氣的に測定されたゲート電流は、ショットキ障壁をリークした電子による電流とゲート側に遷移した正孔による電流に依存し、高エネルギー領域の発光強度 I_{high} は、ゲート側に流出した正孔に関連するものと考えられる。

このデバイスの場合には、準ブレイクダウン状態のドレイン電圧 $V_{\text{ds}}=5\text{V}$ ではバンド端

発光もほとんど検出されないため、インパクトイオン化で発生した正孔はほぼすべてゲートに流入すると考えられ、Huiらの仮定が当てはまる。しかし、ドレイン電圧 $V_{ds}=6V$ 以上でドレイン電流が急激に増加するブレイクダウン状態では、異なった過程となる。バンド端エネルギー発光強度が増加し、強度比($I_{bandgap}/I_{high}$)は $V_{ds}=6V$ で1以上となる。つまり、ソース側に向かった正孔電流が支配的になったのを示す。したがって、Huiの仮定はブレイクダウンが発生することができるくらい高いドレイン電圧では有効でないと言える。さらに、図6.7において、ダイオード逆方向電流よりも低いゲート・ドレイン間電圧 V_{gd} で、FET動作状態のゲート電流が飽和傾向になるのは、ソース側へ逃げる正孔が増加するためと考えられる。

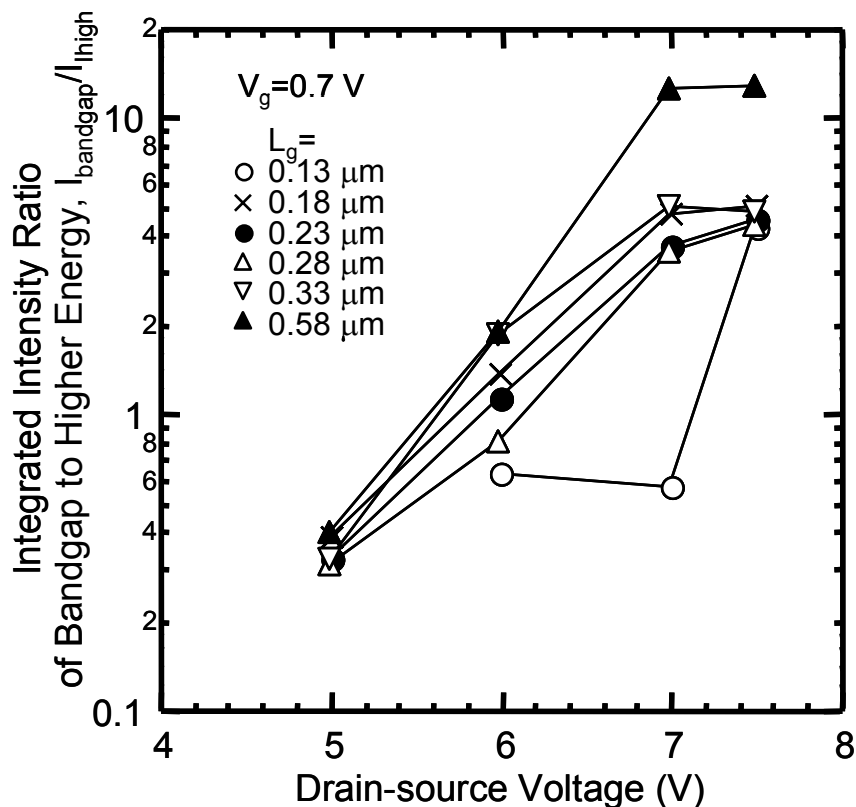


図6.14 ゲート長 $0.13 \mu m \sim 0.58 \mu m$ のGaAs-MESFETにおけるバンド端エネルギー発光 $I_{bandgap}$ と高エネルギー領域発光 I_{high} の積分強度比

6.4.6 等価キャリア温度

ルミネッセンスのエネルギー依存性に見るように、高エネルギー領域の発光は、いくつかのピークがあり、指数関数的な振る舞いを示さないが、バンド端エネルギー発光は指数関数的に減衰している。Budeらによるシミュレーションによれば、再結合に起因する発光が支配的なメカニズムであるとき、発光スペクトルはキャリア温度の関数として指数関数的に減衰することが確認されている[25]。したがって、バンド端エネルギー発光の裾野から等価的なキャリア温度が見積ることが出来る。

前述のように、バンド端発光はエネルギー緩和してきた正孔と冷えた電子の再結合に起因する。インパクトイオン化で発生した熱い正孔はエネルギーを緩和しながらソース領域にドリフトする。したがって、見積られたキャリア温度はソース領域における正孔の温度を反映している。図6.15はバンド端エネルギー発光の裾野から見積った等価キャリア

温度のドレイン電圧依存性を示す。

ゲート長は $0.13\ \mu\text{m}$ から $0.58\ \mu\text{m}$ の6種類である。バイアス条件は、ゲート電圧 $V_{gs}=0.7\text{V}$ のフルオープン、ドレイン電圧 V_{ds} は6から 7.5V である。ドレイン電圧 $V_{ds}=5\text{V}$ では各ゲート長ともバンド端発光は明確に認められず温度見積りが不可能であった。また、ゲート長 $0.13\ \mu\text{m}$ のFETは、しきい値 V_{th} が -1V と短チャネル効果が顕著であり、発生した正孔が基板側へリークし、ゲート電極ドレイン端における電場も減少し、ドレイン電圧 V_{ds} が 7V 以下ではバンド端発光が観測されなかった。図6.15から分かるように等価キャリア温度はドレイン電圧とともに急激に上昇するとともに、ゲート長の短縮でも上昇する。ドレイン電圧 $V_{ds}=7.5\text{V}$ において、ゲート長 $0.58\ \mu\text{m}$ で 690°C であったキャリア温度が、ゲート長 $0.13\ \mu\text{m}$ では 1170°C と 500°C 近く上昇する。ここで求めた等価キャリア温度は正孔がエネルギー緩和した後の温度であるため、インパクトイオン化が生じるゲートのドレイン端ではさらにホットになっていると考えられる。

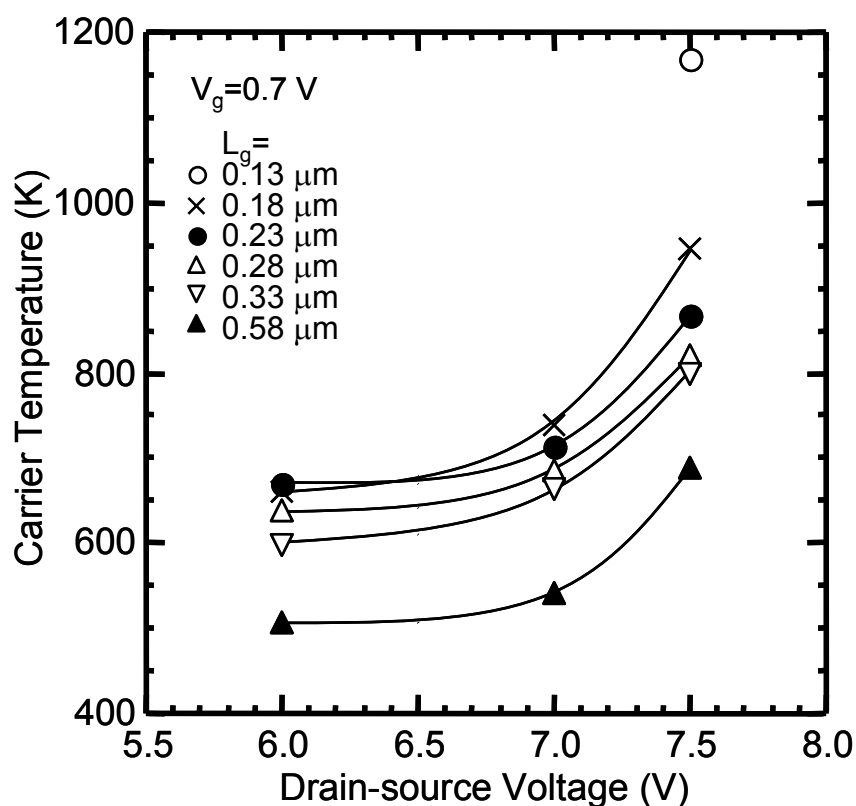


図6.15 バンド端発光から算出した等価キャリア温度のドレイン電圧依存性
ゲート長は $0.13\sim 0.58\ \mu\text{m}$ 。印加バイアスは $V_{gs}=0.7\text{V}$ と $V_{ds}=6\text{V}\sim 7.5\text{V}$ 。

6.5 むすび

エンハンスメント型の超高速GaAs-MESFETの発光スペクトル測定を行なった。また、バイアス条件は従来報告のような準ブレイクダウン状態ではなく、ドレイン電流も急激に上昇するブレイクダウン状態とし、GaAsバンド端エネルギーおよびそれ以上の1.4～2.5eVの範囲で測定を行なった。

【1】ゲート長 $0.18\mu\text{m}$ のGaAs MESFETからの発光スペクトルのエネルギー依存性は2つの領域に分割して見ることができる。1つはGaAsバンド端エネルギーを含む1.65eV以下のエネルギー領域であり、もう1つは1.65eVよりも高いエネルギー領域である。GaAsバンド端エネルギーの近傍では、際立ったピークが検出された。また、1.65eVよりも高いエネルギー領域では、ブロードな発光の中に2つのピークと1つの肩が検出できた。これらのピークは、チャンネルを覆うPECVDで作製した SiO_2 などの表面再結合では説明できないことから、チャンネル内部の発光を反映している。

【2】この2つのピークはインパクトイオン化で発生した Γ 点付近のホットな正孔とL点またはX点付近のホットな電子との再結合であると考えられる。さらに、7.5V程度の高ドレイン電圧でピークが消失することから、高エネルギー領域の発光スペクトルは、ホットな電子の伝導帯間遷移に起因する発光と再結合に起因する発光が重なり合って形成されていると考えられる。

【3】発光の空間分布測定とショットキ接合ダイオードからの発光測定から、GaAsバンド端の発光はインパクトイオン化で発生した正孔がエネルギー緩和してソース側で冷えた電子と再結合するために生じることが確認された。ブレイクダウン状態では、インパクトイオン化で発生した熱い正孔で、ソース側に向かう正孔電流が顕著になる。これは、インパクトイオン化によってつくられた正孔は、ほとんどゲート電極に集まるとするHuiの仮定に反する結果である。準ブレイクダウン状態では、Huiの仮定は有効であるが、ブレイクダウン状態ではもはや有効ではないと考えられる。

参考文献

- [1] A Toriumi, M. Yoshimi, M. Iwase, Y. Akiyama, and K. Taniguchi, "A Study of Photon Emission from n-Channel MOSFET's," *IEEE Trans. Electron Devices*, vol. 34, pp. 1501-1508, Jul. 1987.
- [2] K. Hublitz and S. A. Lyon, "Light Emission from Hot Carriers in Si MOSFET's," *Semiconductor Science Technol.*, vol. 7, pp. B567-B569, 1992.
- [3] M. Herzog, M. Schels, F. Kock, C. Moglestue, and J. Rosenzweig, "Electromagnetic Radiation from Hot Carriers in FET Devices," *Solid-State Electron.*, vol. 32, pp. 1065-1069, 1989.
- [4] J. Haruyama, N. Goto, and Y. Nashimoto, "Photoemissions Related to the Kink Effect in GaAs Metal-Semiconductor Field-Effect Transistors with AlGaAs/GaAs Buffer Layer," *Appl. Phys. Lett.*, vol. 63, pp. 648-650, 1993.
- [5] H. P. Zappe, "Hot-electron Electroluminescence in GaAs Transistors," *Semiconductor Science Technol.*, vol. 7, pp. 391-400, 1992.
- [6] E. Zanoni, S. Bigliardi, M. Manfredi, A. Paccagnella, P. Pisoni, P. Telaroli, C. Tedesco, and C. Canali, "Correlation between Impact Ionization, Recombination and Visible Light Emission in GaAs MESFET's," *Electron. Lett.*, vol. 27, pp. 770-772, 1991.
- [7] A. Neviani, C. Tedesco, E. Zanoni, C. Canali, M. Manfredi, A. Cetronio, "Impact Ionization and Light Emission in GaAs Metal-Semiconductor Field Effect Transistors," *J. Appl. Phys.*, vol. 74, pp. 4213-4220, 1993.
- [8] R. Ostermeir, F. Koch, H. Brugger, P. Narozny, and H. Dambkes, "Band-Structure Effects in the Hot-Carrier Emission Spectrum of GaAs FET Devices," *Semiconductor Science Technol.*, vol. 9, pp. 659-661, 1994.
- [9] E. Zanoni, S. Bigliardi, R. Capelletti, P. Lugli, F. Magistrali, M. Manfredi, and C. Canali, "Light Emission in AlGaAs/GaAs HEMT's and GaAs MESFET's Induced by Hot Carriers," *IEEE Electron Device Lett.*, vol. 11, pp. 487-489, 1990.
- [10] H. P. Zappe and D. J. As, "Spectrum of Hot-Electron Luminescence from High Electron Mobility Transistors," *Appl. Phys. Lett.*, vol. 59, pp. 2257-2259, 1991.
- [11] E. Zanoni, M. Manfredi, S. Bigliardi, A. Paccagnella, P. Pisoni, C. Tedesco, and C. Canali, "Impact Ionization and Light Emission in AlGaAs/GaAs HEMT's," *IEEE Trans. Electron Devices*, vol. 39, pp. 1849-1857, Aug. 1992.
- [12] C. Tedesco, E. Zanoni, C. Canali, S. Bigliardi, M. Manfredi, D. C. Streit, and W. Anderson, "Impact Ionization and Light Emission in High-Power Pseudomorphic AlGaAs/InGaAs HEMT's," *IEEE Trans. Electron Devices*, vol. 40, pp. 1211-1214, Jul. 1993.
- [13] G. Berthold, E. Zanoni, C. Canali, M. Pavesi, M. Pecchini, M. Manfredi, S. R. Bahl, and J. A. del Alamo, "Impact Ionization and Light Emission in InAlAs/InGaAs Heterostructure Field-effect Transistors," *IEEE Trans. Electron Devices*, vol. 42, p. 752-759, Apr. 1995.
- [14] J. Woodhead, M. Reddy, and J. P. R. David, "Electroluminescence from InGaAs/InAlAs HEMT's," *Electron. Lett.*, vol. 30, pp. 1181-1183, 1994.
- [15] F. Aniel, P. Boucaud, A. Sylvestre, P. Crozat, F. H. Julien, and R. Adde, "Electroluminescence Spectroscopy of AlGaAs/InGaAs and AlGaAs/GaAs High-Electron

- Mobility Transistors," J. Appl. Phys., vol. 77, p. 2184-2189, 1995.
- [16] K. H. Hui, C. Hu, P. George, and P. K. Ko, "Impact Ionization in GaAs MESFET's" IEEE Electron Device Lett., vol. 11, pp. 113-115, 1990.
- [17] K. Onodera, M. Tokumitsu, M. Tomizawa, and K. Asai, "Effect of Neutral Buried p-Layer on High Frequency Performance of GaAs MESFET's," IEEE Trans. Electron Devices, vol. 38, pp. 429-436, Mar. 1991.
- [18] M. Hirano, K. Nishikawa, I. Toyoda, S. Aoyama, S. Sugitani, and K. Yamasaki, "Three-Dimensional Passive Circuit Technology for Ultra-Compact MMIC's," IEEE MTT-s Tech. Dig., pp. 1447-1450, 1995.
- [19] P. G. Pai, S. S. Chao, and Y. Takagi, "Infrared Spectroscopic Study of SiO_x Films Produced by Plasma Enhanced Chemical Vapor Deposition," J. Vac. Sci. Technol., vol. A4, p. 689-694, 1986.
- [20] N. Shigekawa, T. Enoki, T. Furuta, and H. Ito, "Electroluminescence of InAlAs/InGaAs HEMT's Lattice-Matched to InP Substrates," IEEE Electron Device Lett., vol. 16, p. 515-517, 1995.
- [21] N. Shigekawa, T. Enoki, T. Furuta, and H. Ito, "High-Energy and Recombination-Induced Electroluminescence of InAlAs/InGaAs HEMT's Lattice-Matched to InP Substrates," IEEE Trans. Electron Devices, vol. 44, p. 513-519, Apr., 1997.
- [22] K. Yokoyama, M. Tomizawa, A. Yoshii, and T. Sudo, "Semiconductor Device Simulation at NTT," IEEE Trans. Electron Device, vol. ED-32, p. 2008, 1985.
- [23] F. Capasso, "Physics of Avalanche Photodiode," Semiconductors and Semimetals, vol. 22, part. D, p. 2, 1985.
- [24] J. R. Chelikowsky and M. L. Cohen, "Nonlocal Pseudopotential Calculations for the Electronic Structure of Eleven Diamonds and Zinc-Blend Semiconductors," Phys. Rev. B, vol. 14, pp. 556-582, 1976.
- [25] J. Bude, N. Sano, and A. Yoshii, "Si Hot-carrier Luminescence," Phys. Rev. B, vol. 45, pp. 5848-5856, 1992.
- [26] Y. Yamada, "A Study on Nonstationary Electron Transport in Submicron BP-SAINT GaAs MESFET's Using an Ensemble Monte Carlo Simulation," IEIEC Trans., vol. E74, pp. 1648-1655, Jun., 1991.
- [27] N. C. Das and B. M. Arora, "Luminescence Spectra of an n-Channel Metal-Oxide-Semiconductor Field-Effect Transistor at Breakdown," Appl. Phys. Lett., vol. 56, p. 1152 (1990).
- [28] K. Onodera, K. Nishimura, and T. Furuta, "Hot-Carrier Luminescence in Sub-Quartermicrometer High-Speed GaAs MESFET's," IEEE Trans. Electron Devices, vol. 46, pp. 2170-2177, 1999.

第7章 新マイクロ波線路とバンプ実装

7.1 まえがき

マイクロ波半導体デバイスの性能が向上し、処理する信号またはキャリアが高周波になると、デバイス周りで寄生効果、伝送損失、高次モード伝搬が顕著となる。MMICの高性能化のためには、能動素子単体の高性能化だけでなく、能動素子の入出力信号を伝送するマイクロ波線路、インダクタ、キャパシタなどの受動素子、実装技術およびパッケージ技術などの総合技術が非常に重要な役割を果たす。特に、ミリ波帯、サブミリ波帯などの超高周波では信号波長が短いため、マイクロ波線路やワイヤボンディングの寄生効果が顕著となる。

MMICの構成法としては、半導体基板上に作り込むマイクロ波線路の構造によって幾つか提案されている。その中でも、セラミックなどの誘電体基板上マイクロ波受動回路から派生したマイクロストリップ線路が最も一般的に採用されているマイクロ波線路である。マイクロ波回路を構成する半導体表面に対し、裏面に接地導体を形成する構成であり、基板表面の接地のためにビアホールを形成する。この他に、ユニプレーナ型MMICはCPW線路(コプレーナ線路)とSLT線路(スロット線路)を半導体基板表面に配置し、エアブリッジを用いて線路間の結合、分岐を行う回路構成法である。接地導体が基板上面にあるためビアホールを用いることなく良好な接地ができ、線路幅・線路間隔の縮小が可能であり、回路の小型化に適するという特長がある。ユニプレーナ型MMICでは、マイクロストリップ型MMICに比較して、 $1/3 \sim 1/5$ のチップを実現している。

本章では、MMIC用受動素子の高性能化という見地から、一層の小型化、高周波化を可能とする新しいマイクロ波配線、受動回路、実装方法の提案、設計およびその試作結果について述べる。7.3節では、多層化配線技術を用いた縦型U字配線を用いたCPW線路および縦型インダクタについて述べる。小型、高密度、高集積な3次元MMICに同時に組み込める技術であり、ともに基板占有面積の縮小に大きな効果があった。7.4節では、不要な基板漏洩電磁界に起因する高次モードやそれにともなう基板内電磁界の共振を、110GHzまで抑止する新しいマイクロマシン線路(GCBCPW)の提案、製造方法、そしてマイクロ波特性について述べる。この新しいマイクロ波線路は光導波路との整合性が良好であり、微小遮蔽構造を採用することで、不要波の発生を抑圧することが可能となった。7.5節では、熱処理温度に制約があるGaAsやInPなどの化合物半導体に適用可能な新しい鉛フリーはんだを用いたマイクロバンプボンディングの設計、製造とその高周波特性について述べる。

7.2 マイクロ波線路

マイクロ波集積回路に用いられる基本的なマイクロ波線路を図7.1に示す。

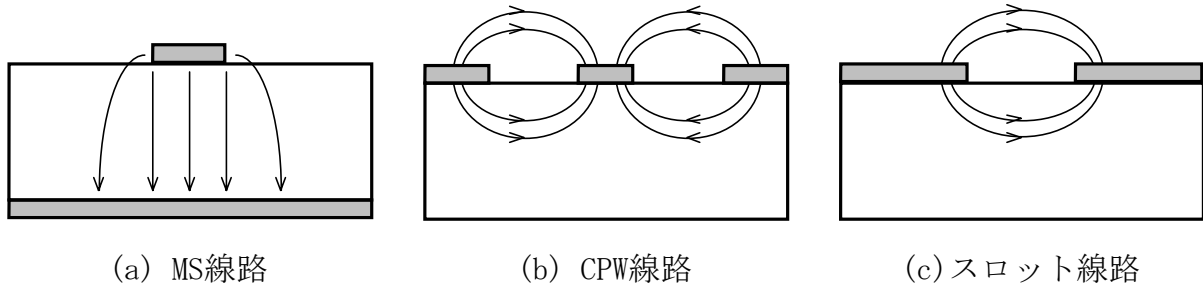


図7.1 基本的なマイクロ波線路

A. MS線路

MS線路(マイクロストリップ線路)は、印刷技術によってテフロンガラスファイバやアルミナセラミックスなどの誘電体基板上に作製され、マイクロ波集積回路で最も利用実績があり、設計技術も成熟している。基板表面に信号線を、基板裏面に接地導体を設けた構造となっている。その特徴は、

- 1) 基本伝送モードは、疑似TEM波である。一般に波長に比較して線路寸法が小さいので実際的にはTEM波とみなせる。電磁界の多くは基板内に分布しており、周波数分散も小さい。
- 2) インピーダンスなどの線路特性は、信号線路幅 W 、基板厚み h 、基板比誘電率 ϵ_r で決定される。基板厚みは機械的強度を保つために $100\sim 150\mu\text{m}$ 必要であるため、インピーダンスはほとんど信号線路幅で決ってしまい、設計自由度が小さい。
- 3) 基板表面に作製した回路の接地には基板を貫くビアホールが必要である。
- 4) 不要モードとしては、表面波モード(最低次の TM_0 は直流から伝搬)を考慮する必要がある。

B. CPW線路

CPW線路(コプレーナ線路)は、基板表面に信号線とグランドを設けた共平面型構造である。基板裏面フリーであるため、半導体プロセスとの融合性がよい。また、基板の機械的強度を保つために基板裏面に接地導体を配したCBCPW線路(グランドコプレーナ線路)や、誘電体基板を多層膜にしたCPW線路など、様々な応用線路がある。各種CPW線路のインピーダンス解析式を付録Dに示す。その特徴は、

- 1) 基本伝送モードは、疑似TEM波である。誘電体基板外への電磁界分布比率が高く、MS線路と比較すると、実効誘電率が低い。十分低い周波数では、基板と空気の比誘電率の和の半分となる。このため、線路の周波数分散は、MS線路よりもやや大きくなる。
- 2) インピーダンスなどの線路特性は、信号線路幅 W 、スロット幅 G (信号線路と接地導体までの間隔)、基板比誘電率 ϵ_r で決定される。基板厚さ h への依存性は小さい。インピーダンスは、信号線路幅 W とスロット幅 G の2つのパラメータで決り、設計自由度が

大きい。

- 3) 全線路幅は $W+2G$ は線路損失の許容範囲内まで狭く設計できる。また、接地導体が基板表面にあり、隣接線路間に配置できるため、接地導体幅が比較的狭くてもクロストークが低減でき、小型化・高密度化には有利である。
- 4) 接地のためのビアホールが不要である。
- 5) 不要モードとしては、MS線路と同様の表面波モード、スロット線路モード、マイクロストリップ線路モード、平行平板モードなどがある。スロット線路モードはCPW線路の偶モード(基本波は奇モード)であり、両側接地導体を同電位にすることで回避できる。マイクロストリップ線路モード、平行平板モードは、誘電体基板内部で発生するモードであり、表裏面の接地導体を高周波で短絡することで抑止できる。

C. SLT線路

SLT線路(スロット線路)は、基板表面に2本の線路を設けた構造であり、CPW線路と同様に基板裏面フリーである。2本の線路は電位が逆極性の関係で変化して平衡伝送線路となる。その特徴は、

- 1) 基本伝送モードは方形金属導波管の基本モード TE_{10} に類似しており、疑似TEM波と扱うことはできず、周波数分散も大きい。
- 2) 平衡モードであるために、高帯域な直列(逆相)の分岐・合成が容易に実現できる。
- 3) 電磁界の空間的な分布範囲が比較的広いためクロストークに留意する必要がある。

7.3 縦型U字配線

マイクロ波集積回路には、アルミナセラミックスなどの誘電体基板で汎用されているMS線路を用いたMS線路型の他に、CPW線路やSLT線路などの共平面型線路を用いたユニプレーナ型構造が廣田、村口らによって提案されている[1, 2]。ユニプレーナ型MMICでは、CPW線路などの共平面型線路とともに、異種線路間モード変換、分岐・合成回路などを使用して回路性能向上、多機能化、小型化を図ることができる。その主な特徴は、

- 1) CPW線路やSLT線路などの共平面型線路を用いているため、狭い線路設計が可能であり、チップ面積の小型化、高集積化に有利である。
- 2) 基板表面のみを使用するので、基板裏面研磨やビアホール加工が不要であり、製造コスト低減が可能である。
- 3) 接地導体が基板表面にあるため、半導体マイクロ波デバイスの接地が、ビアホールなどの寄生リアクタンスなしで実施できるため、特に高周波特性に優れる。

上記の特徴を活かして、ユニプレーナ型MMICは、MS線路型MMICに比較して、1/3~1/5のチップを実現している[3, 4]。さらに、チップサイズの大幅な小型化・高集積化を目指して、相川、徳満らによって3次元MMICが提案されている。GaAs基板やSi基板上にポリイミドなどの誘電体薄膜と配線層を積層して、受動回路を高密度に構成することで、超小型のMMICを実現するものである[5]。処理する信号周波数帯域によっては、1/10以下の超小型化が可能である。さらに3次元MMICの小型化、高密度化を推進するために、縦型のマイクロ波配線技術を開発した。約 $10\mu\text{m}$ と比較的厚いポリイミドに溝を形成し、その側壁を利用したU字形のマイクロ波配線である。誘電体のポリイミドと金属配線層を積層して形成する3次元多層マイクロ波配線と融合することで、GaAs-MMICをさらに小型化・高機能化することが可能である[5-7]。

7.3.1 製作方法

3次元受動回路構造を作製するために、GaAs MMIC用多層Au配線技術を開発した。キーとなるプロセス技術は、マイクロマシン加工法に似た、垂直なU字配線作製法である。製作フローを図7.2に示す。

- 1) まず、 $10\mu\text{m}$ 厚のポリイミド絶縁膜を堆積し、その中に深いトレンチパターンを形成する。ポリイミドのサイドエッチを防ぐために、エッチング加工には O_2 とHeの混合ガスを用いた平行平板型反応性イオンエッチング(RIE)を使用した。 O_2 とHeのガスフロー比は2対1であり、ガス圧力は0.03Torr、高周波電力密度は $0.2\text{W}/\text{cm}^2$ である。 $10\mu\text{m}$ 厚のポリイミド絶縁膜の下に堆積したAu下層配線は、エッチング時のストッパーとして作用する。 O_2 のみをエッチングガスとすると深いトレンチ溝の底に残留物が残るが、Heイオンのスパッタリング効果で、残留物をきれい除去することが可能である。
- 2) 次に、低電流密度のAuメッキを用いて、深いトレンチ溝の表面に沿って、 $1\mu\text{m}$ 厚さのAuメタル側壁を形成した。電気メッキの前処理として、スパッタリング法を用いて、深いトレンチ溝の表面に、薄くWSiN、およびAuを連続的にコーティングした。メッキの電流密度を $0.2\text{mA}/\text{cm}^2$ と低くすることで、Auは均一性に富み、付きまわりよく深いトレンチ溝をコーティングできた。低電流密度としたことで、Auの粒子径が比較的大きくなり、ボイドなどの欠陥が減少した結果による。

3) 深いトレンチ溝の表面をコーティングしたAuを、フォトレジストをマスクにArイオンミリングを用いてパターンニングした。Auメッキの前処理として下地にコーティングしたWSiNはミリングのストッパーとして作用する。

4) 最後に、フォトレジストマスクは O_2 ガスを用いたRIEによって除去し、その後、ミリングストッパーであるWSiNは SF_6 ガスを用いたRIEで除去する。WSiNは O_2 ガスを用いたRIE処理時に、ポリイミドを保護する働きもする。この製作工程はプロセスシミュレーションツールPARADISE[8]で設計した。WSiNゲートGaAs MESFET技術に適用するために、通常、配線層として、GaAs基板の上に6層配線を積層形成する。ここで、単位Au配線厚さが $1\mu m$ 、単位ポリイミド絶縁体層厚さが $2.5\mu m$ である。この場合、同時に、GaAs MESFETと金属-絶縁膜-金属(MIM)コンデンサは、GaAs基板の上に第1層配線と第2層配線で形成する。このような6層配線構造の場合、図に示した $10\mu m$ 厚さのU字形配線は、第2層配線を下層配線に、第6層配線をU字形配線とすることで形成することが可能である。したがって、このU字形配線技術は、通常の平坦な多層配線技術とコンパチブルであり、回路設計技術者に広範なデザインオプションを提供するものである。

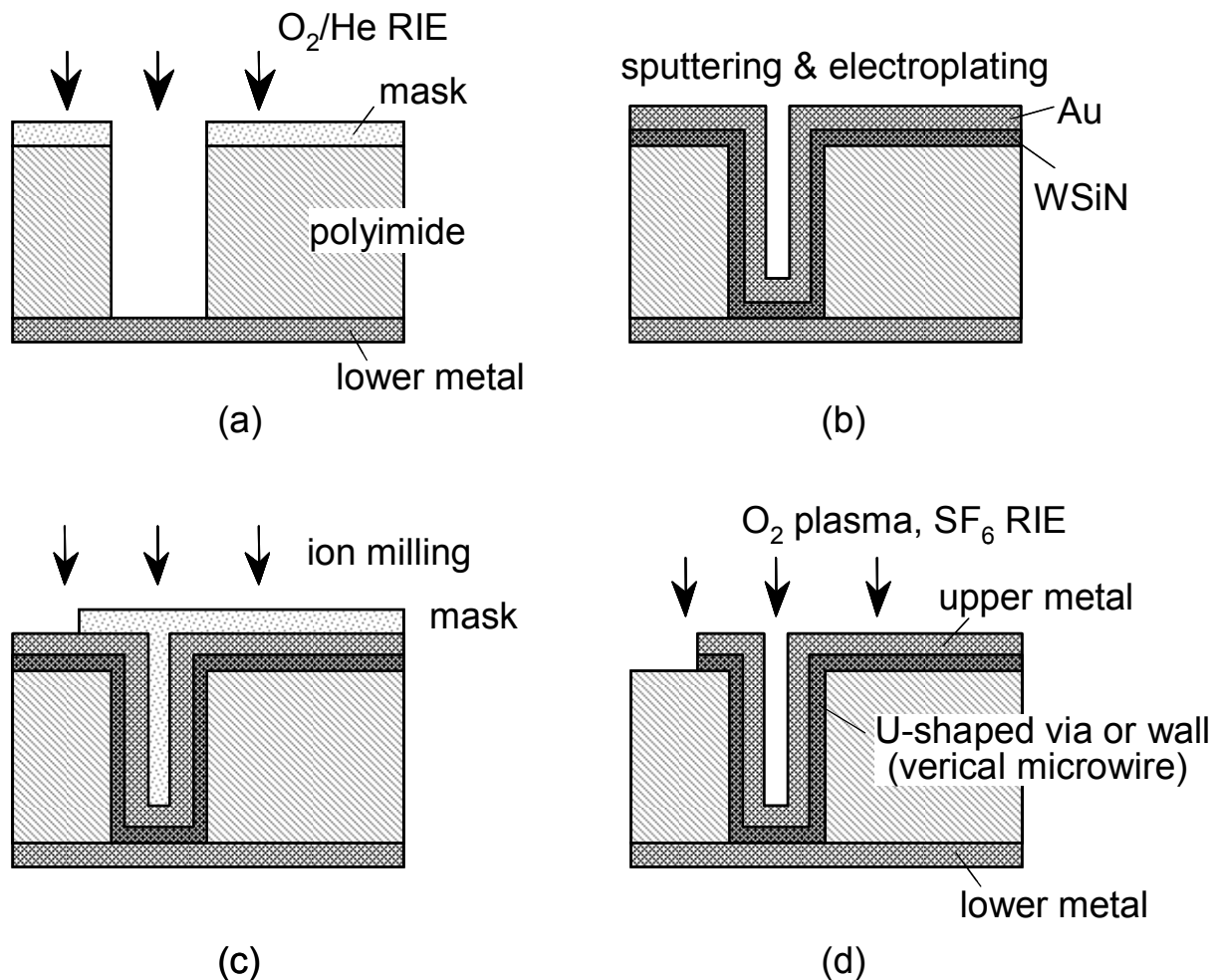


図7.2 縦型U字配線のプロセスフロー

(a) $10\mu m$ 厚ポリイミドに溝パターンを形成、(b) Au電界メッキを用いて金属サイドウォールを形成、(c) Auをイオンミリングで加工、(d) イオンミリング後に下地WSiNを SF_6 ガスRIEで除去。

7.3.2 小型マイクロ波線路

縦型U字配線を用いたCPW線路の検討を行った[41]。図7.3は、有限要素法を用いてシミュレーションしたCPW線路の線路高さ依存性である。線路幅は $4\mu\text{m}$ とした。縦型配線を用いて線路高さを高くした場合、インピーダンス 50Ω とするためのギャップ S は広くなる。配線高さを $1\mu\text{m}$ から、 10 、 $20\mu\text{m}$ と高くすると、ギャップ S は $4\mu\text{m}$ から、 11 、 $19\mu\text{m}$ と広くなる。電磁界の空間分布がGaAs基板から配線間に移るためであり、同時に、実効誘電率は 6.8 から、 3.9 、 3.5 と低くなる。線路幅 $4\mu\text{m}$ 、線路高さ $10\mu\text{m}$ の縦型配線のCPW線路幅は $W+2S=26\mu\text{m}$ となる。線路の伝送損失がCPW線路の中心導体の断面積に比例すると仮定すると、通常線路では線路幅 $20\mu\text{m}$ 、線路高さ $2\mu\text{m}$ が必要となり、CPW線路幅は $W+2S=54\mu\text{m}$ となる。縦型配線を用いることで、線路の正味の占有面積を $1/2$ に削減できる。また、縦型配線を使用した場合、電磁界の空間分布が電極間のギャップに移るため、基板GaAsの誘電体損失の影響を受けなくなるという利点がある。

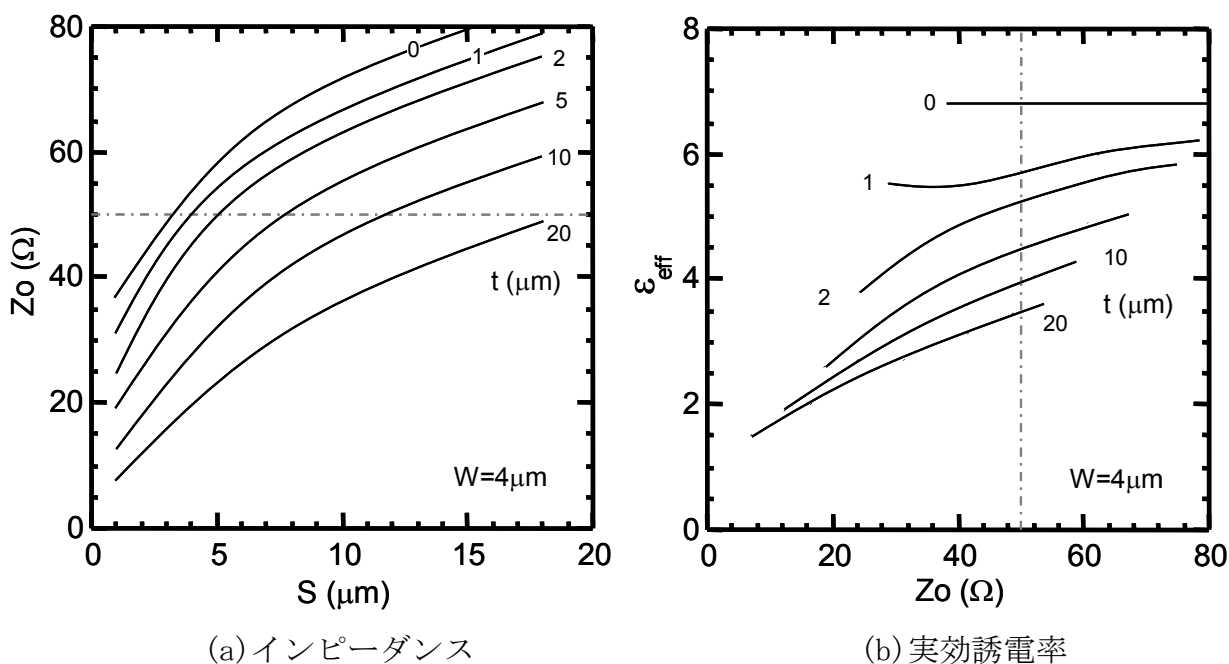
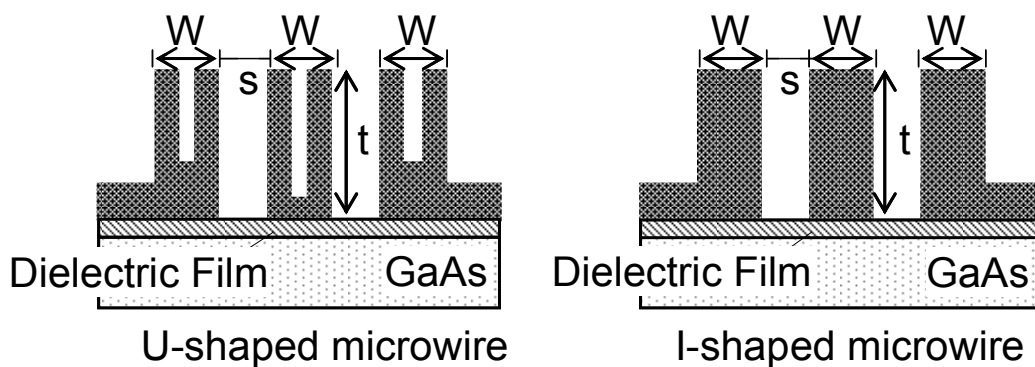
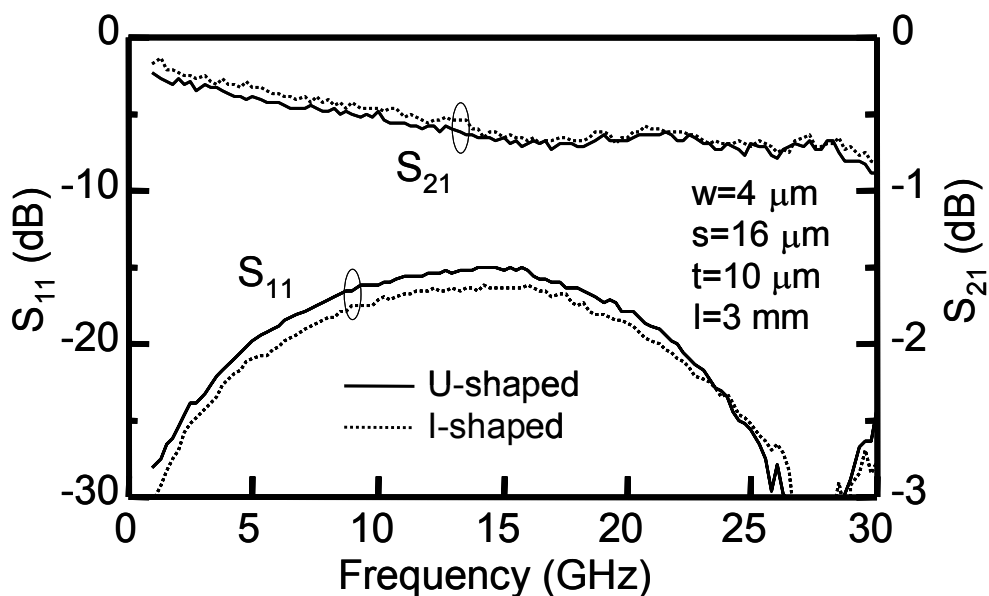


図7.3 CPW線路の配線高さ依存性。

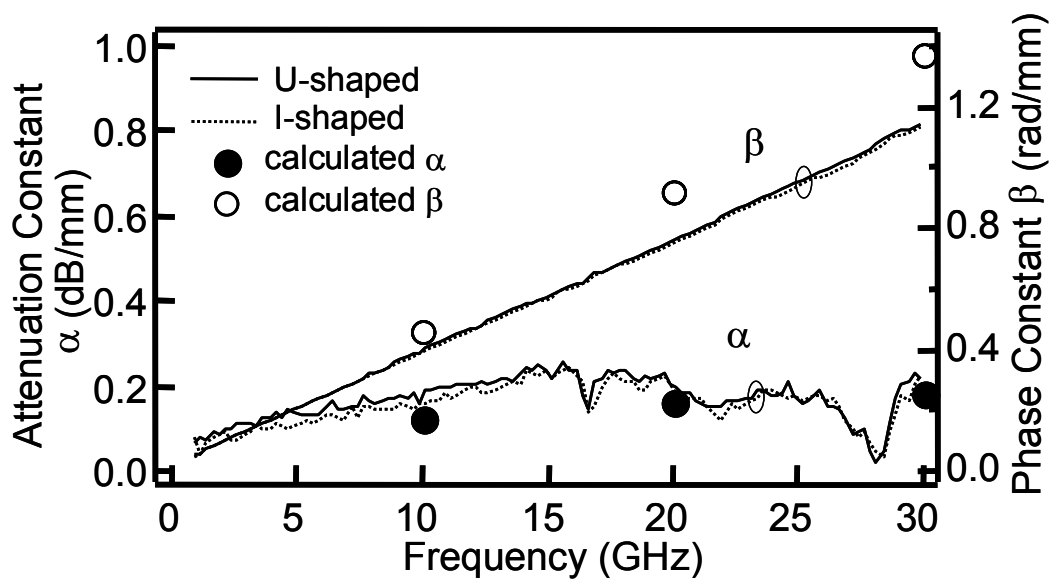
図7.4(a)に縦型U字配線を用いて作製したCPW線路の断面図を示す。比較として、同時に作製した縦型I字配線も示す。マイクロ波線路幅 W 、ギャップ S 、高さ t は、それぞれ、 4 、 10 、 $16\mu\text{m}$ であり、メタル厚さは $1.3\mu\text{m}$ である。縦型I字マイクロ波配線はU字配線と比較してメタル量が多く、直流直列抵抗が低減されている。しかし、図7.2に示したU字配線作製プロセスフローでI字配線を作製した場合、線路金属内にボイド（空孔）が残るため、信頼性に乏しく、また、通常の高層配線との製作プロセスの互換性を確保することも困難である。作製した縦型マイクロ波CPW線路を、オンウエハ上で、マイクロ波プローブ、HP8510Cネットワークアナライザを用いて周波数測定した。図7.4(b)に2ポートを用いて測定したSパラメータの周波数依存性を示す。断面積は $1/3$ であるが、U字配線はI字配線と同等の伝搬特性が得られた。CPW線路の電磁界は信号線とグランドとの間のギャップに集中するため、I字配線の内部メタルは、伝搬特性向上にはあまり寄与していないと考えられる。また、表皮効果について考える。導体中の伝搬定数 γ は、次式で与えられる。



(a) U字配線とI字配線を用いたCPW線路の断面図



(b) Sパラメータの周波数特性



(c) 伝搬定数の周波数特性

図7.4 縦型U字配線を用いたCPW線路の特性。

$$\gamma = \sqrt{j\omega\mu(\sigma + j\omega\varepsilon)} \tag{7.1}$$

ここで、 ω は角周波数、 μ は透磁率、 ε は誘電率、 σ は伝導率である。導体であるから $\sigma \gg \omega\varepsilon$ とすると、次式のように減衰定数 α と位相定数 β に分けることができる。

$$\gamma \approx \frac{1+j}{\sqrt{2}} \sqrt{\omega\mu\sigma} = \sqrt{\frac{\omega\mu\sigma}{2}} + j\sqrt{\frac{\omega\mu\sigma}{2}} \equiv \alpha + j\beta. \tag{7.2}$$

表皮厚さ δ を $\alpha\delta=1$ となる深さと定義しすると、次式が得られる。

$$\delta = \sqrt{\frac{2}{\omega\mu\sigma}} \tag{7.3}$$

Auの場合、抵抗率 $2.4 \times 10^{-8} \Omega\text{m}$ であるから、表皮厚さは $2.4 \mu\text{m}@1\text{GHz}$ 、 $0.78 \mu\text{m}@10\text{GHz}$ 、 $0.24 \mu\text{m}@100\text{GHz}$ となる。したがって、Au厚さ $1.3 \mu\text{m}$ であれば、5GHz以上の周波数において、I字配線の内部メタルは電磁界伝搬に寄与せず、U字配線と同等の導体損失となる。

図7.4(c)に減衰定数 α と位相定数 β の周波数依存性を示す。減衰定数 α と位相定数 β は、CPWモードで伝搬する電磁界としてTEM波を仮定し、長さの異なるマイクロ波線路で測定したSパラメータから算出した。I字配線については、有限要素法 (FEM) を用いたシミュレーションから求めた。シミュレーションから得られた値は実測値と十分良い一致を示している。位相定数 β にシミュレーション値と実測値で乖離があるが、これは、CPW線路下に敷いた誘電体膜SiNをシミュレーションにおいて考慮していなかったためである。伝搬損失は、ユニプレーナMMICで使用している従来形のCPW線路で、メタル厚さを $3 \mu\text{m}$ まで厚くした場合と同程度まで低く抑えられている [9, 10]。U字配線の場合、CPWのギャップを $11 \mu\text{m}$ とすれば、特性インピーダンス 50Ω を得ることが可能であり、従来形CPWの線路幅 $20 \mu\text{m}$ 、ギャップ $17 \mu\text{m}$ と比較すると、線路の正味の占有面積を1/2に削減できる。縦型U字線路配線を用いたCPW線路の寸法と伝搬損失を表7.1にまとめて示す。

表7.1 縦型配線の特性

	縦型U字配線	通常配線
寸法	W=4 μm G=11 μm	W=20 μm G=17 μm
損失	0.16dB/mm	0.15dB/mm

※特性インピーダンス 50Ω

7.3.3 小型化インダクタとフィルタ

縦型U字マイクロ波配線を用いて、小型インダクタを作製した。作製したスパイラルインダクタの電子顕微鏡写真 (SEM) を図7.5に示す。ここで、線路幅 W は $4 \mu\text{m}$ 、線路厚さ t は $10 \mu\text{m}$ 、線路間隔 G は $4 \mu\text{m}$ であり、線路の巻き数は4巻きと9巻きである。グラウンドがウエハ表面にあるユニプレーナMMICのレイアウトを用い、縦型U字線路の下層を第2層配線で、上層を第6層配線で作製するとともに、インダクタの片側ポートは第1層配線で作製し、縦型U字線路配線の下を潜る構造としている [9]

今回のインダクタ構造では、縦型U字配線間および周囲のポリイミドはドライエッチングで除去した。作製したインダクタはネットワークアナライザを用いてオンウエハで

評価した。同時にウエハ上に作製したオープン、ショート、ロードパターンを用いて、キャリブレーションを行うことで、インダクタパターン周囲の寄生要素および測定に関わる寄生抵抗、寄生容量を除去した。測定したインダクタンスのSパラメータは、HP-EEsof製の線形シミュレータTouchstoneを用いて、図7.6に示す集中定数等価回路にフィッティングした。

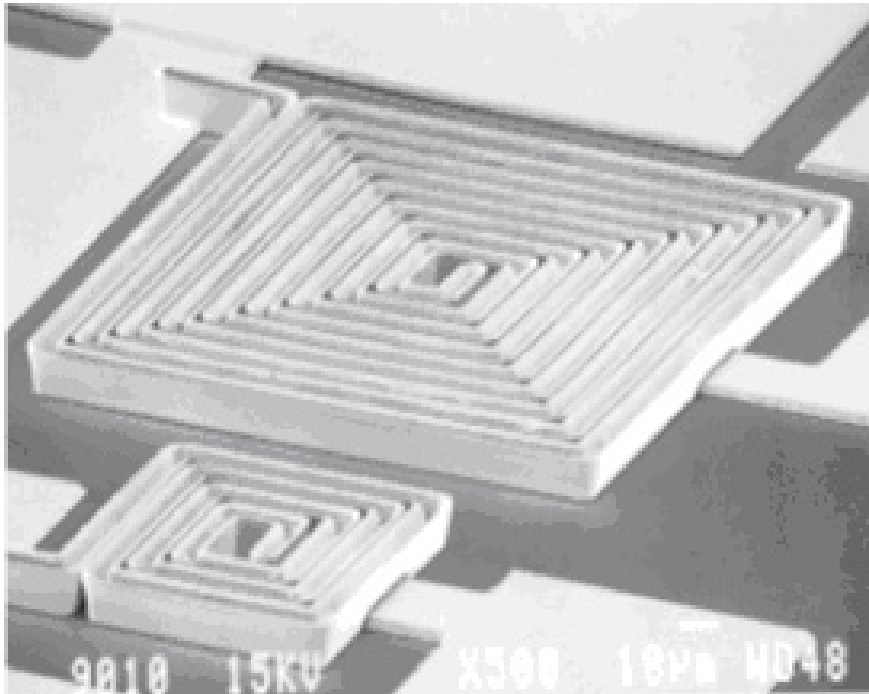


図7.5 スパイラルインダクタのSEM写真

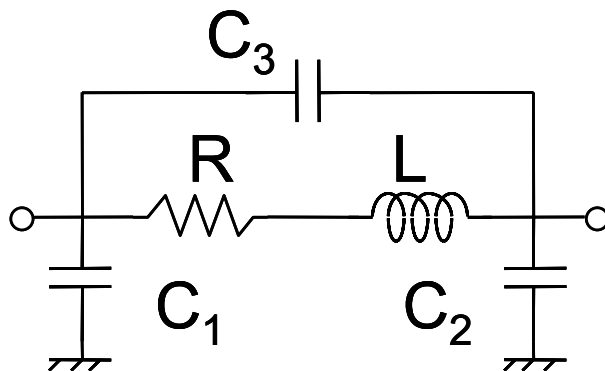
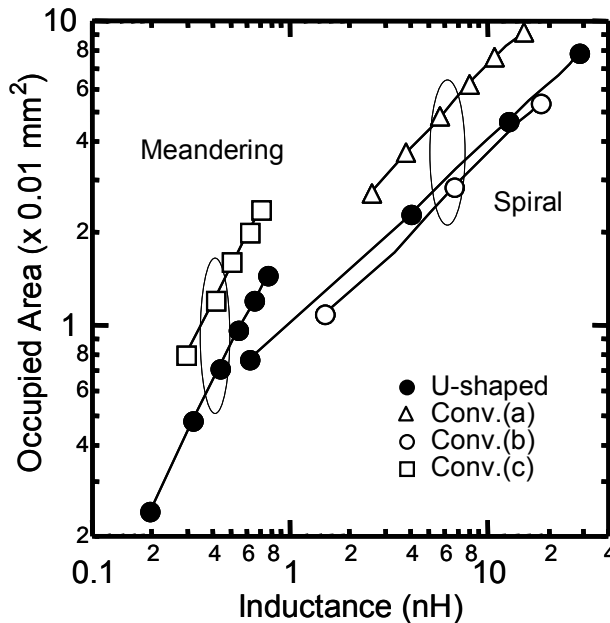


図7.6インダクタの集中定数等価回路

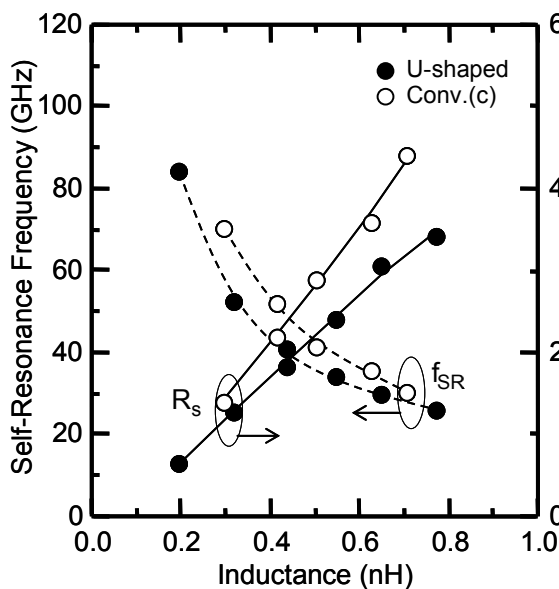
図7.7(a)はメアンダおよびスパイラルインダクタの占有面積のインダクタンス値依存性を示す。ここで、線路幅 $w=4\mu\text{m}$ 、線路間隔 $G=4\mu\text{m}$ 、線路高さ $t=10\mu\text{m}$ である。標準的な線路を用いて作製したインダクタの実測値も、参照として同図内に示す。標準的な参照線路(a)は、 $W=10\mu\text{m}$ 、 $G=4\mu\text{m}$ 、 $t=3.5\mu\text{m}$ であり、標準的なユニプレーナMMIC技術で作製してきた構造である[2]。参照線路(b)は、 $W=4\mu\text{m}$ 、 $G=4\mu\text{m}$ 、 $t=3\mu\text{m}$ 、参照線路(c)は、 $W=10\mu\text{m}$ 、 $G=10\mu\text{m}$ 、 $t=3\mu\text{m}$ である。これらの標準的な線路は第2層第3層配線をビアアレイで接続して作製され、インダクタの片側ポートは、第1層配線で作成し、第2層配線下に潜る構造となっている。図7.7(a)で示されるように、縦型U字線路を用いて作製したメアンダおよびスパイラルインダクタは標準的な線路(a)、(c)の1/2のサイズであり、標

準的な線路 (b) と同程度のサイズである。

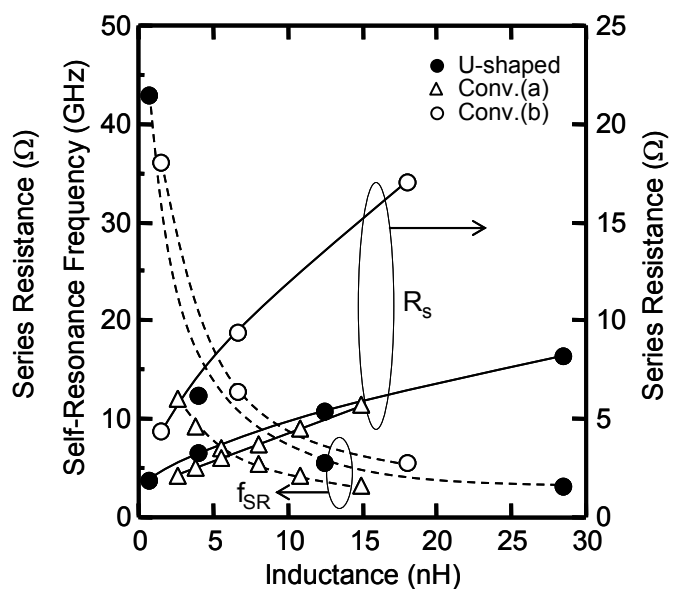
図7.7 (b) は、メアンダインダクタの自己共振周波数と寄生直列抵抗の周波数依存性を示す。周波数範囲0.5~50GHzにおいて実測したSパラメータを集中定数等価回路にフィッティングし、全周波数範囲において良好なフィッティングが行われた。線路の高さを稼ぐことで、縦型U字配線は寄生抵抗を効果的に減少させることが可能である。フィッティングから得られて寄生直列抵抗は標準的な線路 (c) の1/4である。



(a) 占有面積



(b) メアンダインダクタの自己共振周波数



(c) スパイラルインダクタの自己共振周波数

図7.7 インダクタの特性

インダクタの自己共振周波数 f_{SR} は、インダクタの片側ポートをグラウンドに接続した場合の次のような簡易な式から算出した。

$$f_{SR} = \frac{1}{2\pi\sqrt{L(C_1 + C_3)}} \quad (7.4)$$

縦型U字配線を用いて作製したメアンダインダクタは、線路高さが高く、線路間隔が狭いため、直感的には自己共振周波数が良好でないと推測される。しかし、寄生容量 C_3 は線路間隔と線路高さに強く依存するが、 C_1 、 C_2 と比較すると無視できる程小さく、10%程度である。さらに、 C_1 、 C_2 は、 C_3 とは異なり、マイクロ波配線下の誘電体膜およびインダクタとグランドとの間隔に強く依存する。したがって、自己共振周波数 f_{SR} は、標準的線路(c)と比較してそれほど劣化せずが高く、この結果、インダクタンスの周波数依存性も緩やかである。図7.7(c)は、スパイラルインダクタの自己共振周波数と寄生直列抵抗のインダクタンス値依存性を示す。ここで、スパイラルインダクタは構造上、自己共振周波数が低いため、L帯モバイル無線通信装置への適用を考えて、フィッティングの周波数範囲を0.5~2GHzとした。縦型U字線路を用いたインダクタの寄生直列抵抗は標準的な線路(a)と同等であり、同じ大きさである線路(b)の1/3であった。したがって、縦型U字線路と使用したスパイラルインダクタは、小型でインダクタンス値の大きなインダクタが必要となる準マイクロ波帯であるL帯、S帯MMICへの応用に威力を発揮する。

自己共振周波数 f_{SR} を、メアンダインダクタの場合と同様に(7.4)式を用いて算出した。メアンダインダクタと同様の理由で、縦型U字線路の寄生容量は、標準的な線路(a)、(b)と同程度であり、したがって、自己共振周波数も標準的な線路と同程度であった。さらに、等価回路から算出したQ値は30以上であった。

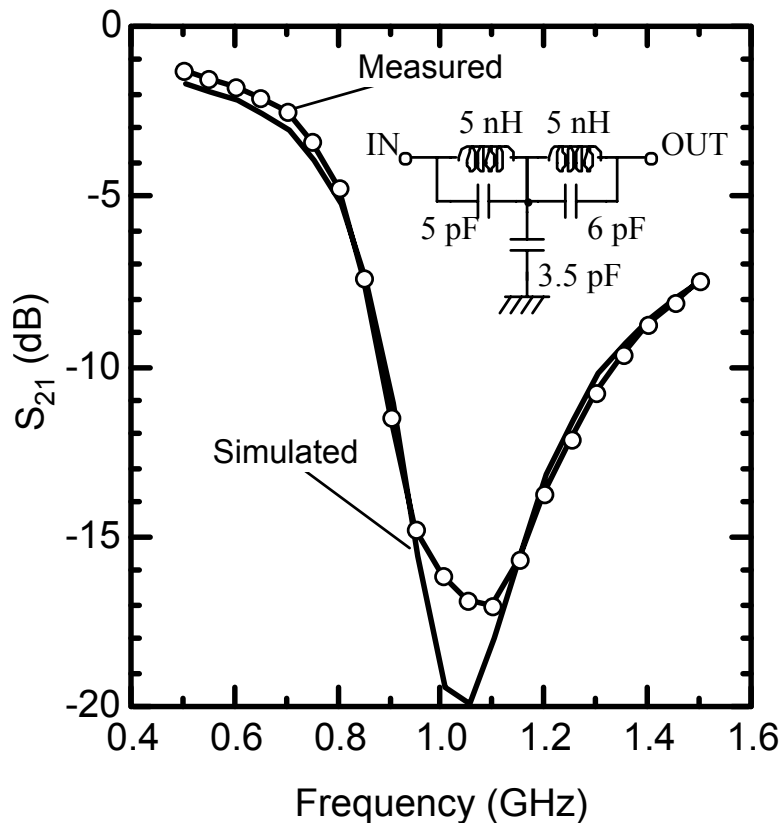


図7.8 低域通過フィルタの特性。挿入図はフィルタの等価回路

Q値を実験的に確かめるために、縦型U字線路を用いたインダクタを構成要素とする低域通過フィルタ(LPF)を作製した。等価回路図を図7.8の挿入図に示す。回路は5nHのインダクタとMIMキャパシタから構成されている。スパイラルインダクタのQ値は30以上と

して設計した。MIMキャパシタは、プラズマCVD法を用いて堆積した200nm厚さのSiO₂を層間絶縁膜とし、第1層配線と第2層配線で挟んだ構造である。作製したLPFの正味の占有面積は780 μm²であり、標準的な線路を用いた場合の1/5の大きさに相当する。図7.8は作製したLPFを高周波測定したSパラメータの周波数依存性を示す。挿入損失は3dBであり、300MHzオフセットにおける減衰は15dBであった。

実測値は、1GHzにおいて縦型U字配線のQ値を5とし、MIMキャパシタのQ値を無限大としてシミュレーションした計算値と良い一致を示した。したがって、LPFから見積られるQ値は、等価回路から見積られたQ値よりも随分小さくなってしまふ。理由としては、縦型U字配線で作製したインダクタの寄生直列抵抗が周波数依存性を持ち、直流抵抗よりも著しく大きくなっている可能性が考えられる。この現象を明らかにするために、狭い周波数範囲で実測値のフィッティングを試みた。

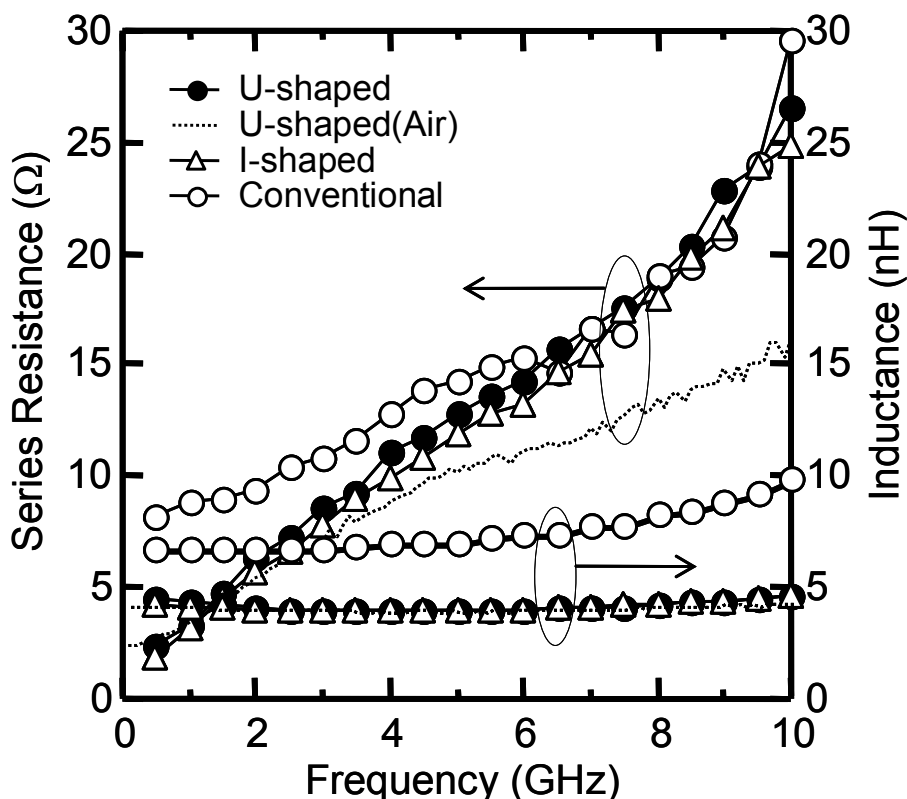


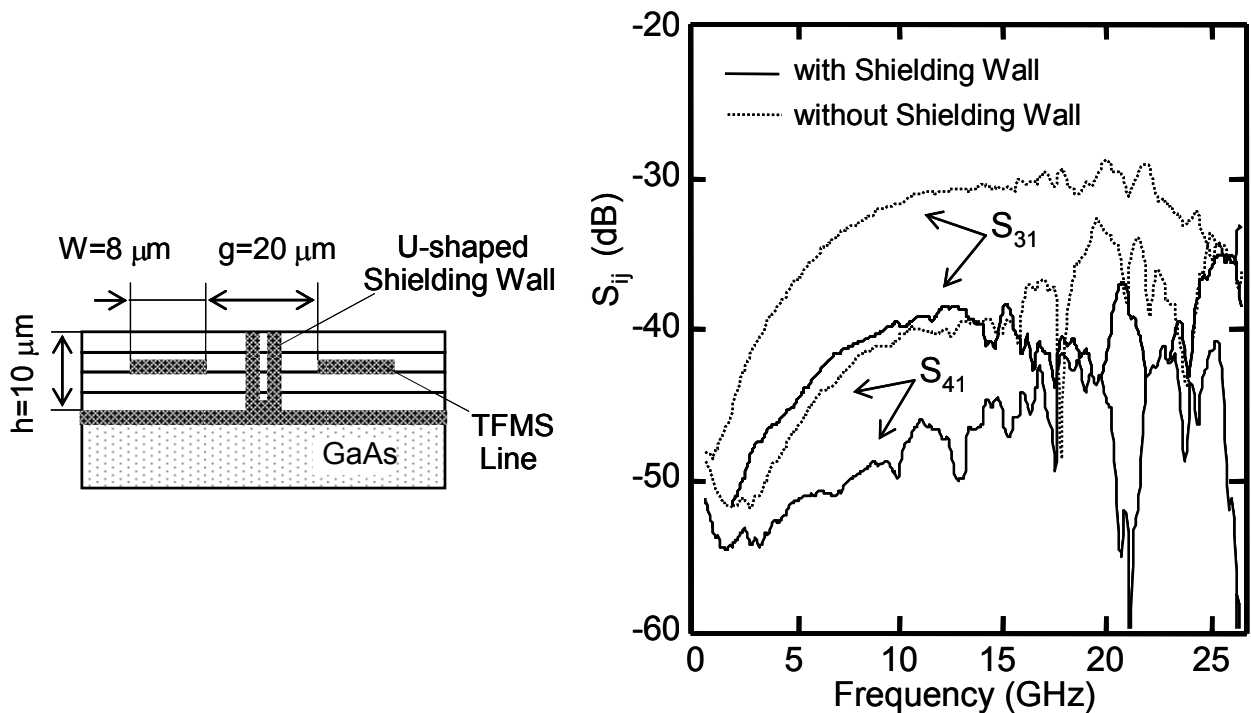
図7.9 スパイラルインダクタの周波数特性

図7.9は、狭い周波数範囲のフィッティングで得られた寄生直列抵抗とインダクタンス値の周波数依存性を示す。比較のために、標準的な線路(a)、縦型I字線路、および、エアブリッジ採用縦型U字線路の特性を示す。エアブリッジ採用縦型U字線路は、線路下のSiN絶縁膜をRIEを用いて除去し、浮いた状態となっている線路である。各々の線路のインダクタンス値は、自己共振周波数が比較的高いために、周波数依存性は少ない。しかし、縦型U字線路とI字線路の寄生直列抵抗は標準的な線路(a)と比較すると、周波数依存性が大きく、周波数に対して急激に増大している。縦型U字線路の表面積は、I字線路よりも大きいですが、寄生直列抵抗はほぼ同等である。この周波数に対して急激に増大する寄生直列抵抗は、表皮効果の影響ではないと推測される。線路下部のSiN絶縁膜を除去したエアブリッジ採用縦型U字線路では、線路下部が空気で、線路下部への電磁界の集中が緩和されており、この線路において寄生直列抵抗の周波数依存性が標準的な線路(a)よりも緩やかである。したがって、線路下部への電磁界の集中が寄生直列抵抗の周波数依存性

に大きく関与していると考えられる。線路下部を低誘電率絶縁膜で構成すれば、寄生直列抵抗の周波数依存性が低減できると考えられるため、縦型U字配線を用いて作製したインダクタもQ値増大の可能性があると推測される。

7.3.4 マイクロ波遮蔽壁

縦型U字配線は、2本の信号線間のアイソレーションを向上させる手法にも応用できる。図7.10(a)は、多層配線製造プロセスで作製した2本のTFMS線路のマイクロ波遮蔽壁として縦型U字線路を使用する場合の断面構造図を示す。2本のTFMS線路の線路幅は $8\mu\text{m}$ 、ギャップは $8\mu\text{m}$ である。TFMS線路とグランド間には、ポリイミド絶縁膜があり、厚さ $5\mu\text{m}$ である。図7.10(b)は、マイクロ波遮蔽壁の有無に対するSパラメータ S_{31} 、 S_{41} の周波数依存性を示す。厚いポリイミド絶縁膜に埋め込まれた縦型U字線路遮蔽壁は、10dB以上アイソレーションを向上できる。縦型U字配線遮蔽壁をCPWに用いた場合には、電磁界がGaAs基板を通して伝播してしまうため、アイソレーションの改善は2~3dBに留まる。したがって、TFMS線路または反転マイクロストリップ線路(IMSL) [11]の場合には、縦型U字線路遮蔽壁は効果を発揮し、マイクロ波線路の占有面積減少に効果がある。



(a) 多層配線内遮蔽壁の断面図

(b) アイソレーション特性

図7.10 多層配線構造におけるU字配線遮蔽壁の特性

7.4 信号線下掘込み線路 (CBCPW)

CBCPW線路（グラウンドコプレーナ線路）はその優れたマイクロ波特性、良好な機械的強度、使い易さの観点から、実装基板用伝送線路として幅広く使用されている。しかし、そのマイクロ波電磁界は、その2つのスロット部に集中しているが、信号線両脇とともに信号線下にもグラウンドが配置されているため、周波数が高くなるにつれて、高次モードである基板漏洩波が発生し易い。さらに、この漏洩波は誘電体基板やCPW表面グラウンドの大きさに関連する誘電体共振を励起し、主モードであるCPWモードの伝搬不良の原因となる。特に、パッケージ化された集積回路チップやフリップチップ、またはワイヤボンディング実装基板において誘電体共振の抑止は大きな課題である[12-14]。

不要な基板漏洩波や誘電体共振を抑止する最も一般的な方法は、CBCPW線路の表面グラウンドと裏面グラウンドとを、ビアホールを用いて繋ぐ手法である。誘電体基板を貫いたビアホールがCBCPW線路スロット近傍の基板両面グラウンドのポテンシャルを固定し、マイクロ波伝搬にともなうグラウンドの揺らぎを無くすことが可能である。しかし、厚い誘電体基板を貫くビアホールのアスペクト比（長さとの幅の比）は大きく、ビアホールの長さ起因する寄生インダクタンスが問題となる。また、周波数の向上とともに、そのマイクロ波波長に比例して、ビアホール間隔の微細化が必要となり、製作上の加工精度の限界がある。

最近、マイクロマシン加工技術のマイクロ波／ミリ波帯受動回路への応用が盛んになっている。マイクロマシン技術を用いてスイッチ、実装、伝送線路などが開発されており、100GHz近傍までのものが試みられている[15-17]。また、幾つかのマイクロマシン伝送線路では低損失特性も報告されるに至っている[18-22]。そこで、マイクロマシン加工技術を利用し、ミリ波において基板漏洩波や誘電体共振の抑止を目的とした新しい実装基板用マイクロ波線路を開発した。さらに、光電気融合集積回路 (OEIC) への適用まで視野に入れ、光導波路との整合性、接続性まで考慮した初めての超広帯域マイクロ波線路である[22, 23]。新しく開発したマイクロ波線路は、同軸線路のように主モードの伝搬電磁界を信号線周りの微小範囲に遮蔽して閉じ込めて、誘電体基板への電磁界漏洩を防止することで、高次モードである基板漏洩モードの伝搬、および基板内共振減少を抑止することに成功した。また、幅の広い線路にも適しているので、同軸線路- 薄膜線路変換部やフリップチップ／はんだバンブ接続部にも適用可能である。本節では、新しく開発したマイクロマシン技術適用マイクロ波線路の製造技術、広帯域実装基板に向けたマイクロ波特性について述べる。

7.4.1 漏洩波

GaAs基板のような誘電体基板上に設けられたマイクロ波線路は、低周波において、実数の位相定数を有する基本波で伝搬するが、ある臨界周波数以上の高周波では、漏洩波に移行する。漏洩波では、もはやマイクロ波線路で信号伝搬は行うことができず、臨界周波数以下でも特性インピーダンスなどの周波数分散が生じる。漏洩波は、マイクロ波線路以外に誘電体基板を伝搬する電磁波モードである。基板全体を電磁波の伝送線路と考えた場合、各種モードのTEM波、TE波、TM波、および混成波が伝搬可能である。

誘電体基板上に作製したCBCPW線路の場合、臨界周波数以上では、図7.11に示すように、平行平板モード、表面波などの漏洩波が発生する。また、漏洩波とともに、誘電体基板内での共振も発生する。

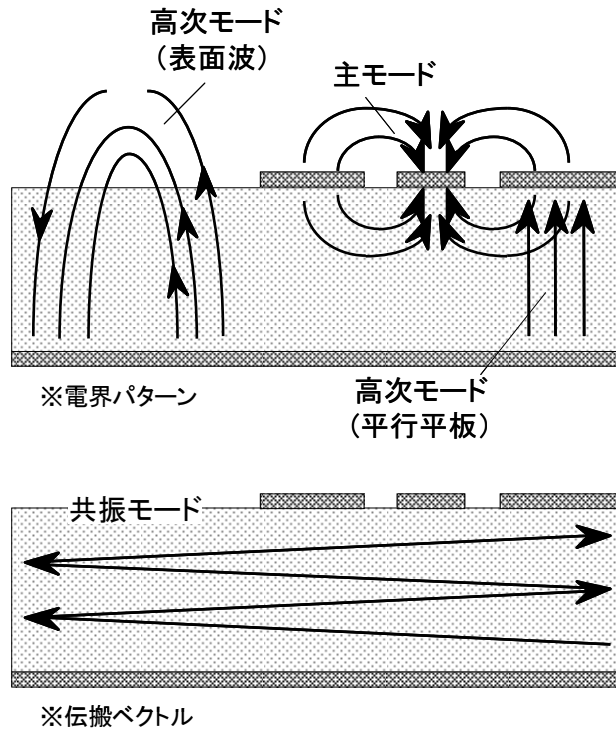


図7.11 CBCPW線路における漏洩波、共振

CBCPW線路がない場合、誘電体基板はその表面メタルの付き方によって、方形導波管、平行平板線路、誘電体線路とみなすことができる。付録Eに示すように、各々の線路のメタル状態は次の通りである。

- 1) 方形導波管：表面、裏面、側面にメタルあり。
- 2) 平行平板線路：表面、裏面にメタルあり。側面メタルなし。
- 3) 誘電体線路：裏面にメタルあり。表面・側面にメタルなし。

1)、2) の場合は、誘電体表面、裏面で電界完全境界となり、伝搬漏洩波の位相定数は、以下のようになる。

$$\beta = \sqrt{\omega^2 \epsilon_r \epsilon_o \mu_o - \left(\frac{m\pi}{a}\right)^2 - \left(\frac{n\pi}{b}\right)^2} \quad (7.5)$$

ここで、aは誘電体基板の幅、bは厚さであり、m、nは整数であり、伝搬漏洩波の次数を示す。3) の場合は、誘電体裏面のみに電界完全境界となり、漏洩波としてG線路のような表面波が伝搬する。伝搬漏洩波の位相定数は、以下のようになる。

$$\beta = \sqrt{\omega^2 \epsilon_r \epsilon_o \mu_o - \left(\frac{m\pi}{a}\right)^2 - k_y^2} \quad (7.6)$$

$$k_y^2 \left\{ 1 + \left[\frac{\tan(k_y b)}{\epsilon_r} \right]^2 \right\} = \omega^2 \epsilon_o \mu_o (\epsilon_r - 1) \quad (7.7)$$

これらの漏洩波のうち、基板厚さbに関連する漏洩波が発生し易く、電磁波強度も大

きい。図7.12に、チップ寸法が数mm□、チップ厚さが635 μ mであるGaAsの場合について、(7.6, 7)式を用いて求めたCBCPW線路における漏洩波の位相定数を示す。漏洩波は、最も遮断周波数の低い表面波、平行平板波を記している。CBCPW線路の伝搬モードは、TEモードとTMモードの線形結合であるハイブリッドモードであるが、線路断面寸法が波長に比較して十分小さい場合には、準TEMモードとして扱え、位相定数は周波数に対し線形に変化する。表面波 TM_{01} モードは直流から発生し、平行平板波 TE_{01} モードは65GHz以上で発生する。さらに高周波数では、GaAs基板厚さに起因する数多くの高次の漏洩波が発生する。通常、複数モードの電磁波が発生する場合、電磁波は結合し、速波から遅波へ移行する。図7.12の場合には、CBCPW線路の基本波は、40GHz以上において、遅波である表面波 TM_{01} に移行する。同様に、90GHz以上において、表面波 TM_{01} または平行平板波 TE_{01} に移行する。

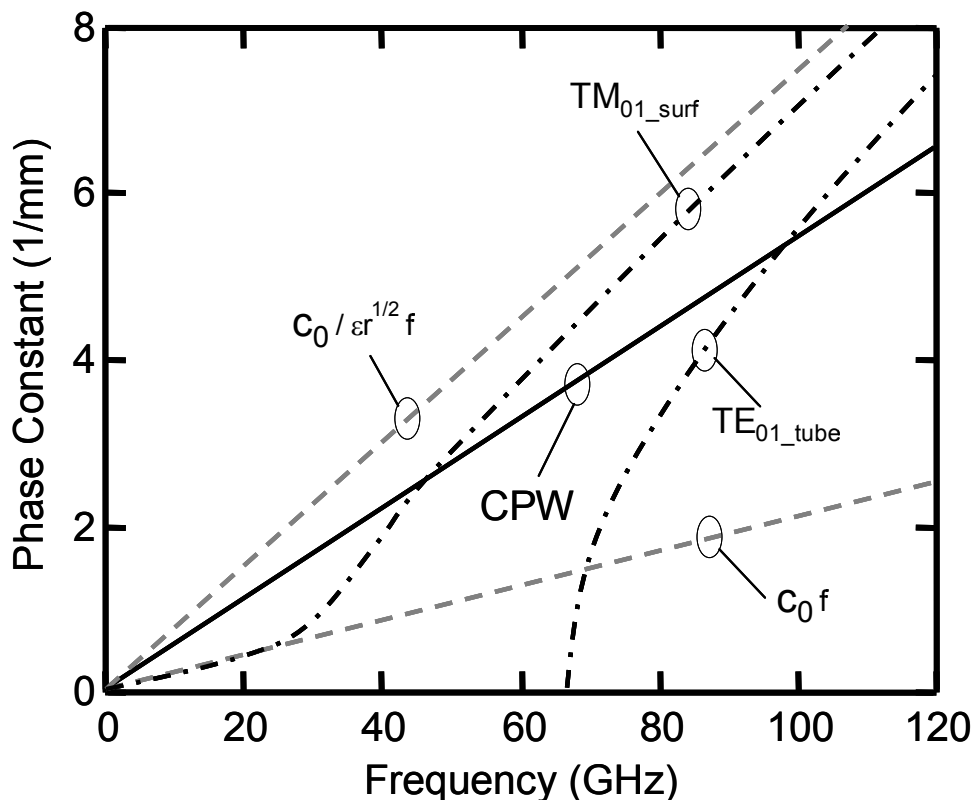


図7.12 CBCPW線路における基本波、漏洩波の位相定数

金属筐体パッケージに搭載される実装基板は、基板裏面、側面の電界完全境界条件が理想状態に近付くために、基板厚さ b に関連する漏洩波の他に、基板幅 a に関連する漏洩波も発生する。この場合は(7.6, 7)式からも分かるように基板幅 a に反比例して漏洩波の発生周波数が低下する。基板幅 a が10mmの場合には、最低次の漏洩波の遮断周波数は4GHz程度となり、これ以上の周波数で数多くの高次モード漏洩波が発生する。

また、基板裏面や側面の電界完全境界条件が、理想状態に近付く実装基板においては、付録Eに示すように、誘電体共振が発生し易い。漏洩波の場合と同様に、方形導波管、平行平板線路、誘電体線路共振器となる。方形導波管、平行平板線路共振器は、基板側面が電界壁になるか磁界壁になるかの違いだけで、同一のモードとなり、共振周波数は次のように与えられる。

$$f = \frac{c}{2\pi\sqrt{\epsilon_r}} \sqrt{\left(\frac{m\pi}{a}\right)^2 + \left(\frac{n\pi}{b}\right)^2 + \left(\frac{p\pi}{c}\right)^2} \quad (7.8)$$

同様に誘電体線路共振器の共振周波数は以下のようになる。

$$f = \frac{c}{2\pi\sqrt{\epsilon_r}} \sqrt{\left(\frac{m\pi}{a}\right)^2 + k_y^2 + \left(\frac{p\pi}{c}\right)^2} \quad (7.9)$$

$$k_y^2 \left\{ 1 + \left[\frac{\tan(k_y b)}{\epsilon_r} \right]^2 \right\} = \omega^2 \epsilon_0 \mu_0 (\epsilon_r - 1) \quad (7.10)$$

図7.13に、基板形状を正方形と仮定した場合の一辺の長さ a と最低次モードの共振周波数の関係を示す。誘電体基板の誘電率が大きい程、共振周波数が低く、GaAsの場合には、10mm \square の基板で、最低次モードの共振周波数が6GHzである。したがって、CBCPW線路などのマイクロ波線路に、基板の線路端からCPW線路の基本波となる電磁波を入力しても、基本波は伝搬とともに誘電体基板へ漏洩し、表面波などの漏洩波および共振モードを励起し、さらに、基本波と漏洩波や共振モードとの結合が発生し、基本波の損失増大、伝搬不良を生じさせる。

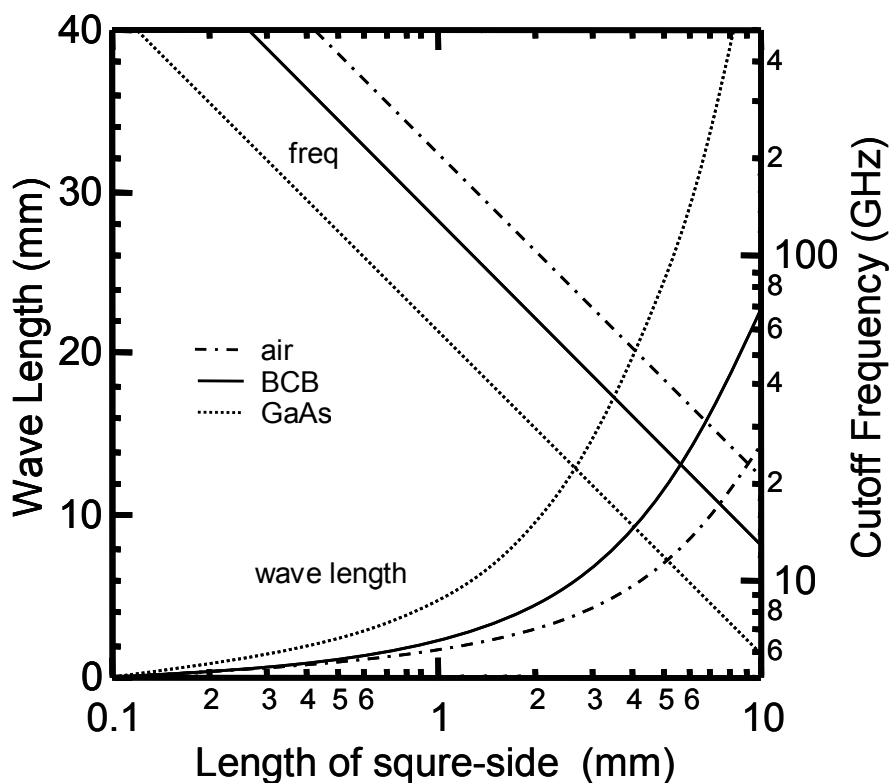


図7.13 最低次共振周波数の正方形基板径依存性

7.4.2 漏洩モード抑止線路構造

漏洩波や共振モードを抑止し、高周波までマイクロ波線路の基本波を伝搬させる方法として、これまで、以下のような方法が考えられている。

- 1) 漏洩波との結合周波数を上げる方法としては、CPW線路を作製するマイクロ波基板を2層構造にする方法がある[24]。基板表面にCPW線路を作製する場合、下層基板の比誘電率 ϵ_2 を上層基板に比誘電率 ϵ_1 よりも低くする。CPW線路の基本波であるTEM波の実効誘電率 ϵ_{co} は、電磁界が上層基板と空気の等しく分布すると仮定すると、簡易的に $(\epsilon_1+1)/2$ である。漏洩モードの実効誘電率 ϵ_{le} は、上層/下層基板の厚み比により変化し、比誘電率 ϵ_1 、 ϵ_2 の間の値であり、TEM波の実効誘電率 ϵ_{co} よりも常に大きい。上層/下層基板厚さを薄く、下層基板の比誘電率を低くして、漏洩波モードの実効誘電率 ϵ_{le} を低くする程、結合周波数を高くできる。しかし、この方法では基板内の基板厚さに関係する表面波モード、平行平板モードなどの漏洩波との結合周波数の高周波化は可能であるが、マイクロ波基板の大きさに関係する共振モードの発生は防ぐことは出来ない。
- 2) 共振モードも同時に抑える方法として、上記2層基板構造に加えて、下層基板下に誘電体ロス層を有する層を導入する方法がある[25]。基板下層に誘電体ロス層を設けることで共振器のQを低下させ、共振モードを減衰させるものである。しかし、この方法では、誘電体ロス層にまで電磁界が広がった主モードも誘電体ロスの影響を受け、損失が増加してしまう。
- 3) 基板の大きさに関係する共振モードを発生させない第2の方法として、マイクロ波基板の横幅を狭くする方法がある[26]。式(1)の共振モードの指数、 m 、 n 、 p のうち、基板厚さに関係する漏洩モードが発生より低い周波数では、 $p=0$ である。さらに、マイクロ波基板の縦横幅に関係する、 m 、 n のうち、どちらか一方が0であれば、理論的に共振モードは発生しない。 $n=0$ とするためには、横幅 b を所望の周波数の半波長以下とすればよい。しかし、この手法をGaAsマイクロ波集積回路に使用する場合には、例えば40GHzまで共振発生を抑圧するためには、幅1mmまで狭窄化する必要がある。したがって、マイクロ波基板サイズが著しく制限されてしまい、限られた用途にしか使用できない。
- 4) 漏洩モードを抑え、高い周波数まで主モードを損伝搬させる方法として、CBCPW線路のグランドと基板下のグランドとを、ビアを用いて繋ぐ構造がある。基板表面上のCPW線路のグランドを固定することで、漏洩モードおよび共振モードを抑圧する。セラミック基板などの受動素子用、実装用マイクロ波基板では標準的に行われている。また、半導体集積回路基板では、MS線路のグランドを接続するために行われている。しかし、この方法では、基板にビアホールを貫通させる、ビアホールを埋め込むという煩雑な工程が必要である。ビアホールは、高い周波数ほどメタルエッジ近くに配置し、ビア間隔を狭くしなければならず、高精度なアライメントが必要である。セラミック製マイクロ波基板で用いられているスクリーン印刷、ドリル開口では、アライメント精度に限界あり、数 $10\mu\text{m}$ 以下の精度は困難である。また半導体製マイクロ波基板においても、厚い基板で垂直性の良いビアホールを高精度に開口することは困難である。また、基準となる基板下グランド電位の安定化が必須である。例えば、入出力に同軸線路を用いた金属筐体パッケージに、CPW線路を搭載したマイクロ波基板を実装する場合、入出力用同軸線路のグランドである外導体およびパッケージ筐体と、マイクロ波基板裏面グランド、マイクロ波基板表面グランドが固定されなければならない。

マイクロ波線路基本波の高周波伝搬不良機構は、(a) 基本波の伝搬→(b) 基板への漏洩→(c) 漏洩波、共振モードの励起→(e) 基本波と漏洩波、共振モードの結合→(f) 基本波の損失増大、伝搬不良という仮定を辿る。今回新しく開発した新しいマイクロ波線路は、従来のように漏洩波を発生させない基板構造とするのではなく、基本波の誘電体基板への漏洩を抑止することで表面波、共振モードを抑圧し、主モードの損失増大、伝搬不良を回避するものである。

図7.14は基本波電磁界の漏洩を抑止することで、主モードの伝搬が良好となるかど

うかを確認する目的で行った多層配線CPW基板の解析結果である。有限要素法を用いた電磁界を用いた。誘電体基板は、大きさ $6\text{mm}\times 5\text{mm}$ 、厚さ 0.5mm のGaAs基板である。基板上のCPW線路寸法は、線路幅 $W80\mu\text{m}$ ／ギャップ $G60\mu\text{m}$ とし、 $200\mu\text{m}\phi$ 同軸線路との接続も考慮した。計算した線路モデルは、

- 1) 線路1：通常のビア無しCBCPW線路。
- 2) 線路2：BCB/GaAs上にCPW線路を作製し、信号線上部を覆い、表面グランドとビア接続した線路。BCB厚さは各 $2\mu\text{m}$ 。ビア径は 0.1mm □、ピッチは 0.5mm
- 3) 線路3：BCB/GaAs上にCPW線路を作製し、信号線下部を覆い、表面グランドとビア接続した線路。BCB厚さは $2\mu\text{m}$ 。ビア径は 0.1mm □、ピッチは 0.5mm

線路1は、基板の大きさに起因する共振 25GHz 近傍から激しく発生している。また、 80GHz 以上では、GaAs基板厚さに関係する漏洩波（平行平板波TE₀₁モード）が励起され、挿入損失も大幅に増加している。線路2は誘電率が低いBCB（比誘電率3）の効果で、線路1よりも共振が若干弱くなっている。しかし、 25GHz 以上から共振が発生し、 80GHz 以上での漏洩波も励起されている。これに対し、線路3は 100GHz まで共振の無い良好な特性が得られている。電磁界分布を見ても、電界はCPWギャップに集中しており、 100GHz までグランド電位の分散は抑止されている。CPW近傍のみ下部グランドを敷き、CPWの電磁界を外に漏洩させない構造に効果があることが分る。

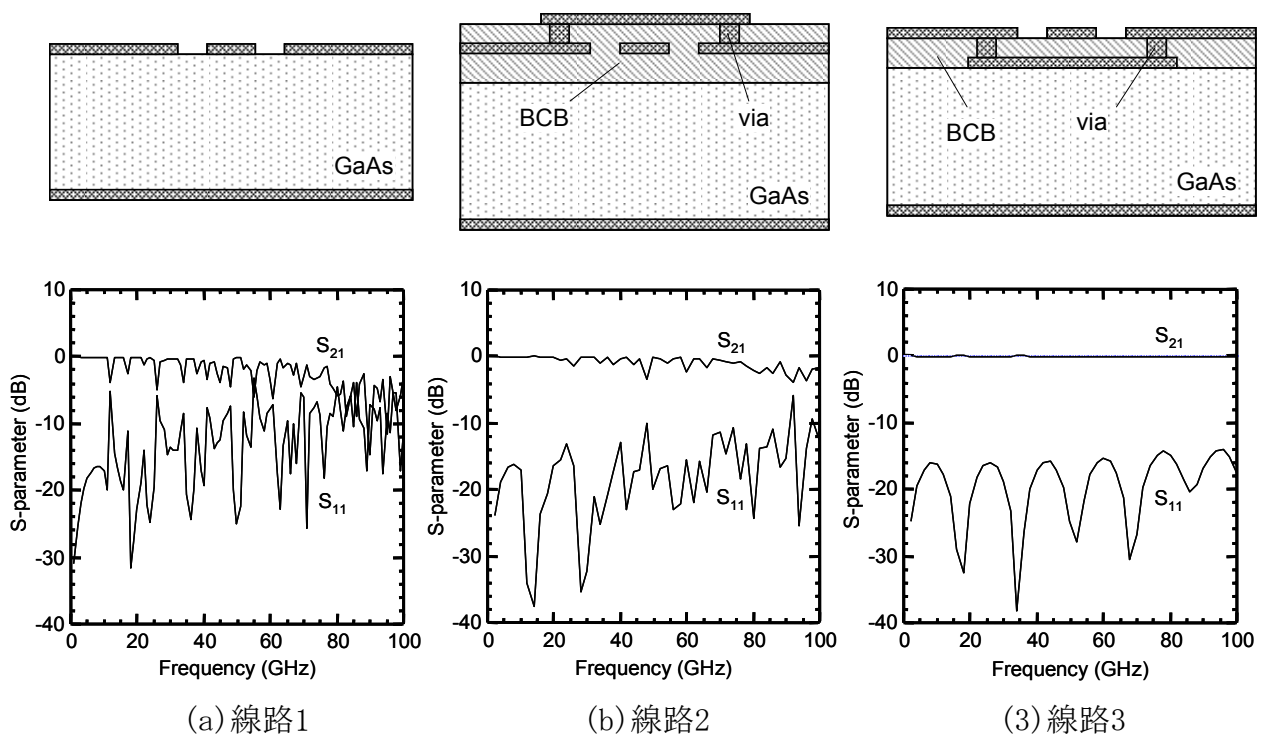


図7.14 異なるマイクロ波線路構造での伝搬特性

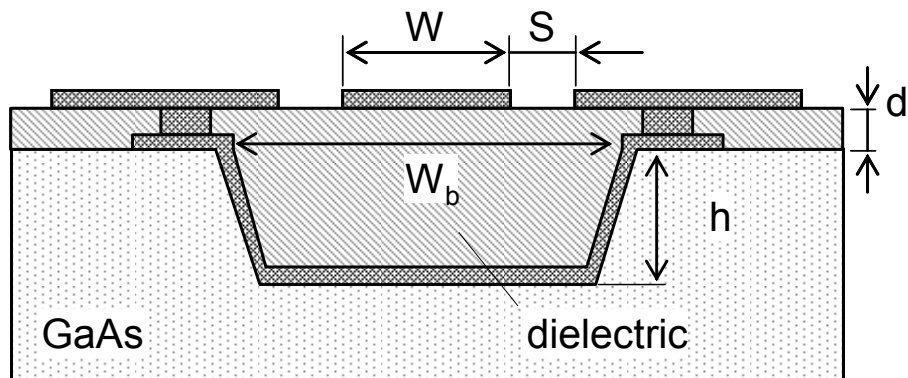


図7.15 グランドを掘込んだコプレーナ線路 (GCBCPW) の断面図

以上の検討を基にして、新しく開発したグランドを掘込んだコプレーナ線路 (Grooved Conductor-Backed Coplanar Waveguide, GCBCPW) の断面図を図7.15に示す[40]。広い信号線幅にも対応可能なように、CPW線路の中央部にあたる信号線下の基板を逆台形の形状に掘込んだ構造となっている。エッチングした基板表面には、CBCPWの裏面グランドと同様の役割とするため金属を堆積し、掘込んだ溝は誘電体で満たされている。下側と下側のグランド金属は、アスペクト比の小さなマイクロビアで繋がっており同電位に保たれている。この新しいマイクロ波線路の利点は以下の通りである。

- 1) 基底モード (基本波) の電磁界は、同軸線路と同じように、埋込まれた誘電体に効果的に閉じ込められているため、誘電体基板への電磁界漏洩が防止されており、不要波およびそれにとまなう共振現象の発生を抑制している。
- 2) GCBCPW線路は掘込みは、ファイバ位置自己整合の目的で基板に設けられるV溝と同時に作製可能である。OEICの主要な問題点は、光ファイバとOEIC上の光デバイスとの光軸合わせの困難さとその人的労力であり、ファイバ位置の自己整合技術は、OEICの低コスト化に貢献する技術である。この点からもGCBCPW線路は光ファイバとの整合性が良いマイクロ波線路である。
- 3) マイクロ波特性は、誘電体基板の材質に関わらず、掘込まれた逆台形部に埋込まれた誘電体によって決まる。もし、埋込む誘電体として比誘電率3以下の誘電体を用いれば、掘込み深さの2倍以上の線路幅としても高次モードの発生がない。したがって、GCBCPW線路は幅広線路として活用できる。100GHz帯で用いられるW帯同軸コネクタの信号線導体は直径 $150\mu\text{m}$ であるから、W帯同軸コネクタとGCBCPW線路の変換部は、掘込み深さを $80\mu\text{m}$ とすることで作製可能である。
- 4) 埋込み誘電体として、UV硬化樹脂を用いた。UV硬化樹脂はポリマ光導波路として汎用されており、GCBCPW線路はこの点においても、光導波路と良好な整合性がある。さらに、GCBCPW線路は、線路上面をマイクロ波線路として、掘込み部を光導波路とすることで、ポリマ光変調器を作製することも可能である。

7.4.3 製作方法

GCBCPW線路を作製するために新しい作製プロセスを開発した。GCBCPW線路は3インチ(100)GaAs基板上に作製した。作製プロセスフローを図7.16に示す。

- 1) まず初めに、塩素系エッチング液を用いて逆台形溝を作製した。溝の深さ h は $80\mu\text{m}$

とした。(100)GaAs表面に作製した溝のエッチング形状は、結晶方位に依存する。GCBCPW線路の逆台形溝の側壁は(111)メサ面となる方向に設定した。(111)面と(001)面の成す角は 54.7° である。逆台形溝の垂直方向は(-1-11)逆メサ面ではなく、 90° 弱の角度となる。したがって、エッチングした溝への金属膜堆積、誘電体塗布は付き周りよく行うことが可能である。溝エッチング後の線路断面を図7.17に示す。

2) UV硬化樹脂をスピコートで塗布し、逆台形溝を埋める。その後、GaAsウエハ上を化学機械研磨 (chemical mechanical polishing、CMP) で平坦化する。研磨は、逆台形溝パターンが無い場所で樹脂の厚さ d が $10\mu\text{m}$ となるまで行う。樹脂を残すことで、GaAsウエハ上にある能動および受動デバイスへの研磨ダメージを与えずに済む。

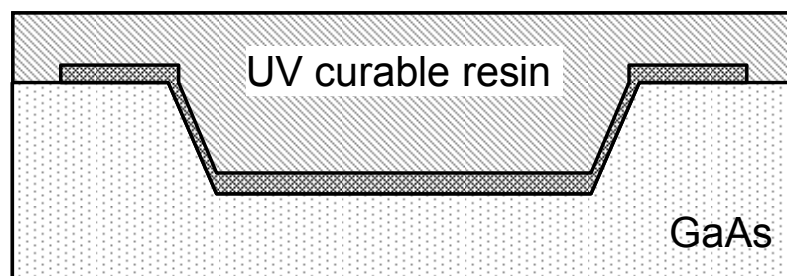
3) 直径 $10\mu\text{m}$ 、ビア間隔 $200\mu\text{m}$ のマイクロビア用の孔を、酸素系RIEでエッチングし、無電界Auメッキを用いてビア孔を埋め込んだ。マイクロビアのアスペクト比は、約1と小さく、寄生インダクタンスの原因とはならない。

4) 最後に、電子ビーム蒸着およびリフトオフを用いて、上部金属配線を形成し、マイクロマシン加工技術を用いたCPW線路が完成する。

1)基板ウェットエッチング



2)UV硬化樹脂塗布、機械研磨/CMP研磨



3)メッキ法でビア作製

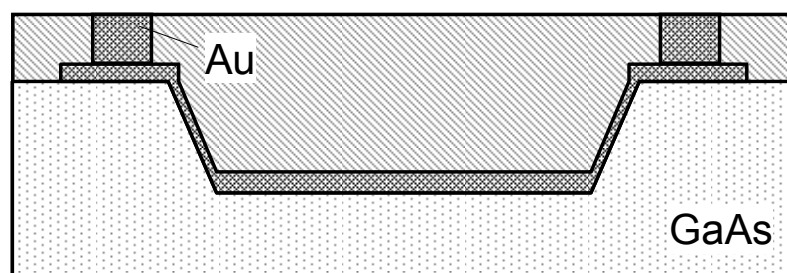


図7.16 GCBCPW線路の作製プロセスフロー

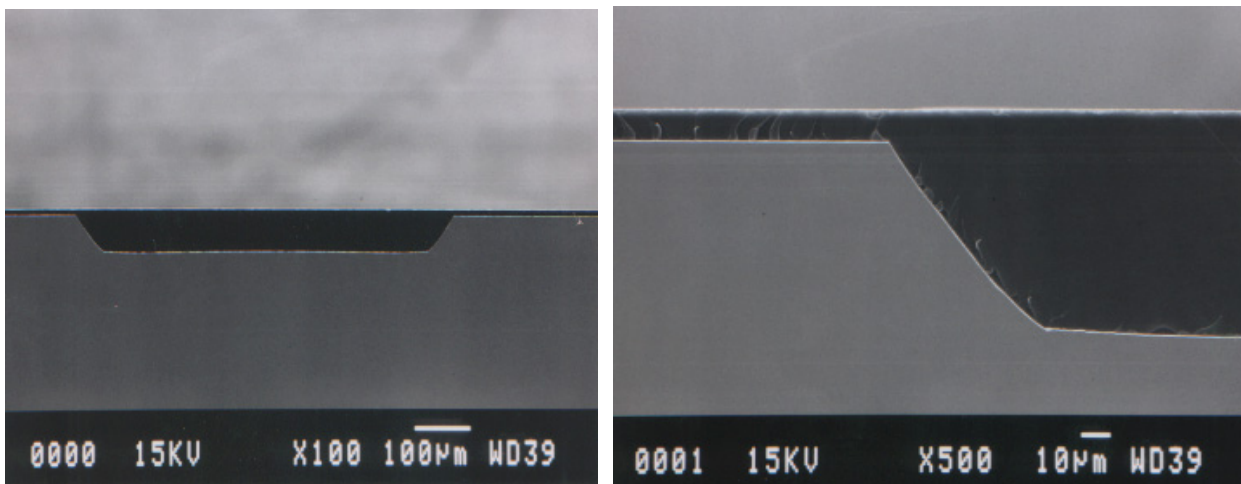


図7.17 台形溝エッチング後の順メサ断面

図7.17に作製したGCBCPW線路のSEM写真を示す。信号線幅を $80\mu\text{m}$ としているためリップチップ実装用のマイクロはんだバンプパッドをこの上に形成することが可能である[27, 28]。逆台形溝の深さは $80\mu\text{m}$ 、溝幅は $140\mu\text{m}$ である。今回選択したUV硬化樹脂の比誘電率は3以下であり、また、フォトリソグラフィ解像度からCPW線路のスロット幅の限界を $1\mu\text{m}$ 程度とすると、今回開発したGCBCPW線路の特性インピーダンスは $30\sim 170\Omega$ の範囲で作製可能である。さらに、掘込み溝を用いない場合には、低インピーダンス限界として 10Ω まで可能である。このように特性インピーダンスの適用範囲が広いためステップインピーダンスフィルタには最適である。

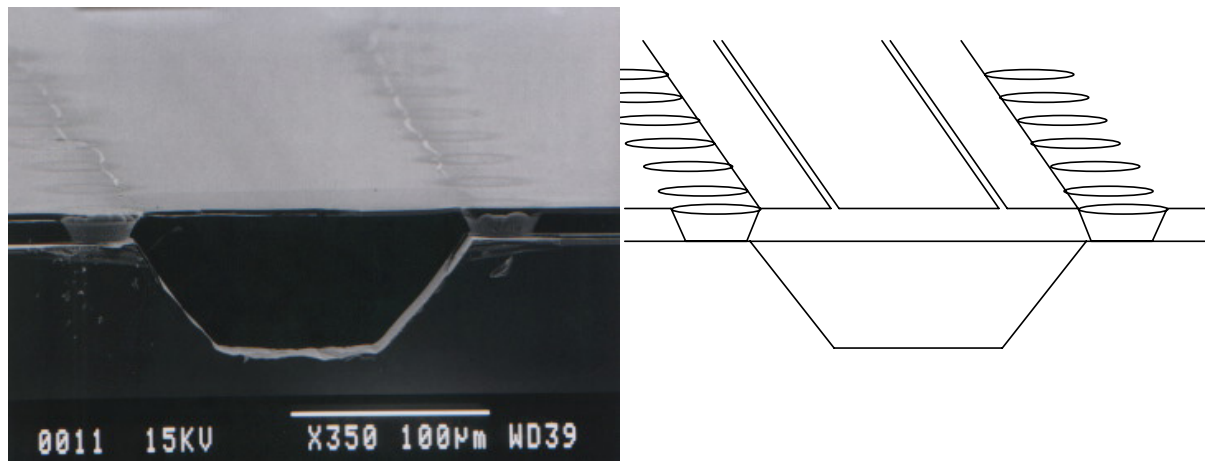


図7.18 作製したGCBCPW線路のSEM写真

7.4.4 線路構造シミュレーション

A. 特性インピーダンス

有限要素法を用いた電磁界解析によって、GCBCPW線路の特性インピーダンスを計算した。解析したGCBCPW線路の断面構造を図7.19に示す。掘込み深さ $d(\mu\text{m})$ 、掘込み部底面の幅 $Wd(\mu\text{m})$ 、信号線から掘込み底面までの深さ $d+10(\mu\text{m})$ 、掘込み角度 45° 、埋込ポリマの比誘電率3.0、掘込み端からビアまで長さ $100\mu\text{m}$ とした。信号線路幅は $W=150\mu\text{m}$ 、

80 μm について計算した。

図7.20に、信号線路幅150 μm と80 μm 線路の特性インピーダンスのギャップ依存性を示す。ここで、掘込み部テーパの影響を無くすために、掘込み部底面幅 W_d は1mmと大きくしている。信号線路幅150 μm の場合には掘込み深さ60 μm 以上で50 Ω 線路が得られることが分かる。掘込みに充填するポリマの比誘電率が3.0程度と低誘電率であれば、信号線路幅の半分程度の掘込みを行えば50 Ω 線路の作製が可能であることが分かる。図7.21には、掘込み深さ $d=100 \mu\text{m}$ とした場合の信号線路幅150 μm 線路の特性インピーダンスの掘込み部底面幅 W_d 依存性を示す。掘込み部底面幅を細くすると、掘込みテーパ部の影響を受け多少インピーダンスが低下する。掘込み底面幅が150 μm 以上、つまり線路幅と同等以上であれば、掘込みテーパ部の影響は少ない。

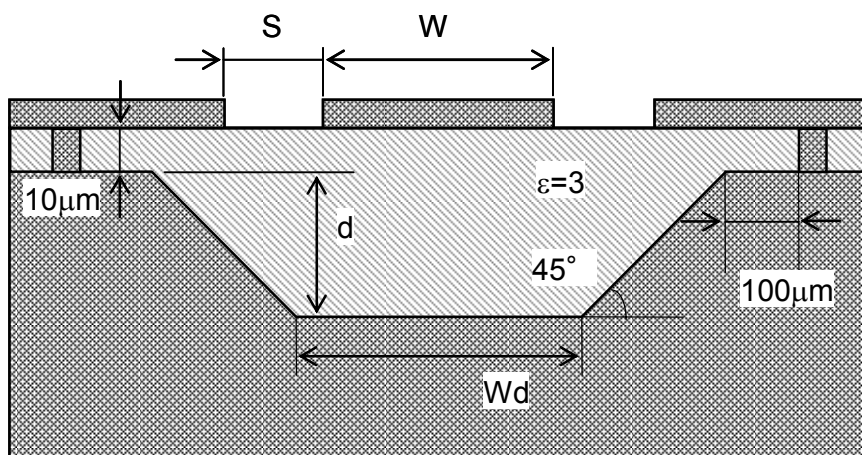


図7.19 GCBCPW線路の断面構造

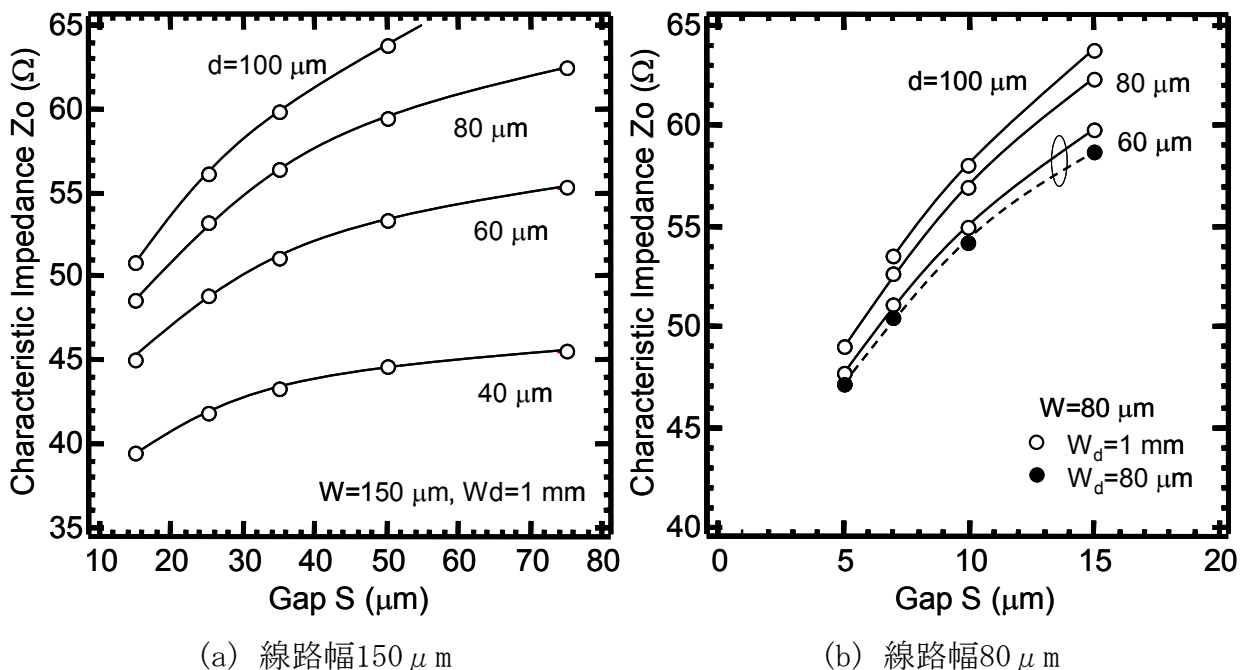


図7.20 特性インピーダンスの掘込み深さ依存性

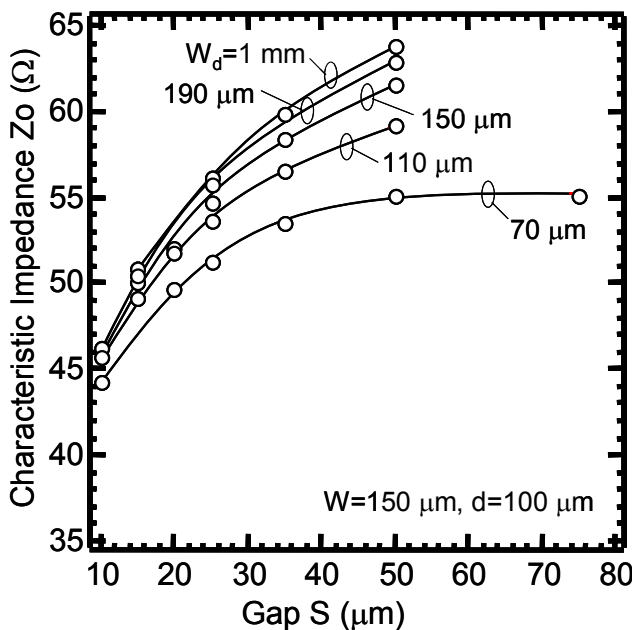


図7.21 特性インピーダンスの掘込み部底面幅依存性

B. 周波数特性の掘込み幅依存性

同軸線路の中心導体径および中心導体-外部導体間隔が、その同軸線路の遮断周波数を決定しているのと同様に、GCBCPW線路においては、その信号線路幅とともに信号線下ポリマ埋込み部の幅で、遮断周波数が決定される。そこで掘込み幅の特性インピーダンス周波数特性への影響に関して計算した。計算に用いたGCBCPW線路構造の断面図を図7.22に示す。信号線幅は20~150 μm、ギャップは線路幅の10%で固定した。埋込ポリマは比誘電率3.0を仮定し、掘込み深さ W_d を200 μmとした。GaAs基板は、幅0.6mm、厚さ0.5mm、長さ2mmとした。

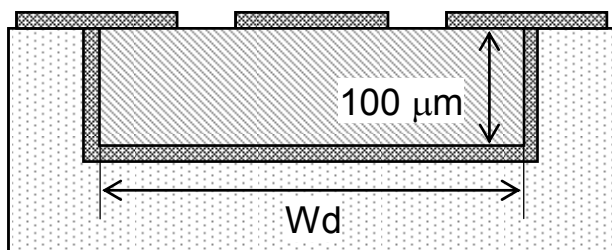


図7.22 計算に用いたGCBCPW線路の断面構造

図7.23に掘込み幅を変えた場合の特性インピーダンスの周波数依存性を示す。掘込み部分は、CPW線路のギャップ以外はメタルで囲まれているため、方形導波管と同様の構造となり、最低次である方形導波管 TE_{10} モードの漏洩波が励起される。その遮断周波数は、(7.8)式から簡易的に計算することができ、掘込み幅 $W_d=1000, 800, 600, 400, 200$ μmに対し、各々91.3GHz、114.1GHz、152.1GHz、228.2GHz、456.4GHzとなる。信号線路幅が広い場合には、CPW線路のギャップの影響で、上式で得られる値よりも若干高くなる。掘込み幅を広げると、この漏洩波の影響で基本波の特性インピーダンスが低下する。図7.22(a)は、線路幅150 μmの場合の掘込み幅依存性である。掘込み幅1000、800、600、400、200 μmに対し、-10.4%、-6.5%、-3.8%、-1.7%、0%のインピーダンス減少であった。図

7.23(b)は、掘込み幅 $1000\mu\text{m}$ の場合の信号線幅依存性である。特性インピーダンスが50%まで減少する周波数は、基本波と漏洩波の位相定数が一致する結合周波数に当たるため、信号線路幅に依存しない。掘込み幅 $1000\mu\text{m}$ の場合には 165GHz である。しかし、信号線路幅が細いほど結合周波数近傍での特性インピーダンス変動が激しい。

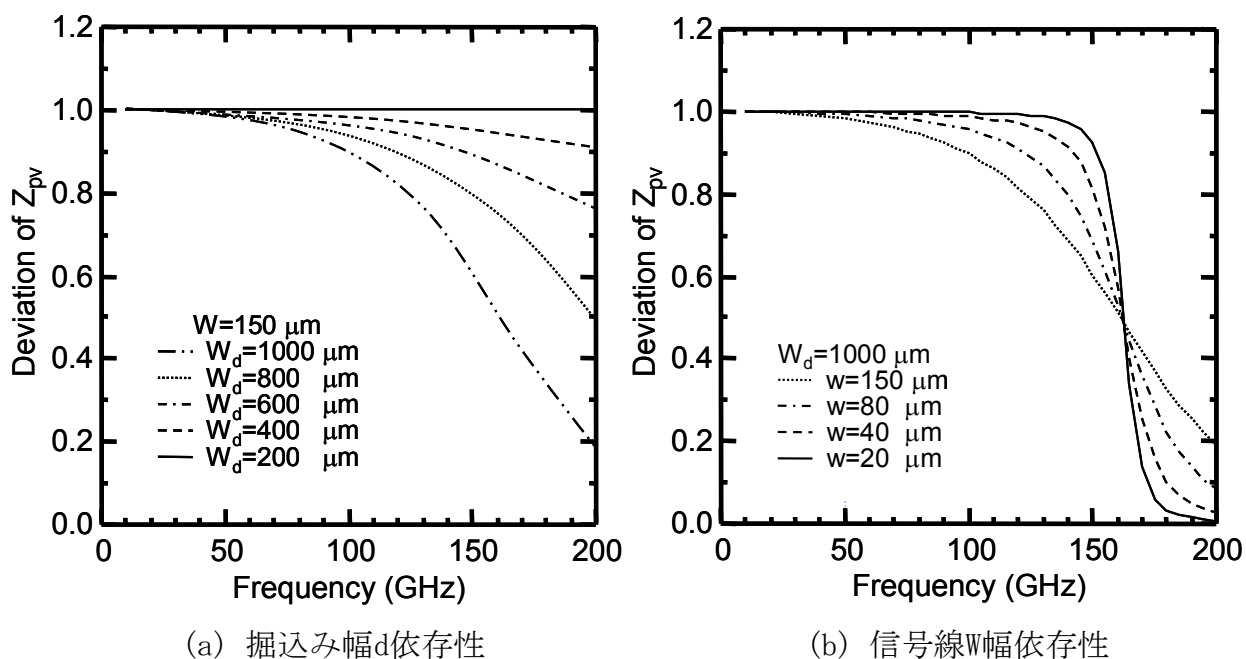


図7.23 特性インピーダンスの周波数依存性

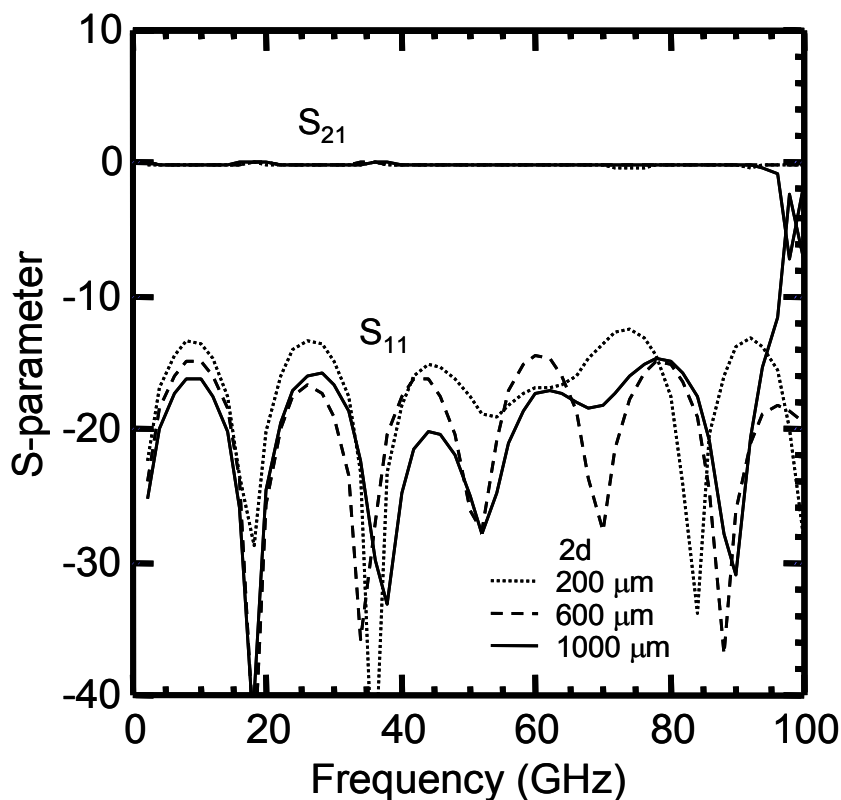


図7.24 入射／反射損失の周波数依存性

図7.24は、信号線幅 $150\mu\text{m}$ 、ギャップ $15\mu\text{m}$ (信号線幅の10%) のGCBCPW 線路の挿入

損失／反射損失の周波数依存性である。掘込み幅は200～1000 μm である。掘込み幅が1000 μm の場合には、100GHz近傍で大きなディップが発生している。丁度、方形導波管TE₁₀モードの漏洩波の遮断周波数に当たる。したがって、GCBCPW線路を使用する周波数帯域外に、漏洩波の遮断周波数を追いやる程度に、掘込み幅を狭くする必要がある。100GHzの帯域を必要とする場合には、掘込み幅800以下が望ましいと考えられる。

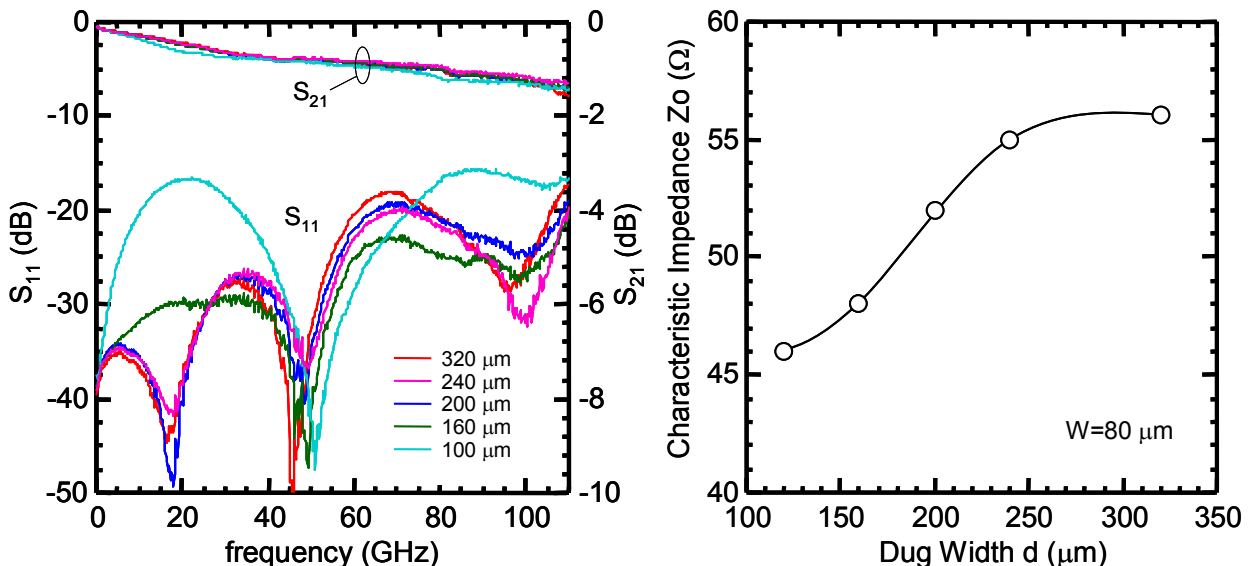
7.4.5 マイクロ波特性

図7.23のシミュレーション結果からは、逆台形溝の幅が狭い場合には、掘込んだ溝面のグラウンドが信号線に近くなり、特性インピーダンスに影響を与えるが、掘込み底部幅 W_d が信号線幅程度であれば、逆台形溝斜面による特性インピーダンスの低下は5%以内に抑えることができた。図7.25に、作製したGCBCPW線路の特性インピーダンスの逆台形溝幅依存性を示す。線路の信号線幅は80 μm 、スロット幅は8 μm である。掘込み幅 W_b （上部寸法）は100～320 μm とした。前述したように、逆台形溝における(001)面および(111)面の成す角度は54.7°である。したがって、掘込み底部幅 W_d と掘込み幅 W_b の間には以下の関係がある。

$$W_b = W_d + 2d \sin(54.6) = W_d + 130 \quad (\mu\text{m}) \quad (7.11)$$

特性インピーダンスは、長さの異なる線路のSパラメータ測定からTEM波を仮定して算出した。インピーダンスは10GHzにおける値である。

逆台形溝の掘込み幅 $W_b=240 \mu\text{m}$ 以上で、特性インピーダンスが一定となっている。掘込み幅を240 μm から狭くすると、ほぼ線形に特性インピーダンスが低下し、掘込み幅100 μm の場合には、10 Ω 程度のインピーダンス低下が見られた。信号線幅が80 μm の場合には、逆台形溝の掘込み幅が210 μm 以上であれば、特性インピーダンスの変動は5%以内に抑えることができ、シミュレーション結果が裏付けられた。



(a) 入射／反射損失の周波数依存性 (b) 特性インピーダンスの掘込み幅依存性

図7.25 特性インピーダンスの逆台形溝幅依存性

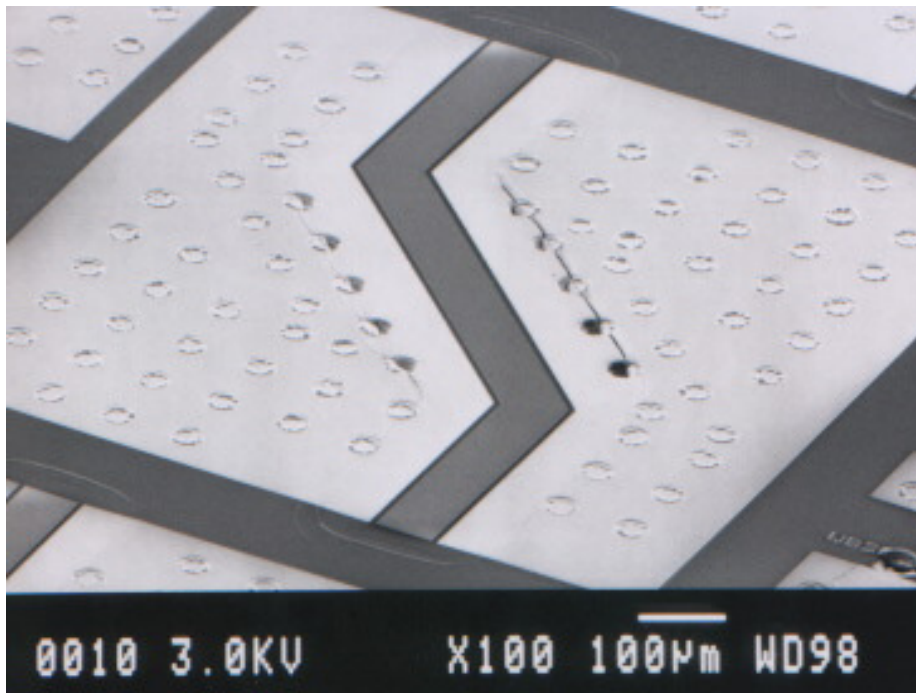
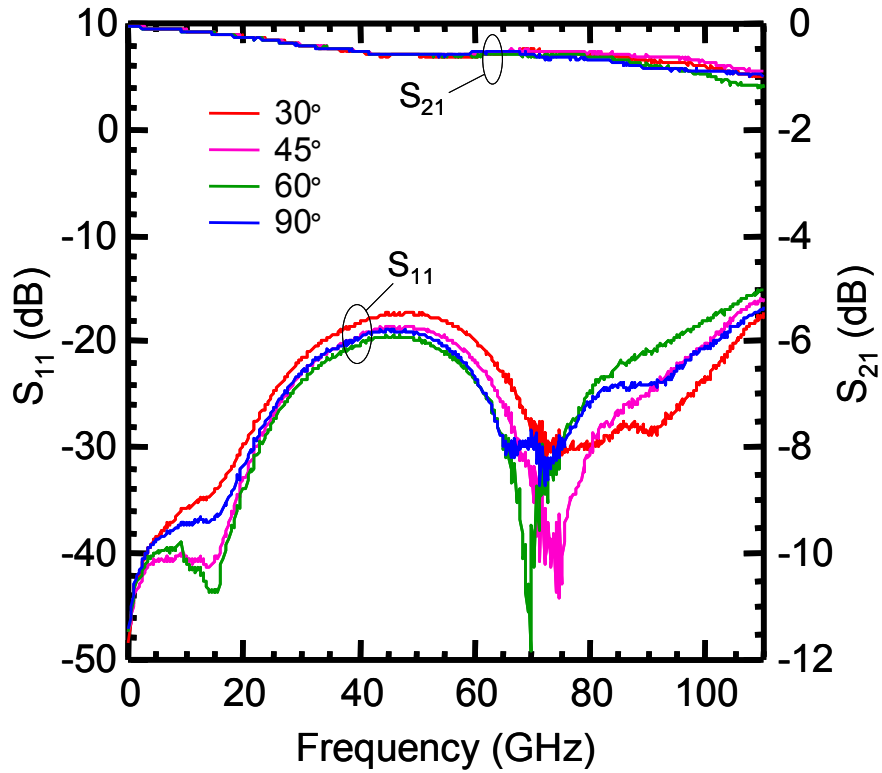


図7.26 作製した60° 曲がりGCBCPW線路のSEM写真

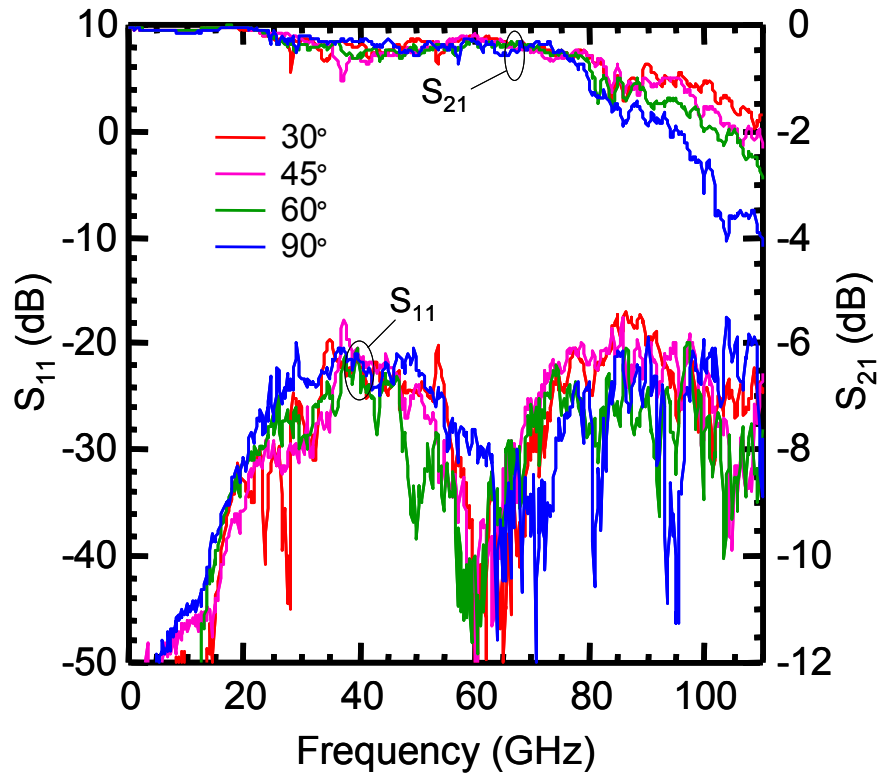
電磁界の遮蔽効果を見るために、GCBCPW線路をもちいた曲がり線路を作製し、110GHzまでの高周波測定を行った。図7.27は作製した長さ1mmの60° 曲がりGCBCPW線路のSEM写真である。図7.26は1mm長曲がり線路のSパラメータ測定結果を示す。ここで、(a)はGCBCPW線路、(b)は参照としてGaAs直上に作製した標準的なCPW線路である。曲がり角度は30°～90°である。

数GHz以上の周波数において、標準的なCPW線路は、Sパラメータに無数のディップが発生している。これは、誘電体基板としてのGaAs基板とCPW表面グランドの大きさに関する不要な共振現象に起因するものである。また、反射損失は曲がり角度にほとんど依存しないが、挿入損失は曲がり角度が急峻になるに従い、80GHz以上の周波数において劣化している。90° 曲がり線路の場合には、直線線路に比較して110GHzの挿入損失は4倍以上となっている。挿入損失劣化の原因は、主に、曲がり部において励起されるスロットモード(CPW線路の偶モード)に起因するものである。これに対しGCBCPW線路においては、標準的なCPW線路で発生していたディップが完全に消失している。また、挿入損失、反射損失とも曲がり角度には依存しておらず、直線線路と同等の特性が得られている。開発したGCBCPW線路は、CPWモードの電磁界を線路周りに閉じ込め、誘電体基板から遮蔽することで不要な基板漏洩モードや基板内共振現象を効果的に防止していると考えられる。

直線GCBCPW線路の挿入損失は110GHzにおいて1dB/mmであった。多少損失が大きいのは、掘込み溝に埋込んだUV硬化樹脂の特性に起因する。損失特性の改善には埋込む樹脂の選択、プロセス工程の改良が必要である。下層グランドは電磁界のマイクロ遮蔽ばかりでなく、エアブリッジと同等の役目を果たしている。下層グランドが、信号線両脇の上層グランドを同電位にするため、電磁界が不連続となる曲がり線路部においてもCPWの2つのスロットの対称性が保たれ、偶モードの発生を防止している。標準的なCPW線路においても、エアブリッジを用いることで、電磁界の対称性を保ち偶モードを抑止することが可能である。しかし、エアブリッジは壊れやすく、フリップチップやボンディング用の実装基板に用いることは出来ない。



(a) GCBCPW線路



(b) GaAs直上に作製した標準的なCPW線路

図7.27 1mm曲がり線路のSパラメータ測定結果

7.4.6 ステップインピーダンスフィルタ

GCBCPW線路は、誘電体基板において励起される漏洩波や共振を抑止するため実装基板に有効であるが、同時に幅広い特性インピーダンス値を実現できる。そこで、その利点を生かしてステップインピーダンスフィルタ(低帯域通過フィルタ)を設計、作製した。

A. フィルタ設計

ステップインピーダンスフィルタは、特性インピーダンスの高い線路と低い線路を交互に配置した低帯域通過フィルタであり、バタワースフィルタ(Maximally Flat or Butterworth Filter)である。このフィルタの構造を図7.28に示す。

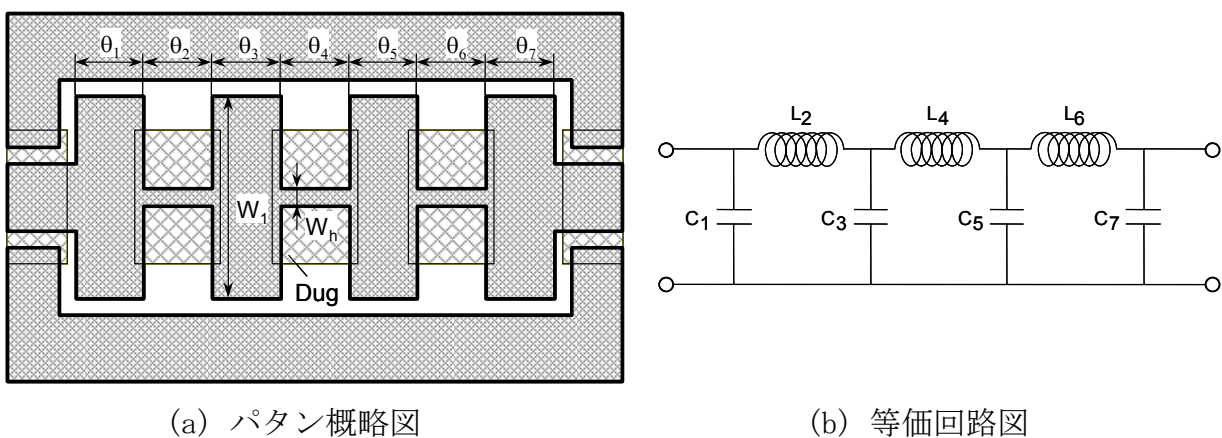


図7.28 ステップインピーダンスフィルタ

ステップインピーダンスフィルタの挿入損失の周波数依存性は、以下の式で与えられる。

$$InsertionLoss = 10 \log \left[1 + \left(\frac{\omega}{\omega_1} \right)^{2n} \right] \quad (7.12)$$

ここで、 ω は角周波数、 ω_1 はカットオフ角周波数である。フィルタの段数を7段、カットオフ周波数 $\omega_1=70\text{GHz}$ とした場合、挿入損失が10、20、30dBとなる周波数は、各々82、97.2、115GHzとなる。図7.28(b)の等価回路の素子の値は、一般的には、次式で与えられ、

$$\begin{cases} g_0 = g_{n+1} = 1 \\ g_l = 2 \sin \left[\frac{(2l-1)\pi}{2n} \right] \end{cases} \quad (7.13)$$

7段構成の場合には、具体的に、次のような値となる。

$$\begin{cases} g_1 = 0.4450 = C_1 \\ g_2 = 1.247 = L_2 \\ g_3 = 1.802 = C_3 \\ g_4 = 2.000 = L_4 \\ g_5 = 1.802 = C_5 \\ g_6 = 1.247 = L_6 \\ g_7 = 0.4450 = C_7 \end{cases} \quad (7.14)$$

次に、式(7.14)で与えられる集中定数素子を分布定数素子へと変換する。線路長 l 、位相定数 β 、特性インピーダンス Z_0 のマイクロ波線路のZパラメータは、一般的に以下のように与えられる。

$$\mathbf{Z} = \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} = \begin{bmatrix} -jZ_0 \cot \beta l & -jZ_0 \operatorname{cosec} \beta l \\ -jZ_0 \operatorname{cosec} \beta l & -jZ_0 \cot \beta l \end{bmatrix} \quad (7.15)$$

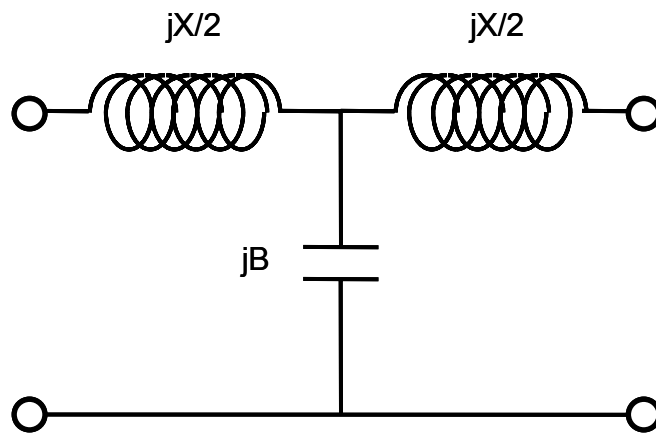


図7.29 マイクロ波線路のT型等価回路

マイクロ波線路の等価回路として図7.29のようなT型回路を考えると、シリーズ部のインピーダンス $X/2$ 、シャント部のサセプタンス B は、式(7.15)から以下のように与えられる。

$$\begin{cases} \frac{X}{2} = \frac{Z_{11} - Z_{12}}{j} = Z_0 \tan \frac{\beta l}{2} \\ B = \frac{1}{jZ_{12}} = \frac{1}{Z_0} \sin \beta l \end{cases} \quad (7.16)$$

上式から、線路長が $\lambda/4$ ($\beta l < \pi/2$) であるとする、シリーズ部は誘導性、シャント部は容量性となる。したがって、線路長の短い ($\beta l < \pi/4$)、特性インピーダンスの高い線路を用いた場合と、特性インピーダンスの低い線路を用いた場合には、それぞれ、容量性のシャント部のみ、または誘導性のシリーズ部のみで近似できる。つまり、インピーダンスの高い線路と低い線路の位相定数と特性インピーダンスを、各々 β_h 、 Z_h 、また、 β_l 、 Z_l とすると、

$$\begin{cases} X \cong Z_h \beta_h l_h \\ B \cong \frac{\beta_h l_h}{Z_h} \rightarrow 0 \end{cases}, \begin{cases} X \cong Z_l \beta_l l_l \rightarrow 0 \\ B \cong \frac{\beta_l l_l}{Z_l} \end{cases} \quad (7.17)$$

よって、図7.28(b)の集中定数等価回路における、各インダクタL、キャパシタCの値は、次式を満たす各線路長で得られる。また、インダクタンスLでは(7.17)式のシャント部サセプタンスBが寄生容量となり、キャパシタCではシリーズ部インピーダンスX/2が寄生インダクタとなり、(7.12)式の理想的なフィルタ特性から乖離する。インダクタンスLの寄生容量、キャパシタンスの寄生インダクタは、次式で与えられる。

$$\begin{cases} L = \left(\frac{Z_h}{R_o} \right) \beta_h l_h \\ C = \left(\frac{R_o}{Z_l} \right) \beta_l l_l \end{cases}, \begin{cases} C_{parasitic} = \left(\frac{R_o}{Z_h} \right)^2 L \\ L_{parasitic} = \left(\frac{Z_l}{R_o} \right)^2 C \end{cases} \quad (7.18)$$

ここで、Roは入出力インピーダンスで50Ωである。したがって、ステップインピーダンスフィルタにおいては幅広い特性インピーダンスが実現できるマイクロ波線路が必要となる。

B. 特性インピーダンスの見積り

最大最小の特性インピーダンスが得られるGCBCPW線路は、信号線と同一面にあるグランド線に比較して、下部グランドとの距離が十分に近い。MS線路（マイクロストリップ線路）とほぼ同等な特性となるため、以下のMS線路の解析式から特性インピーダンスを求めることができる。

$$Z_o = \frac{60}{\sqrt{\epsilon_{eff}}} \ln \left[1 + \frac{4h}{W} \left\{ \frac{8h}{W} + \sqrt{\left(\frac{8h}{W} \right)^2 + \pi^2} \right\} \right] \quad (7.19a)$$

$$\epsilon_{eff} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2 \sqrt{1 + \frac{10h}{W}}} \quad (7.19b)$$

ここで、Wは線路幅、hは掘込み深さ（線路-下部グランド間隔）、 ϵ_r は掘込み部誘電体の比誘電率であり3.2とした。線路作製プロセス上の安定性を考慮し、信号線幅10~200μm、信号線と同一面上の表面グランドとのギャップは5μm以上、掘込まない部分の誘電体厚さを10μmとする。この時、最高インピーダンスは、線路幅10μm、掘込み深さ80μmのGCBCPW線路で得られ、その特性インピーダンスは166Ωとなる。この時の実効誘電率は2.25である。これに対し、最低インピーダンスは、線路幅200μm、掘込み深さ10μm（GaAsを掘込まない）のGCBCPW線路で得られ、その特性インピーダンス9Ωとなる。この場合、CPW線路としてインピーダンスを求めても、ギャップ5~10μm以上では、ほぼMSモードとなり、信号線と表面グランドとのギャップにはほとんど関係なくなる。以上から、GCBCPW線路の極限特性インピーダンスは、次のようにまとめられる。

$$\text{特性インピーダンス} \begin{cases} Z_h = 9\Omega \\ Z_l = 166\Omega \end{cases}, \text{実効誘電率} \begin{cases} \epsilon_h = 2.25 \\ \epsilon_l = 2.85 \end{cases} \quad (7.20a)$$

これに対し、通常GaAs上CPW線路は、GaAsの比誘電率12.6、基板厚み600 μm として等角写像法から求めると、次のようなる。

$$\text{特性インピーダンス} \begin{cases} Z_h = 22\Omega \\ Z_l = 105\Omega \end{cases}, \text{実効誘電率} \begin{cases} \epsilon_h = 6.8 \\ \epsilon_l = 6.8 \end{cases} \quad (7.20b)$$

ここで、GCBCPW線路と同様に、線路作製プロセス上の安定性を考慮し、信号線幅10~200 μm 、ギャップ5 μm 以上とした。最高インピーダンスは線路幅10 μm 、ギャップ100 μm において、最低インピーダンスは線路幅200 μm 、ギャップ5 μm において得られる。GCBCPW線路は、通常GaAs上CPW線路に比較して、最低インピーダンスが0.4倍、最高インピーダンスが1.6倍となる。したがって、式(7.20b)から、寄生容量、寄生インダクタは各々、通常GaAs上CPW線路の16%、40%まで減少する。

C. 実測結果

作製したGCBCPW線路ステップインピーダンスフィルタのSEM写真を図7.30に示す。フィルタの段数は7段、カットオフ周波数は70GHzとして設計した。図7.31にステップインピーダンスフィルタの特性を示す。同時に作製した、通常GaAs基板上CPW線路を用いたフィルタを参照として示す。DCBCPW線路は漏洩波、共振を抑止する構造であるため、通常CPW線路に比較して滑らかな特性が得られた。遮断周波数70GHz以上では、通常CPW線路よりも多少急峻な周波数特性が得られ、100GHz以上まで挿入損失が十分に増大している。70GHz以下の通過帯域で挿入損失が大きくなっているが、これはGCBCPW線路自体の挿入損失が良好でなかったためと考えられる。

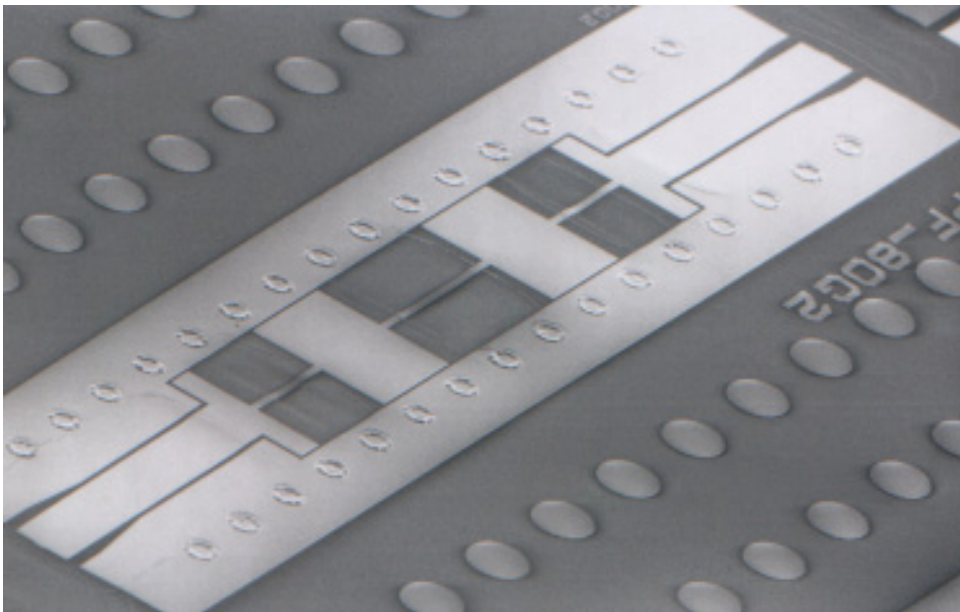


図7.30 作製したGCBCPW線路ステップインピーダンスフィルタのSEM写真

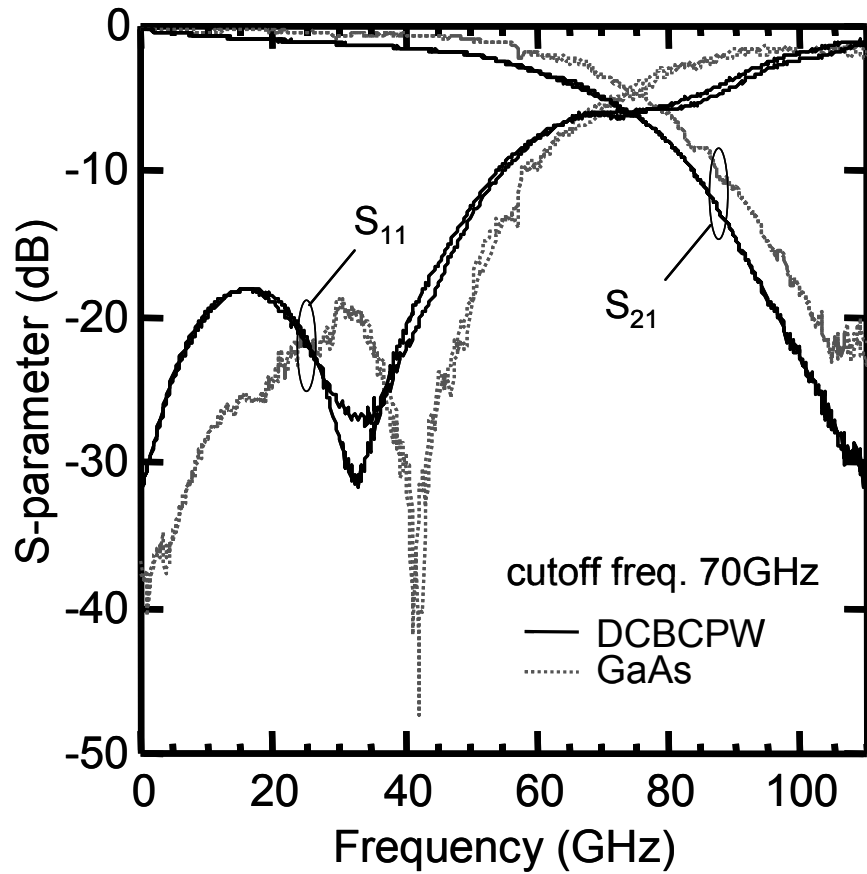


図7.31 ステップインピーダンスフィルタの特性

7.5 バンブ実装

半導体デバイス高速化・高性能化にともない、広帯域光通信システム、ミリ波無線システムなどに搭載される場合の高性能・高効率実装への要求が高まっている。マイクロバンブボンディングを利用したフリップチップ実装は、このような高密度かつ高周波特性に関する要求に答えるもっとも有望な技術である[28-30]。マイクロバンブボンディングの利点は、低寄生インダクタンスとともに、その熔融はんだの表面張力に起因する自己整合的な位置決め精度および高さの制御性である[31, 32]。

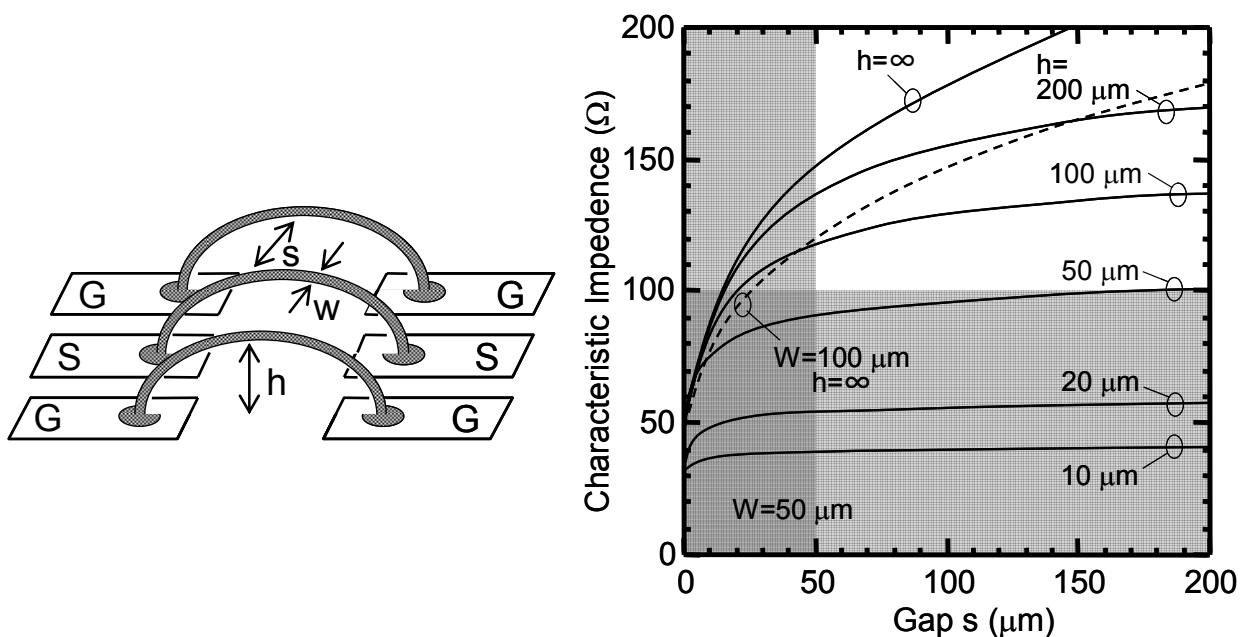
マイクロはんだバンブ技術は、1970年代にIBMにおいて、Siバイポーラトランジスタ集積回路チップへの電氣的接続に適用した技術であり、C-4 (Controlled Collapse Chip Connection) と呼ばれている[33]。使用されたはんだ材料の組成はSn:10%、Pb:90%であり、リフロー温度 (はんだ熔融温度) は約300°Cであった。Pb-Sn系はんだ合金は、その経済性、簡便性から、最も汎用されているバンブ材料である。SnPbはんだの利点はワイヤボンディングに比較して低い寄生インダクタンス、他のはんだ材料に比較して低い熱処理温度、そして熔融はんだの表面張力を利用した位置決めに関するセルフアライメント性である。

しかし、鉛の環境破壊への認識が高まるにつれ、鉛フリーはんだ材料の研究開発が活発化している。Sn_{0.42}Bi_{0.58}、Sn_{0.48}In_{0.52}、Sn_{0.91}Zn_{0.9}、Sn_{0.965}Ag_{0.035}など、数々の鉛フリーはんだ材料が検討されているが、殆どの合金系は、共晶点温度付近では構成金属間の相互拡散が小さく、均質化するには600から800°C程度の熱処理が必要である。そこで、超高速化合物半導体実装用に、SnおよびAu薄膜を交互に積層して作製する新しい鉛フリーはんだバンブボンディングを開発した[27, 34]。Sn-Au系合金は、室温においても相互拡散を起こす稀有な合金系であり、交互に積層したSnおよびAu薄膜は、共晶点において均質化する。通常の電子ビーム蒸着装置で堆積可能であり、Sn_{0.95}Au_{0.05}はんだバンブは217°Cという低温でボーリングする。したがって、Siに比較して熱処理温度に制約があるGaAsやInPなどの化合物半導体に適用可能である。

7.5.1 ワイヤボンディング実装の限界

Auワイヤボンディングは安価であるため様々なモジュールやパッケージに汎用されている。しかし、高周波への適用を考えた場合、寄生インダクタンスが大きく、100GHzで反射損失-10dBを得るには、100 μm以下のボンディングワイヤが必要との報告がある[35]。そこで、まず初めに、ワイヤボンディングの限界を解析的に求めてみる。

ワイヤボンディングは、チップと実装基板などの2箇所のパッドを繋げる。チップまたは実装基板の影響で、その線路インピーダンスはパッド付近では低く、ワイヤの真中付近では著しく高くなる。高周波においてこれを緩和するために、図7.32(a)に示すように、パッド配置をグランド/信号線/グランドというCPW線路配置にし、ワイヤボンディングもCPW線路構成とする手法が取られる。ワイヤの形状を板状で幅50 μmと仮定して、付録AのCPW線路の式から特性インピーダンスを求めると図7.32(b)のように算出される。通常のパッドピッチが100 μm程度であるから、空中CPW型ワイヤボンディングは、信号線幅50 μm、ギャップ50 μm程度になると考えられる。また、ワイヤ中心部のチップ面からの高さは通常50~200 μmである。したがって、空中CPW型ワイヤボンディングの線路インピーダンスは100 Ω程度であると考えられる。



(a) ワイヤボンディング構造 (b) 特性インピーダンスのギャップ依存性

図7.32 空中CPW型ワイヤボンディングの特性

ワイヤボンディングの特性インピーダンス Z_t とポート・インピーダンス Z_0 (50Ω) 比を、

$$z_t = \frac{Z_t}{Z_0} \tag{7.21}$$

とすると、図7.31で示される空中CPW型ワイヤボンディングの反射損失の大きさは次式で表される。

$$|S_{11}| = \frac{|z_t^2 - 1|}{\sqrt{(z_t^2 + 1)^2 + 4z_t^2 \cot^2 \beta l}} \tag{7.22}$$

図7.33は、反射損失が-5、-10、-20dBとなる等反射損失線の特性インピーダンスと位相関係を示すものである。空中CPW型ワイヤボンディングの構造が均一で位相定数が一定である場合、位相の増加は線路長の増加を表している。ワイヤボンディングの特性インピーダンスが 50Ω から乖離しているほど、低反射損失にするための短い線路が必要となる。チップ実装用のワイヤボンディングは、反射損失は最悪でも-10dBは確保しなければならない。特性インピーダンスが上記のように 100Ω の場合、反射損失-10dBを維持するためには、位相が 0.14π (rad) 以下、線路長に直すと 0.07λ でなければならない。空中CPW型ワイヤボンディングの実効誘電率を1と仮定すると、

$$l \leq 0.07\lambda = 0.07 \frac{c}{f} = \frac{21}{f(\text{GHz})} \text{ (mm)} \tag{7.23}$$

となるから、周波数100GHzでは、ワイヤボンディングの長さは $200 \mu\text{m}$ 以下でなければならない。現状の技術において、ボンディング長さを $300 \mu\text{m}$ 以下に抑えるには相当の熟練技術をもってしても不可能である。

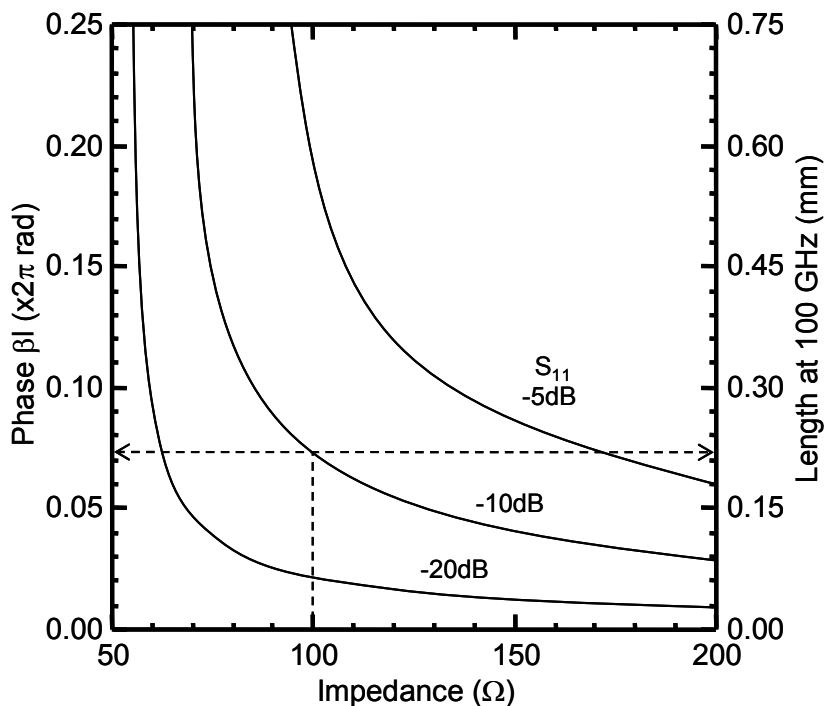


図7.33 等反射損失となるインピーダンスと位相関係

7.5.2 バンプ形状設計

広い周波数帯域に渡ってバンプボンディング実装のマイクロ波特性を良好に保つには、マイクロバンプの詳細な設計が不可欠である。マイクロバンプボンディングはそのマイクロバンプ高さや径によって、寄生容量や、特性インピーダンスの変動量が決定される。はんだ量、表面張力、荷重、下部電極の直径などの設計パラメータから精度の良いバンプ形状設計が可能である。

図7.34のポンチ絵に示すように、濡れ性ほ良い材料の場合、接触角 θ_1 は小さく、濡れ性の悪い材料の接触角 θ_2 は大きい。はんだが下部電極に乗るためには、接触角 θ は $\theta_1 \leq \theta \leq \theta_2$ となる必要がある。はんだ量が増加すると接触角 θ は大きくなり、 θ_2 に達すると下部電極からはみ出し $\theta = \theta_2$ となる。したがって、下部電極からはみ出す限界 ($\theta = \theta_2$) でのばんぷ形状を求めれば良い。

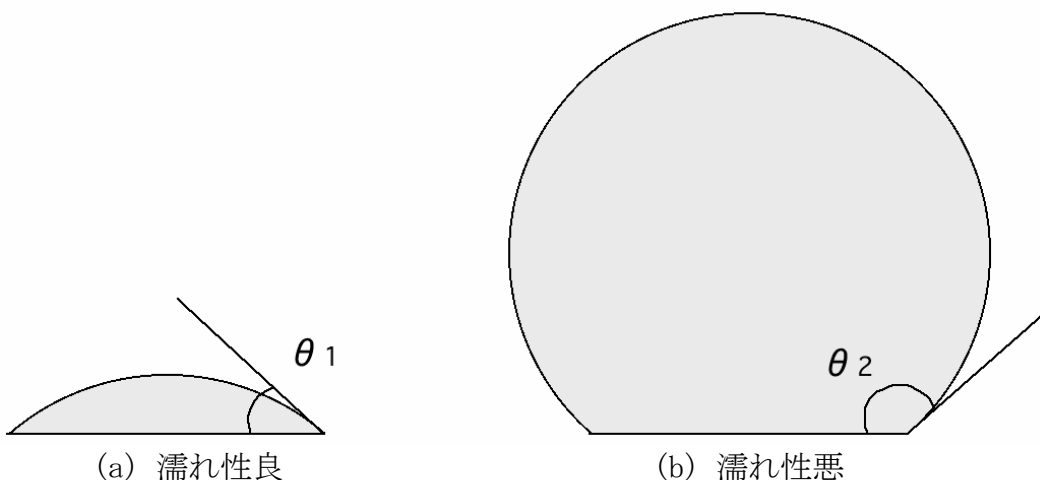


図7.34 下部メタルの濡れ性とバンプ形状の関係 ($\theta_1 \leq \theta \leq \theta_2$)

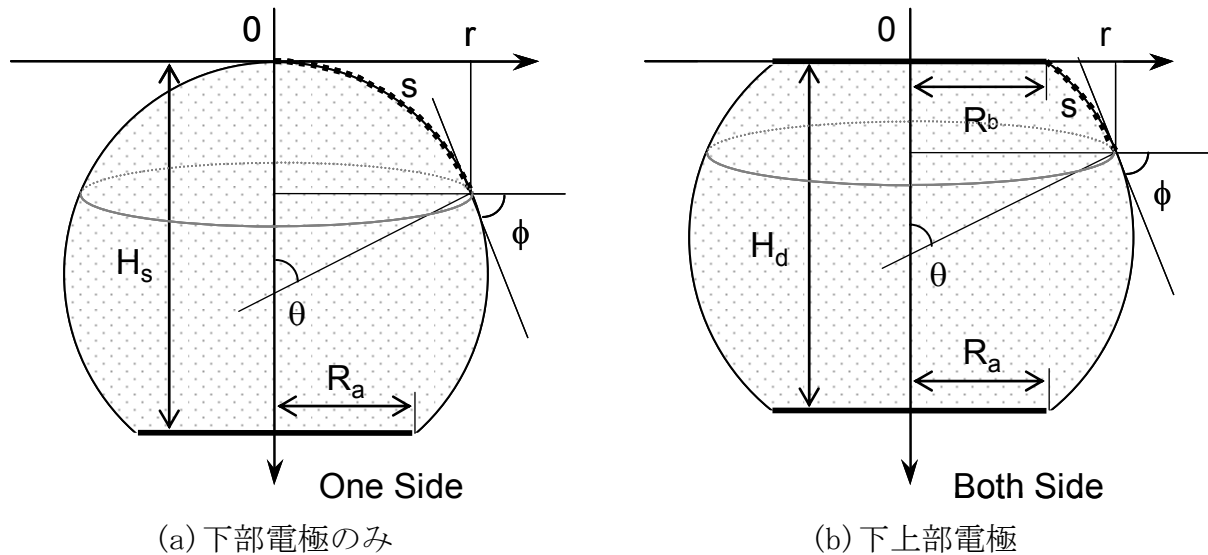


図7.35 はんだ形状モデル

はんだを乗せる上下電極の形状を円形とし、図7.35のよう下部電極のみがある場合（プレリフローによりチップ下部電極にはんだを熔融したときの形状）と、上下電極がある場合（チップを反転し、マザーボードに接続したときの形状）の2つのはんだ形状モデルを考える。図7.35(a)のように円形の下部電極にはんだを乗せた場合、熔融状態ではんだの形状は下部電極の中心を軸とした線対称となる。そして、その形状は表面張力と熔融はんだの内部と外部の圧力差で決まり、次式のようなYoung-Laplaceの方程式で表される。

$$\frac{1}{\rho_1} + \frac{1}{\rho_2} = \frac{1}{T}(P_{in} - P_{out}) \quad (7.24)$$

ここで、 ρ_1 および ρ_2 は、はんだ表面の曲率半径であり、それぞれ、下部電極に水平な面での切り口の曲率半径、その切り口に垂直な方向の曲率半径である。Tははんだの表面張力、 P_{in} および P_{out} ははんだ内部および外部の圧力である。

下部電極中心を貫く中心軸をz、半径方向の軸をrとする円柱座標をとり、切り口の長さをs、切り口の中心軸rと接線とのなす角を ϕ 、曲率半径は、それぞれ、次式のようにになる。

$$\frac{1}{\rho_1} = \frac{d\phi}{ds} \quad (7.25a)$$

$$\frac{1}{\rho_2} = \frac{\sin\phi}{r} \quad (7.25b)$$

また、はんだの密度を σ とし、下部電極上 ($z=0$) での圧力差 $P_{in} - P_{out}$ を P_o とすると、(d.3)式の右辺は次式のようにになる。

$$\frac{1}{T}(P_{in} - P_{out}) = \frac{1}{T}(P_o + \sigma gz) \quad (7.25c)$$

したがって、(7.25)式から、(7.24)式のYoung-Laplaceの方程式は次のようになる[36]。

$$\frac{d\phi}{ds} + \frac{\sin\phi}{r} = \frac{1}{T}(P_o + \sigma gz) \quad (7.26a)$$

さらに、 r 、 z およびはんだ体積 V の間には次のような関係が成立する。

$$\begin{aligned} \frac{dr}{ds} &= \cos\phi \\ \frac{dz}{ds} &= \sin\phi \\ \frac{dV}{ds} &= \pi r^2 \sin\phi \end{aligned} \quad (7.26b)$$

以上、(7.26a, b)式の連立常微分方程式を解くことにより、 ϕ 、 r 、 z 、 V が s の関数として表される。

1) 下部電極のみの場合

下部電極の半径を R_a 、はんだの体積を V_o とする。 $\sigma=0$ のときは、(7.26a)式において、圧力差 $P_{in}-P_{out}$ は z に対して一定であり、(7.24)式から、曲率半径も一定となる。また、 $S=0$ の点ではどの方向の曲率半径も等しい。したがって、バンプの形状は球が一部欠けた形となる。このとき、バンプの高さを H_{so} 、最大半径を R_c とすると、下記のような関係が得られる。

$$V_o = \frac{\pi}{2} H_{so} R_a + \frac{\pi}{6} H_{so}^3 \quad (7.27a)$$

$$R_c = \begin{cases} \frac{H_{so}^2 + R_a^2}{2H_{so}} & \left(V_o \geq \frac{2}{3} \pi R_a^3 \right) \\ R_a & \left(V_o \leq \frac{2}{3} \pi R_a^3 \right) \end{cases} \quad (7.27b)$$

2) 上下電極がある場合

チップ下部電極の半径を R_a 、上部電極の半径を R_b 、はんだの体積を V_o とする。はんだにかかるチップ重量を Mg とする。

(3)式を解くための境界条件は、

$$\begin{cases} \phi = \phi_{min}, r = R_a, z = 0, V = 0 & s = 0 \\ \phi = \phi_{max}, r = R_b, z = H, V = V_o & s = s_{max} \end{cases} \quad (7.28a)$$

また、 $z=0$ における力のつり合いの関係から、

$$\frac{P_o}{T} = 2 \frac{\sin\phi_{min}}{R_b} + \frac{Mg}{\pi R_b^2 T} \quad (7.28b)$$

$\sigma=0$ および、 $M=0$ のときには、曲率半径 R_1 と R_2 が等しくなり、バンプの形状は球の上下が一部欠けた形となる。このとき、バンプの高さを H_{do} 、最大半径を R_c とすると、下記のような関係が得られる。

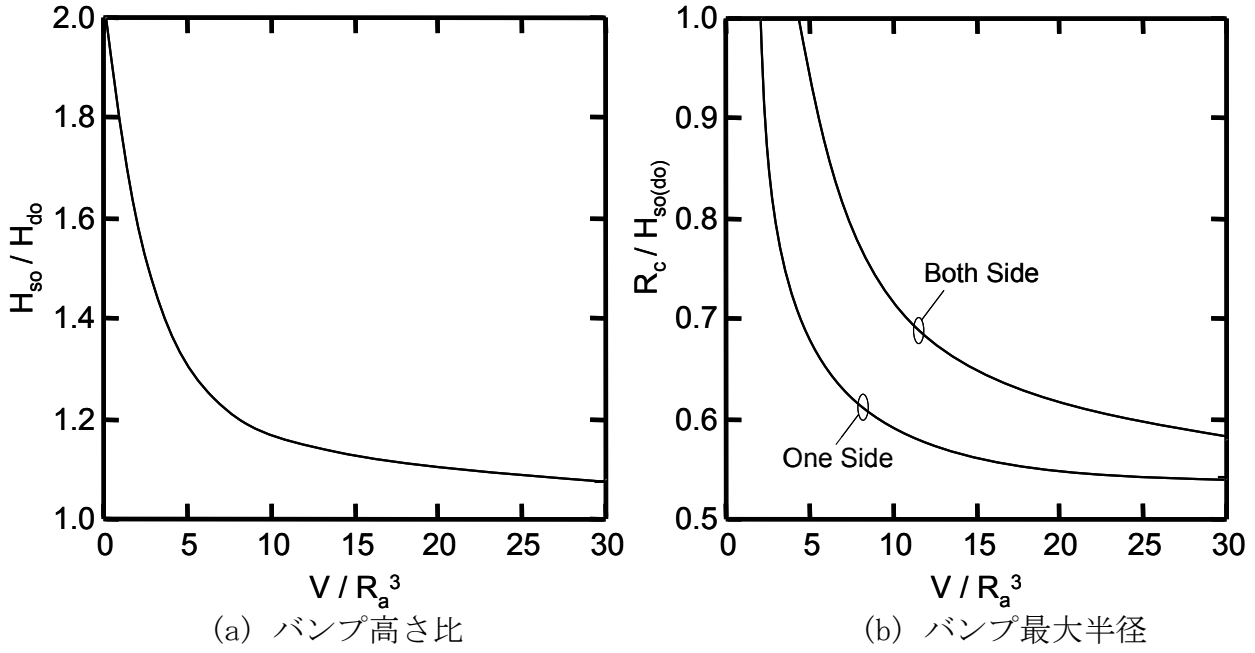


図7.36 バンプ高さおよび最大径 ($\sigma=0$ および $M=0$)

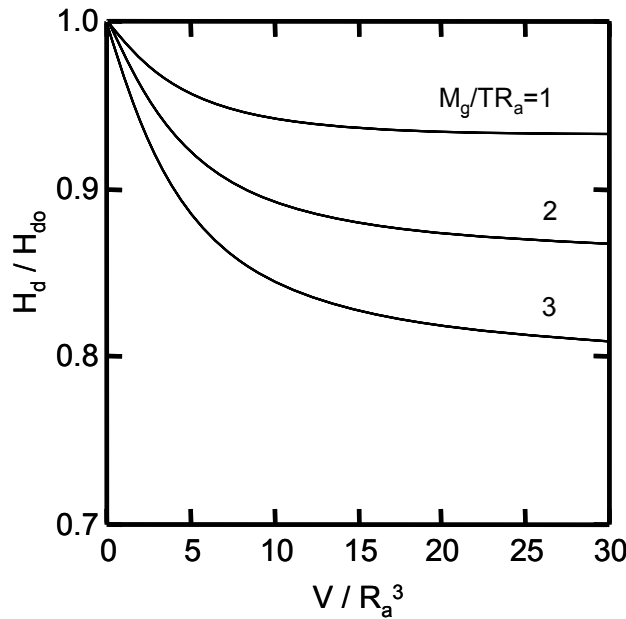


図7.37 チップ荷重がある場合のバンプ高さ

$$V_o = \frac{\pi}{2} H_{do} (R_a^2 + R_b^2) + \frac{\pi}{6} H_{do}^3 \quad (7.29a)$$

$$R_c = \frac{\sqrt{(R_a^2 + R_b^2 + H_{do}^2) - 4R_a^2 R_b^2}}{2H_{do}} \quad \left(|R_a^2 - R_b^2| \leq H_{do}^2 \right) \quad (7.29b)$$

σ および M が任意の時は、(7.26) 式の常微分方程式を、(7.28) の境界条件のもとで解く。図7.36に、 $\sigma=0$ および $M=0$ の条件下で、式(7.27)、式(7.29)を用いて算出したバンプ高さおよび最大径を、バンプ体積 V と電極半径 R_a^3 の比 V/R_a^3 に対する依存性を示す。上下

電極の電極半径 R_a, R_b は同一とした。バンブ体積 V を一定とした場合、比 V/R_a^3 が大きい程、バンブ高さは高くなる。図7.36(a)は下部電極のみの場合と上下電極がある場合のバンブ高さ比である。比 V/R_a^3 が大きい程、バンブ高さ比は1.0に近づく。図7.36(b)は下部電極のみの場合と上下電極がある場合のバンブ半径と高さの比 R_c/H である。高さが同じ場合、上下電極がある方がバンブ半径は大きくなる。

表7.2 各種物質の密度(g/cm³)

	Pb	Au	Sn	Si	GaAs
密度 σ	11.3	19.3	6.0	2.3	5.3

図7.37は、チップ荷重 ($M \neq 0$) がある場合のバンブ圧縮度を示す。チップ荷重は、バンブ表面張力 T および電極半径 R_a で規格化した。またバンブ圧縮度は、チップ荷重がある場合のバンブ高さ H_d とチップ荷重が無い場合 ($M=0$) のバンブ高さ H_{d0} との比 H_d/H_{d0} で表した。規格化したチップ荷重 Mg/TR_a が1程度であれば、高さの圧縮は数%程度である。したがって、チップ荷重を支えるバンブボンディングの数を増やし、 $Mg/TR_a < 1$ とすれば、チップ荷重が無い場合 ($M=0$) の簡易計算でバンブ高さ設計ができる。

例えば、一般的にマイクロバンブに用いるはんだ材料であるPb0.95Sn0.05、Pb0.6Sn0.4の密度は、各々、11.1、8.4g/cm³である。また、今回開発したSn_{0.95}Au_{0.05}の場合には18.7g/cm³となる。また、はんだの表面張力はPb0.95Sn0.05、Pb0.6Sn0.4の場合、各々、330、490dyn/cmである。GaAsチップをはんだバンブで接続する場合、バンブにかかる重量がチップ荷重だけとし、下部電極(バンブ半径 R_a)の n 倍のピッチでチップ全面にバンブを形成した場合を考える。この場合、図7.36で用いた規格化されたバンブ重量は、次式のようになる。

$$\begin{aligned} \frac{Mg}{TR_a} &= \frac{(2nR_a)^2 t \sigma g}{TR_a} = \frac{4n^2 t \sigma g}{T} R_a \\ &= \frac{4n^2 \times 0.06 \times 5.3 \text{ (g/cm}^3\text{)} \times 980 \text{ (cm/s}^2\text{)} \times 10^{-4}}{T \text{ (gcm/s}^2\text{)}} R_{a(\mu\text{m})} = 0.125n^2 \frac{R_{a(\mu\text{m})}}{T \text{ (gcm/s}^2\text{)}} \end{aligned} \tag{7.30}$$

今回開発したSn_{0.95}Au_{0.05}の場合、表面張力が鉛はんだ材料Pb0.95Sn0.05、Pb0.6Sn0.4と同程度で、 $R_a/T \sim 1/20$ であれば、 $Mg/TR_a \sim 1$ とするためにはバンブピッチ $n \sim 10$ あればよい。

7.5.3 バンブ作製法

幾つかの鉛フリーはんだ合金を次の観点から調査した。(1) 簡易的に製造可能であるためにマルチ電子ビーム蒸着を使用しないこと。(2) 熱処理温度の制約がある化合物半導体に使用するために250°以下の熱処理温度でリフローが可能であること[38]。しかし、ほとんどの鉛フリーはんだ材料は、構成金属間の蒸気圧(vapor pressures)が著しくことなり、1電子ビーム蒸着では堆積できない。また、その共晶温度(eutectic temperature)において、相互拡散(interdiffusion)しない。Au-Sn系は例外的に室温においても相互拡散が認められる希有な混晶系である。Au-Sn系の相互拡散による組成分

布の研究がBueneにより詳細になされている。Au-Sn系多層蒸着膜は室温においても相互拡散が認められ、組成に応じてAuSn、AuSn₂、AuSn₄が形成され、また200°Cで相互拡散による組成の均一化が生じる。さらにSnリッチの組成においては250°Cでポーリングが起こると報告されている[36, 37, 42]。したがって、AuおよびSn薄膜を順次堆積した多層薄膜は、その共晶点温度においてhomogenizedする。実際に、このAu-Sn系では、図7.38の相図からSn_{0.95}Au_{0.05}は217° という極めて低い共晶温度で混晶となることが分かる。GaAsやInPなどのSiに比較して低温の熱処理が要求されるデバイスに適用することが可能である。

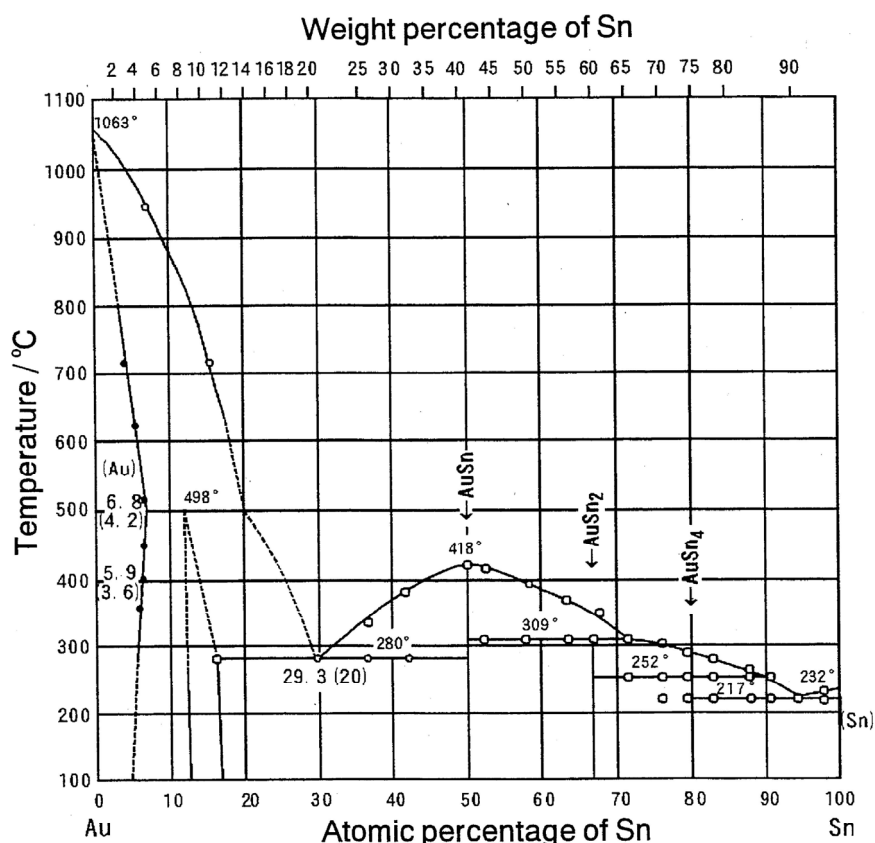


図7.38 Au-Sn相図

AuSnはんだパンプの作製プロセスを図7.39に示す。

(a) 3インチGaAsウェハ上に500nm厚さのSiO₂薄膜を堆積した後、Ti (100 nm) / Pt (500 nm) / Au (15000 nm)を堆積し、マイクロ波線路を作製する。その上に3.0 μmのbenzocyclobutene (BCB)をスピコートしてGaAsウェハ全体を被覆する。BCB塗布後の熱処理はキュア温度220°C、60分である。マイクロ波線路上でマイクロパンプを搭載する場所を、O₂/CF₄ RIEを用いてBCB薄膜を除去し、パンプ電極直径よりも6 μm小さいコンタクトホールを形成する。

(b) コンタクトホール上にTi (100 nm) / Pt (100 nm) / Au (100 nm)で構成された濡れ性の良いパンプ電極を形成する。パンプ電極の直径は標準で36 μmとした。15 μmの厚膜フォトレジストを用いたリフトオフ工程により、マイクロパンプ前駆体用のフォトパターンを作製する。フォトパターの直径は80 μmとした。

(c) 電子ガンが1つである通常の電子ビーム蒸着装置を用いて、SnとAuを交互に堆積した。Sn薄膜とAu薄膜の膜厚は各々、600nm、20nmであり、Sn薄膜とAu薄膜の組みを10層分堆積した。多層膜の全膜厚は6.2 μmである。膜厚から換算した、合金金属の組成は

Sn:Au=0.946:0.054 (mole%)である。

(d) リフトオフ工程の後、マイクロバンプの前駆体は、フラックス（ソルボンドR5003）塗布し、220℃、2分の熱処理で、ポーリングする。最後に有機溶剤（ソルファイン溶液）に浸漬してフラックスを除去する。

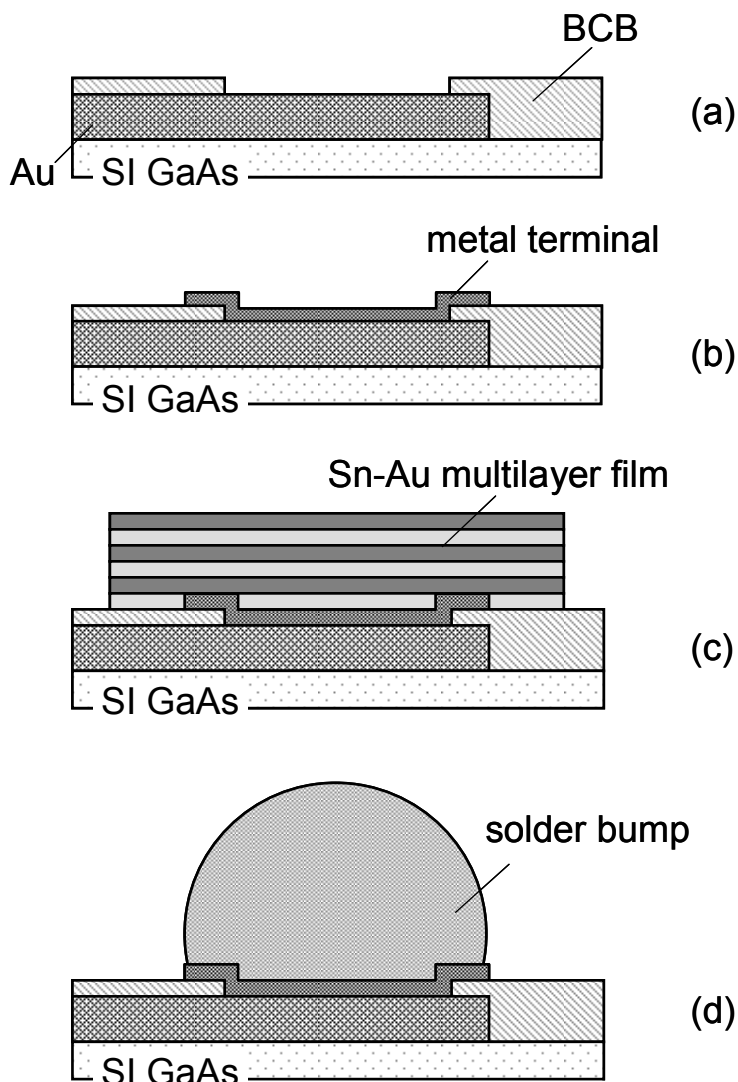


図7.39 新しい鉛フリーはんだバンプの作製プロセスフロー

図7.40にリフロー後のマイクロバンプのSEM写真を示す。バンプ下部電極直径は $36\mu\text{m}$ である。個々のマイクロバンプは、高精度フォトリソグラフィと1nm以下で制御可能な蒸着堆積膜厚でその体積が決定されるため、均一かつ高精度に作製することが可能である。同様に、AuSn合金の組成も蒸着堆積膜厚で高精度に制御可能である。図7.41に下部電極径の異なるマイクロバンプのSEM写真を示す。バンプ高さは、バンプ堆積とバンプ電極径を調整することで高精度に制御可能である。バンプ径 R_a とバンプ体積 V の関係は、 $V=5.5R_a^3$ とした。どの大きさのマイクロバンプ作製においても、良好なポーリングが確認でき、ボイドなどは認められなかった。バンプ下部電極の構成材料であるPtが、バンプ熔融、ポーリングという高温熱処理中に、 $\text{Sn}_{0.95}\text{-Au}_{0.05}$ バンプがAuマイクロ波線路に拡散浸透するのを防ぐ役割を担っている。

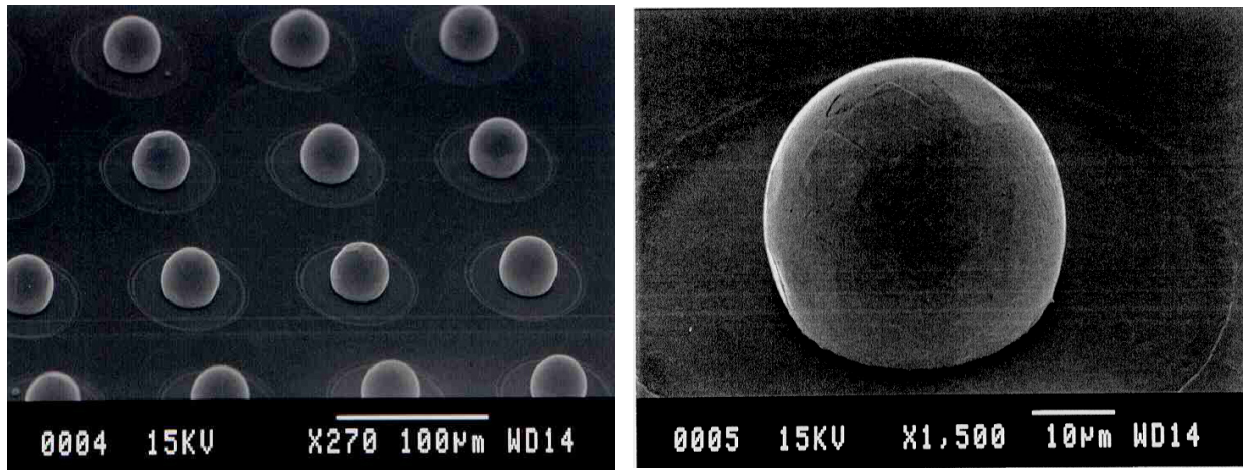


図7.40 リフロー後のマイクロパンプのSEM写真

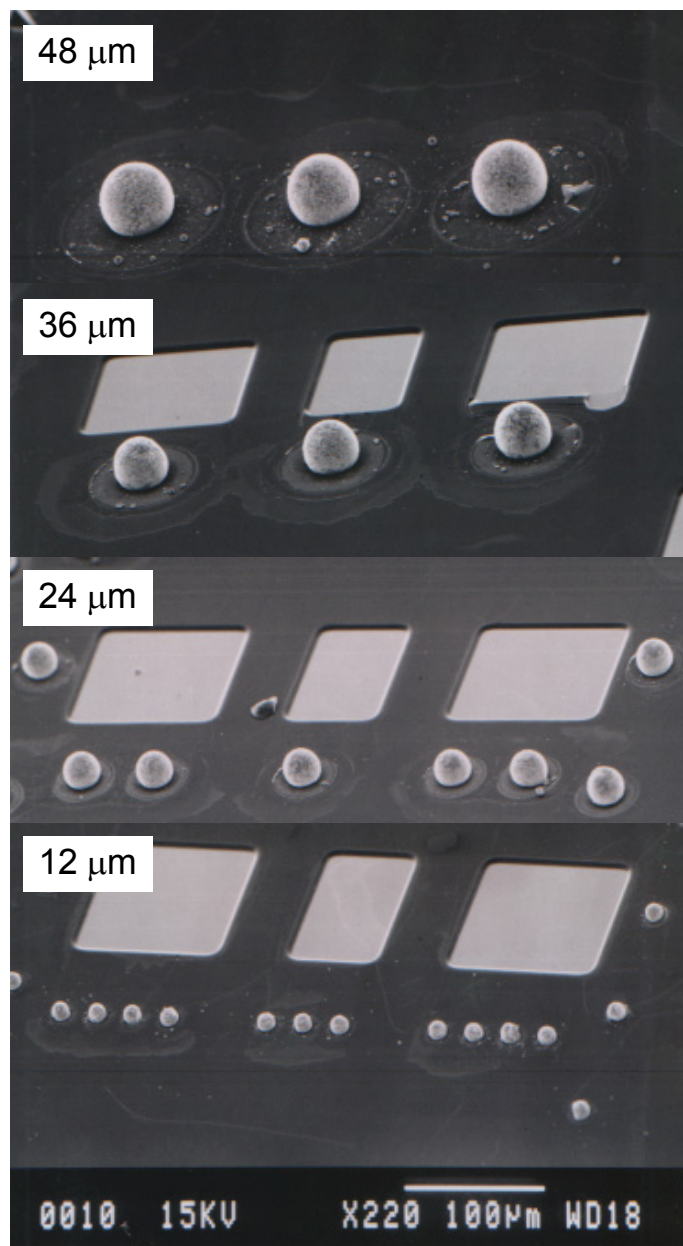


図7.41 下部電極径の異なるマイクロパンプのSEM写真
下部電極の直径は12、24、36、48 μm

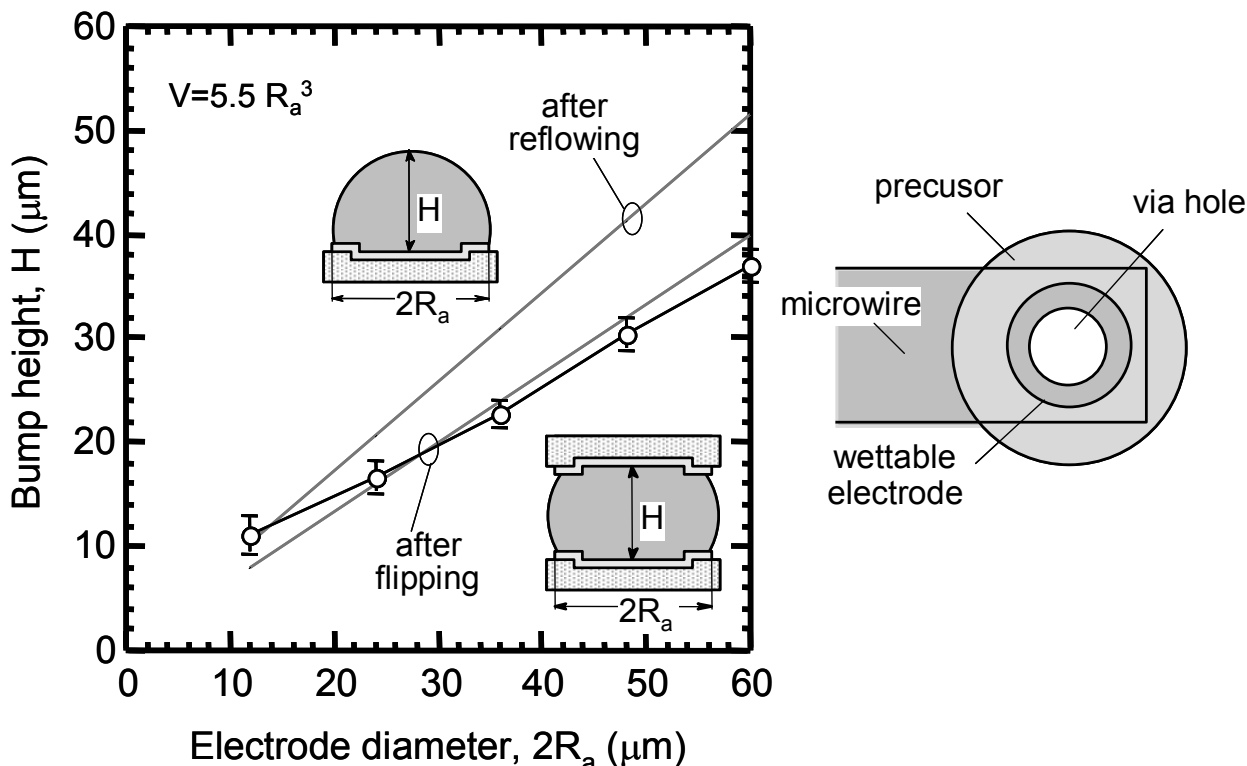


図7.42 バンプ高さの電極直径依存性。灰色線は計算値、○は実測値。

図7.42にはバンプ高さ H とバンプ電極直径 $2R_a$ の関係を示す。下部電極と上部電極径は同一とした。破線は、規格化したチップ荷重 $M_g/nTR_a \sim 0$ とし、式(7.27)と式(7.29)を用いて、熔融状態の $\text{Sn}_{0.95}\text{Au}_{0.05}$ の表面張力が汎用されている $\text{Sn}_{0.6}\text{Pb}_{0.4}$ と同じと仮定して算出したバンプ高さである。白丸はフリップチップ実装後に測定したバンプ高さである。チップサイズ $2\text{mm} \times 2\text{mm}$ 、厚さ 0.6mm とした場合GaAsチップの重さは 12.7mg である。各々のチップにおいて、チップ周囲にマイクロバンプを配置した。この場合、それぞれのチップにおける比 M_g/nTR_a は $0.23 \sim 0.43$ の範囲内に収まる。バンプ高さはフリップチップ実装した試料の上面から赤外顕微鏡を用いてチップー実装基板間のギャップを測定することで算出した。測定は、5つ試料について各々4つの角で測定した。バンプ体積とバンプ電極径を調整することで、高さ $11\mu\text{m}$ から $37\mu\text{m}$ のバンプを高精度に作製することに成功した。各々のバンプ高さの標準偏差は $1.5\mu\text{m}$ 以下であった。測定したバンプ高さは、チップ重量の影響で、設計値よりもバンプ径依存性が少なかった。計算に因れば、 $M_g/nTR_a \sim 0.3$ の場合には、数%高さが圧縮される。この分を考慮すれば、新しく開発した $\text{Sn}_{0.95}\text{Au}_{0.05}$ マイクロバンプは、汎用されている $\text{Sn}_{0.6}\text{Pb}_{0.4}$ と同様、設計性良く作製可能である。一方、最も小さい高さ $11\mu\text{m}$ のマイクロバンプは、実測値が計算値よりも大きいのが、これは、 $3\mu\text{m}$ 厚BさのBCBでバンプ電極の鏢となる部分の比率が、コンタクトホール部分よりも多いために、高くなっていると考えられる。

7.5.4 高周波特性

フリップチップ実装を行った場合、チップ上に作り込まれたデバイスは、実装基板表面に接近することになる。バンプ高さが十数 μm になった場合、実装基板の存在で、チップ上マイクロ波線路の特性インピーダンスが低下することになる。特性インピーダンスの変化を見積ることでもバンプ高さを評価することが可能である。図7.42にバンプ実

装後の特性インピーダンスを評価する実装構造を示す。GaAs実装基板の上に、長さの異なる2種類のCPW線路を作製した。同時に、チップ周囲に電気的接続に関与しないダミーパンプを、比 M_g/nTR_g が0.23から0.43の範囲内になるように搭載したGaAsチップを作製した。GaAsチップは、表面にグランドメタル有る／無しの2種類を用意し、それぞれ、実装基板にフリップチップ実装した。CPW線路の線路幅 W は $80\mu\text{m}$ 、スロット幅 S は $60\mu\text{m}$ であり、線路領域幅 $W+2S$ は $200\mu\text{m}$ である。

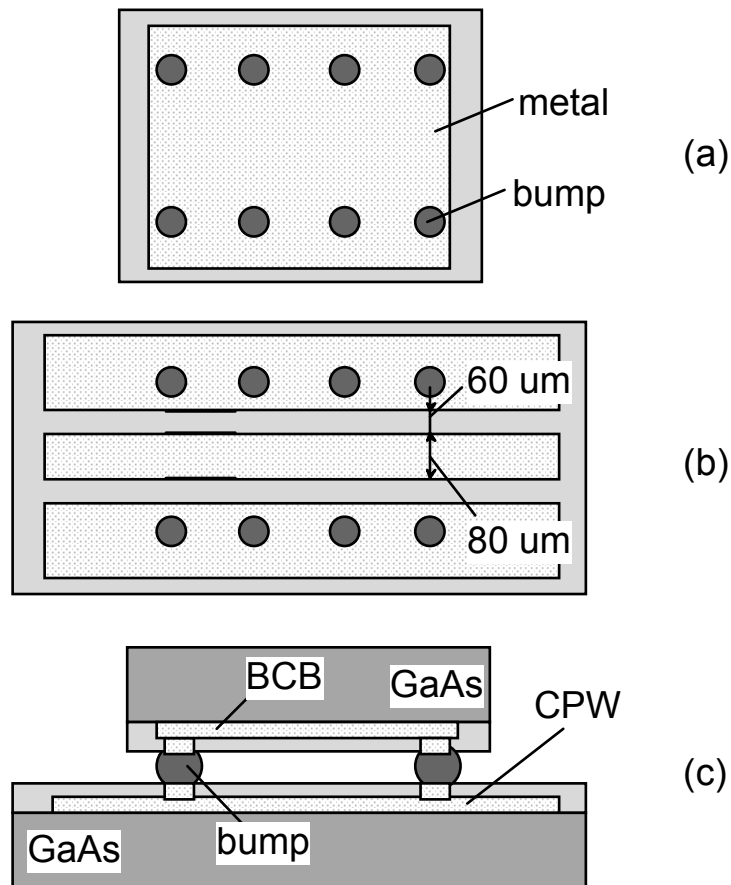


図7.43 特性インピーダンスを評価した実装構造。

(a) 上部基板（メタル有無を用意）、(b) 下部基板、(c) バンプ実装図

フリップチップ実装した試料を、ネットワークアナライザHP8510B、オンウエハプローブシステムを用いて周波数範囲100MHz～110GHzで評価した。測定した特性インピーダンスのバンプ高さ依存性を図7.44に示す。白丸と黒丸は測定値である。破線は計算値である。測定値は、長さの異なるCPW線路のSパラメータの実測値を利用し、TEM波を仮定して位相回りから算出した。計算値は、付録Dに示す等角写像法を用いて算出した。有限の基板厚み h で、カバーシールドあり（高さ h_1 ）の場合の計算式 (D.37) を使用した。測定した特性インピーダンスは、計算値と良い一致を示している。チップ表面がグランドメタライズされていない場合、特性インピーダンスの 50Ω からの乖離は小さく、許容範囲である。バンプ高さが $11\mu\text{m}$ まで低くなっても、ずれは10%未満である。チップ表面にグランドメタライズがある場合には、実装基板上線路はカバー付きCPW線路と考えることができる[37]。CPW線路の特性インピーダンスはバンプ高さの減少にともなって、急激に減少する。バンプ高さが $20\mu\text{m}$ 以下では、カバーメタルの影響が大きくなり、インピーダンスは 30Ω 程度まで低下する。バンプ高さが低い場合に、実測値が計算値ほど低インピーダンスとならないのは、CPW線路の下に敷いた SiO_2 の影響である。

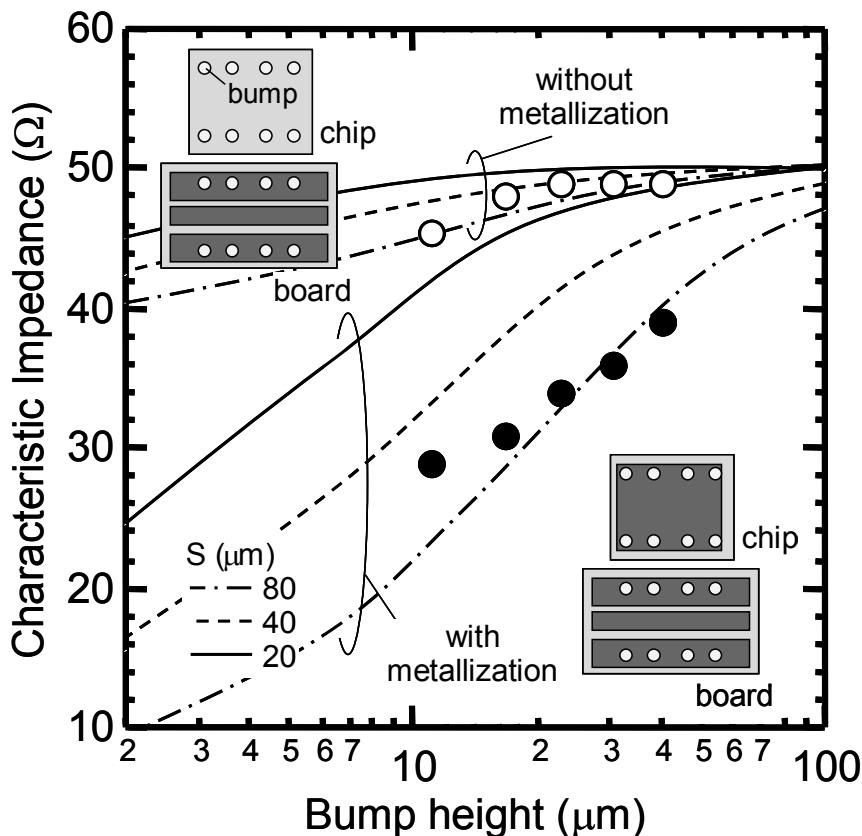


図7.44 特性インピーダンスのバンブ高さ依存性

開発したマイクロバンブボンディングの高周波特性を評価するために、CPW線路を搭載したGaAsチップとGaAs実装基板を作製し、フリップチップ実装した。図7.45に示すように、GaAsチップが面合わせで実装されるチップ搭載部にランドメタライズ有り/無しの2種類の実装基板を用意した。ランドメタライズが有る実装基板は、CPW線路のランドが全て繋がっている構造となっておりランド安定化の点で利点がある。チップ上および実装基板上的CPW線路領域幅 $W+2S$ は $200\mu\text{m}$ である。チップ上CPW線路の長さは 1.0mm 、フリップチップ実装後のチップおよび実装基板に跨る全線路長は 2.7mm である。マイクロバンブはチップ上CPW線路の端に配置し、バンブ電極の中心がCPW線路端から $20\mu\text{m}$ 内側にあるようにした。ここで、バンブパッド付近に高インピーダンス線路や千鳥線路のようなインピーダンス補償構造は設けず、マイクロバンブボンディングの効果そのものを評価するバンブパッド構造とした[39]。

図7.46には測定した挿入損失および反射損失の周波数依存性を示す。(a)は実装基板側のチップ搭載部にランドメタライズが無い場合、(b)はランドメタライズが有る場合の特性である。実装基板のチップ搭載部にランドメタライズが有る場合には、挿入損失はバンブ高さにほとんど依存せず、 100GHz において約 $1\text{dB}/\text{mm}$ であった。同様にバンブ高さは反射特性にも有意な影響は与えていない。強いて言えば、 40GHz 以上の周波数においては、低いバンブほど反射特性が若干良好である。高さ $11\mu\text{m}$ のバンブは、 $37\mu\text{m}$ に比較して、反射損失が 5dB ほど良好である。

マイクロバンブボンディングに起因する寄生容量を算出するために、測定したSパラメータを、等価回路を用いてフィッティングした。図7.44で示したCPW特性インピーダンスを利用し、マイクロバンブボンディングは短絡容量と直列インダクタンスで構成されるT形回路でモデル化した。その結果、バンブ高さが $11\mu\text{m}$ から $37\mu\text{m}$ のとき、バンブボン

ディングによる寄生容量は10fFから20fFと算出された。高いバンプほど寄生容量が大きくなっている。マイクロバンプのアスペクト比（バンプ高さと直径の比）はほとんど一定であり、高いバンプは径が大きな太いバンプとなり、バンプ接続容量が大きくなる。したがって、実装基板のチップ搭載部にグラウンドメタライズが無い場合には、CPW線路のインピーダンスミスマッチではなく、主にバンプ接続に起因する接続容量が、反射特性劣化の原因である。

グラウンドメタライズがある場合には、無い場合に比較して、反射特性が著しく劣化する。高いバンプほど良好な特性となっており、この傾向は図7.44に示したCPW線路インピーダンスの結果と同じである。したがって、実装基板のチップ搭載部にグラウンドメタライズが有る場合には、著しい反射特性の劣化はCPW線路の特性インピーダンス不整合による。また、最も小さな $11\mu\text{m}$ バンプでは、バンプボンディングの製造歩留まりが大幅に劣化している。特に、実装基板のチップ搭載部にグラウンドメタライズが有る場合には著しく悪い。図7.46(b)に示すように、 $11\mu\text{m}$ バンプでは周波数40GHz付近に共振現象と見られるディップが発生しており、原因はバンプ接続自体が良好でないか、リフロー時のフラックス残りと考えられる。

良好な周波数特性と製造歩留まりの観点から、実装基板のチップ搭載部にグラウンドメタライズが無く、バンプ高さが $20\mu\text{m}$ 程度のマイクロバンプボンディングがW帯デバイスの実装方法として有効であると結論できる。

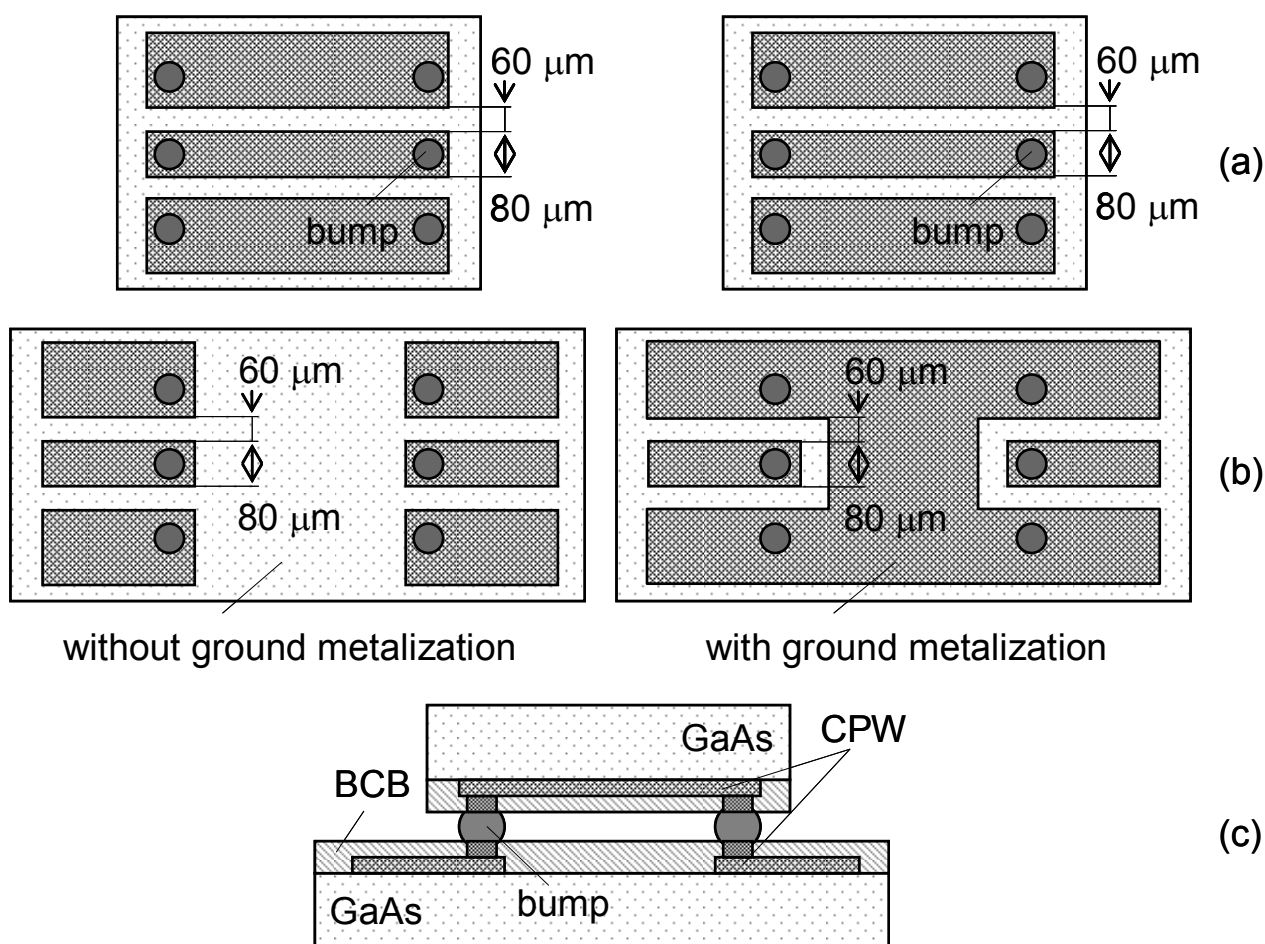
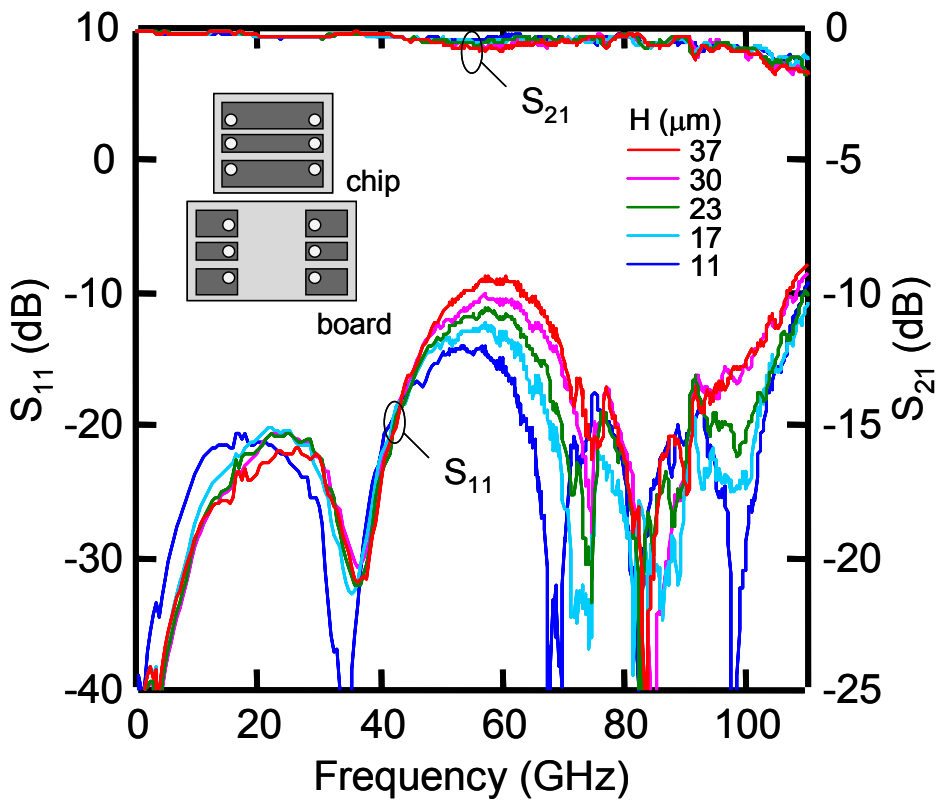
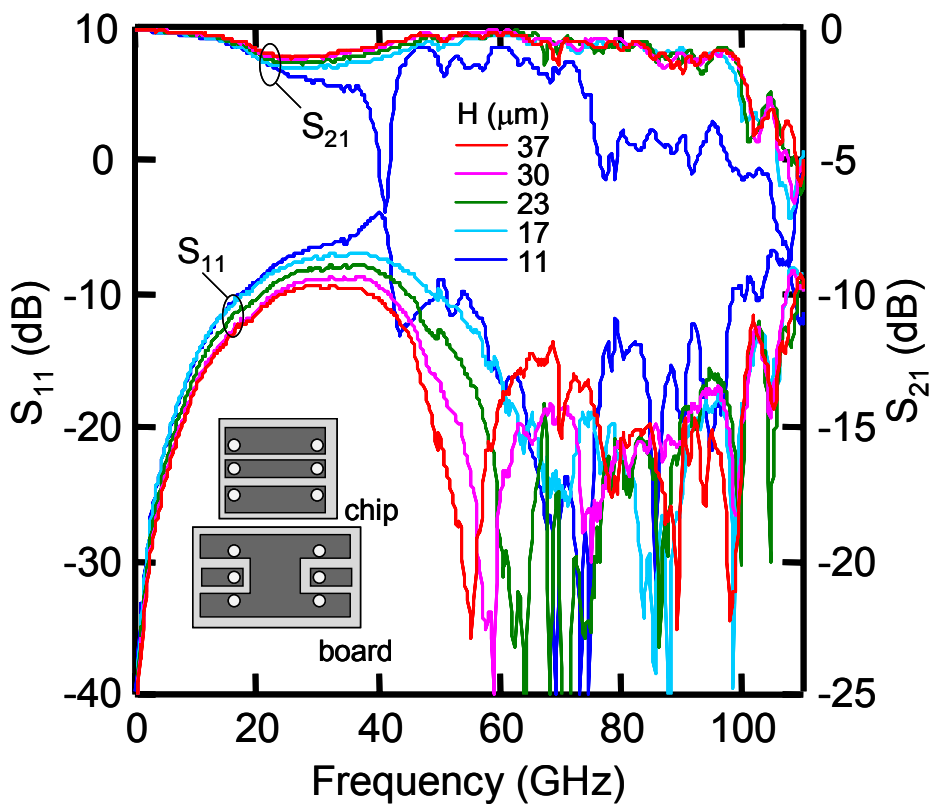


図7.45 高周波特性を評価した実装構造（グラウンドメタライズ有無）



(a) グランドメタライズ無し



(b) グランドメタライズ有り

図7.46 フリップチップ実装したチップの挿入損失と反射損失

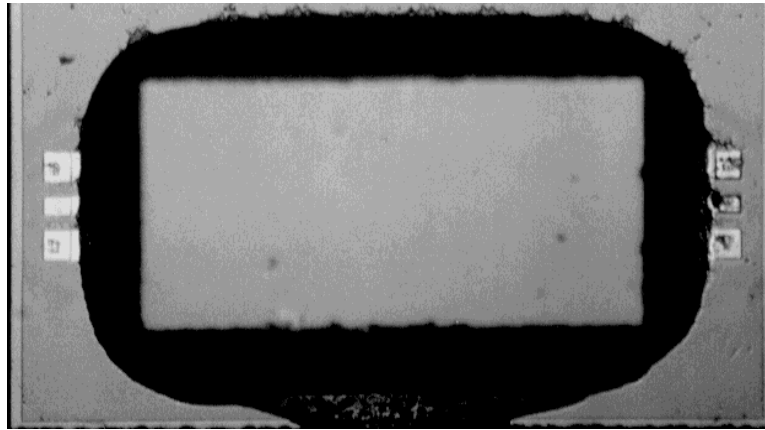


図7.47 アンダーフィル剤添加後のチップ実装写真（上面）

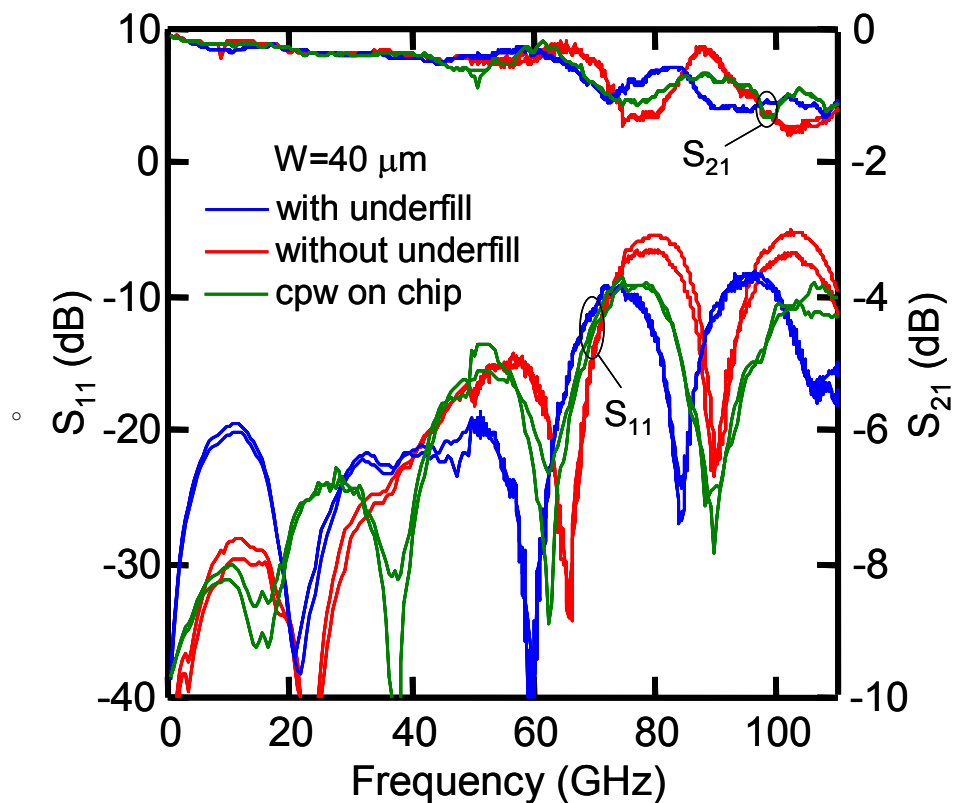


図7.48 アンダーフィル剤添加後の周波数特性

次に、マイクロバンプを用いたフリップチップ実装後、チップと実装基板間の隙間にアンダーフィル剤を挿入し、バンプ実装の補強を行った。図7.47にアンダーフィル剤添加後のチップ実装上面写真を示す。アンダーフィル剤はエポキシ樹脂系で1kHzにおける比誘電率が3.8である。アンダーフィル剤挿入後の熱処理はキュア温度125°C、30分および165°C、2時間である。図7.48にアンダーフィル剤添加後の挿入損失および反射損失の周波数依存性を示す。実装したGaAs上CPW線路の信号線幅 W は40 μm 、ギャップは30 μm である。バンプ電極直径は36 μm である。実線と破線は、それぞれ、アンダーフィル剤有り／無しの試料の結果である。CPW線路の結果を参照として灰色線で示す。図から分かるように、今回開発した鉛フリーはんだバンプ実装では、 W 帯まで良好な特性が得られている。110GHzにおける、アンダーフィル剤有り（無し）試料の挿入損失および反射損失は、

それぞれ、0.8dB/mm (0.8dB/mm)および6dB (9dB)であった。信号線幅 $40\mu\text{m}$ のCPW線路の挿入損失が0.6dB/mm、反射損失が9dBであるから、フリップチップ実装したことによる反射損失の劣化は3dB以下である

W帯周波数のCPW線路において、若干、反射特性が良好でなかった原因を確認するために、0.5mm、1.0mm、2.0mmと長さの違う3種類のCPW線路のSパラメータを測定し、特性インピーダンスを算出した。インピーダンスの周波数分散は、周波数に対して線形であると仮定した場合に、 $0.2\Omega/\text{GHz}$ と算出された。低周波において 50Ω のインピーダンスが、100GHzでは 70Ω まで増加しており、CPW線路の反射特性劣化の原因と考えられる。一方、有限要素法を用いた電磁界解析から、CPW線路の実効比誘電率は5.6、また、 $25\mu\text{m}$ のアンダーフィル剤がCPW線路上に塗布された場合には6.8と算出される。この結果、アンダーフィル剤有りの場合には、CPW線路の特性インピーダンスが10%程度低下することになる。今回測定した試料では、チップが実装される実装基板表面にはグランドメタルが無く、バンプ高さも $24\mu\text{m}$ と比較的高いため、フリップチップ実装後もCPW線路の特性インピーダンスは殆ど変化しないと考えられ、実装前後の差は2~3%と見積られる[38]。以上の理由から、図7.48において、アンダーフィル剤を挿入後に、特性インピーダンスが10%程度減少し、反射特性が良好になったものと考えられる。

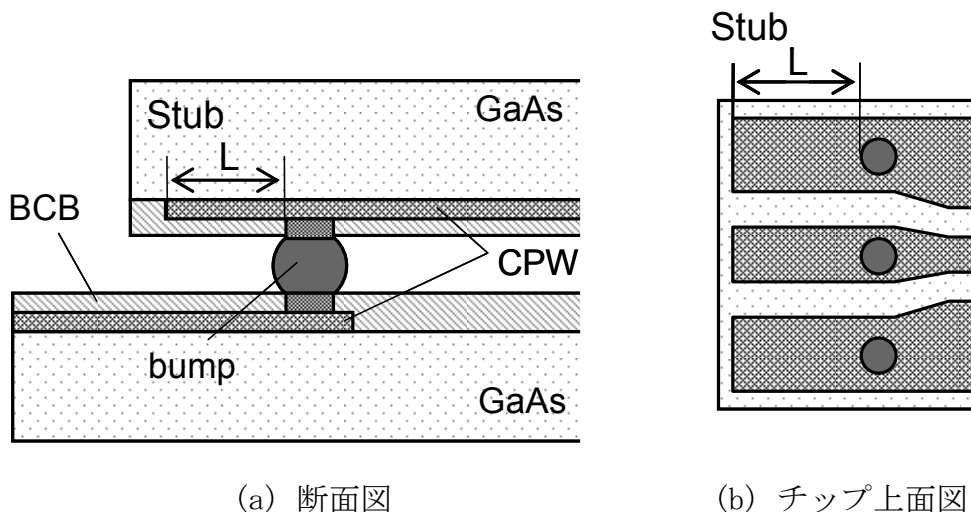


図7.49 バンプスタブ構造 (片側)

図7.49のようなバンプ接続部分の余分なパッドはスタブとなり、高周波特性を劣化させると考えられる。そこで、バンプ接続の高周波特性のスタブ依存性を検討した。図7.50に測定結果を示す。CPW線路の信号線幅は $30\mu\text{m}$ 、ギャップ $23\mu\text{m}$ とし、バンプ電極直径は標準の $36\mu\text{m}$ とした。バンプ接続部の信号線幅は $80\mu\text{m}$ とし、スタブ部分も同様に幅 $80\mu\text{m}$ とした。標準試料の場合、バンプ実装のプロセスマージンを考慮して、バンプ電極から外側にスタブ長さ $10\mu\text{m}$ を設けている。L=0 μm はこのプロセスマージン分のみあることを示す。スタブ長さL $50\mu\text{m}$ はプロセスマージン分 $10\mu\text{m}+50\mu\text{m}$ である。スタブ長さLが $50\mu\text{m}$ の場合は、標準試料に対して、挿入損失の劣化は殆ど無く、反射損失の劣化も高々数dBであるが、スタブ長さLが $150\mu\text{m}$ では、挿入損失で約2dB、反射損失で5~10dBの劣化が見られる。GaAs上CPW線路の実効誘電率を6.8とすると、100GHzにおけるマイクロ波の波長は 1.15mm である。100GHzにおいてスタブ $50\mu\text{m}$ 、 $150\mu\text{m}$ は、各々、 $\lambda/4$ の17%、52%に当たる。バンプ接続部分の余分なパッドは、 $\lambda/4$ の十数%であれば、バンプ接続の周波数特性への影響は軽微であると考えられる。

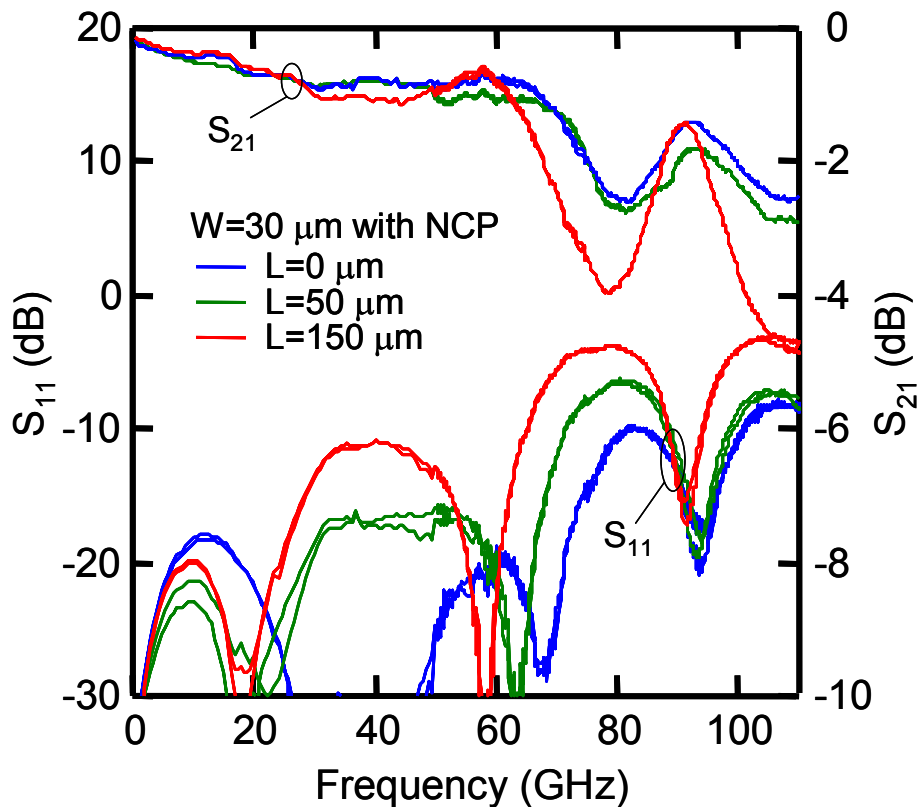


図7.50 バンプ実装周波数特性のスタブ依存性

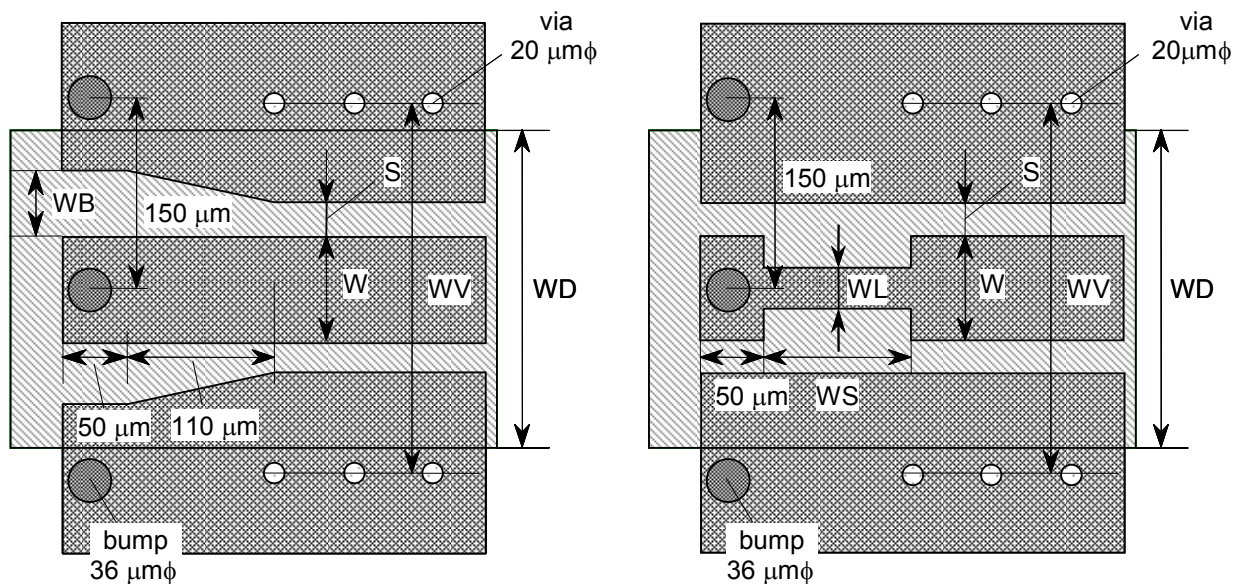
7.5.5 GCBCPW線路のバンプ接続

GCBCPW線路は、高周波における不要波を抑圧することが可能であり、実装基板用マイクロ波線路として有望である。また、線路下に埋込んだ誘電体の比誘電率が低く、本質的に高インピーダンス線路であり、バンプ接続の寄生容量の影響が少ない。GCBCPW線路のバンプ接続での有効性を検証するために、新しく開発した鉛フリーはんだマイクロバンプの組み合わせでバンプボンディング接続検討を行った。また、整合線路同士をそのままバンプ接続すると、接続部においてインピーダンスの低下が生じる。バンプボンディング部が容量性であることが原因である。そこで、同時にインピーダンスの低下を緩和するためのバンプ接続部低反射損失化設計を行い、試作、および実証を行った。

A. バンプ接続部低反射損失化設計

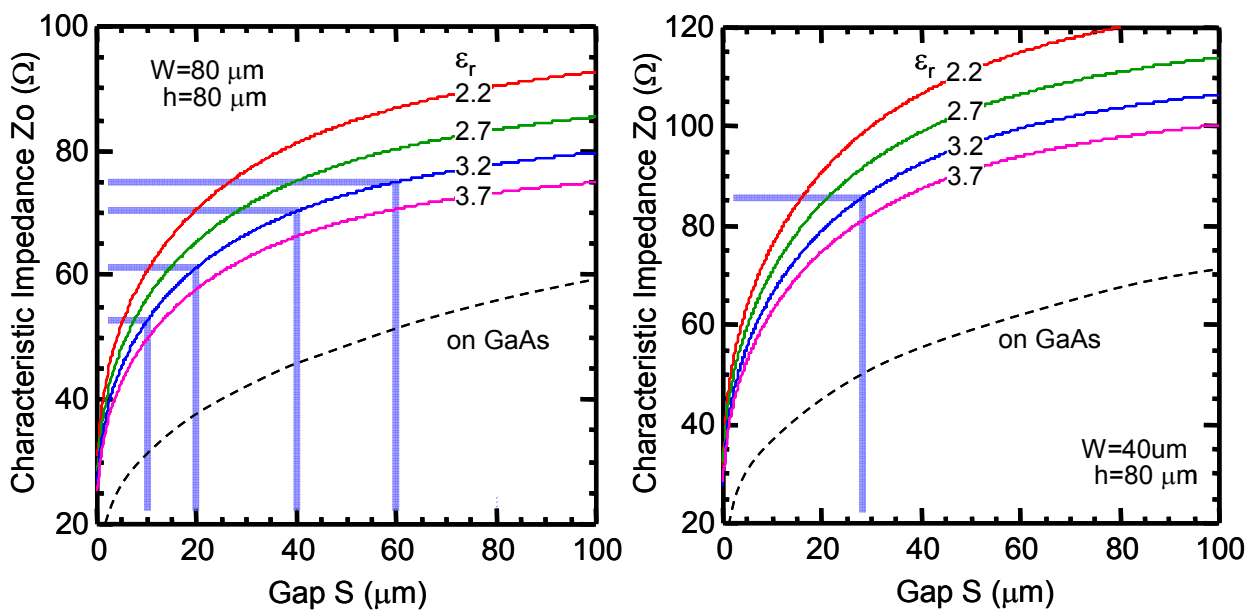
バンプ接続は容量性であるから、誘導性の高インピーダンス線路を付加して、ある周波数範囲で相殺することが可能である。バンプボンディング部を誘導性とするパッド構造として、図7.50のような2種類のバンプ接続部パッドを検討した。1つは高インピーダンスパッド(WB版)である。バンプ接続部パッドのCPW線路ギャップを広くし、高インピーダンス化する構造である。パッド構造を図7.51(a)に示す。標準寸法は、 $W=80\ \mu\text{m}$ 、 $S=8\ \mu\text{m}$ 、 $WD=240\ \mu\text{m}$ 、 $WV=280\ \mu\text{m}$ 、 $B=80\ \mu\text{m}$ である。図7.52(a)に、付録Dの等角写像法で求めたGCBCPW線路特性インピーダンスのギャップ依存性を示す。信号線幅は $80\ \mu\text{m}$ である。埋込まれた信号線下の誘電体の比誘電率が3.2の場合、バンプパッド部のギャップを8、20、40、 $60\ \mu\text{m}$ と広く取ることで、特性インピーダンスは、各々、50、62、70、 $76\ \Omega$ と高インピーダンス化することが可能である。

もう1つは高インピーダンス線路付きパッド(WB版)である。バンプ接続部パッドに高インピーダンス線路を付加する構造である。高インピーダンス線路部分は誘導性となり、バンプ接続部が容量性であるため、擬似的に低域通過フィルタの特性となる。パッド構造を図7.51(b)に示す。標準寸法は、 $W=80\mu\text{m}$ 、 $S=8\mu\text{m}$ 、 $WD=240\mu\text{m}$ 、 $WV=280\mu\text{m}$ 、 $WL=40\mu\text{m}$ である。図7.52(b)に、線路幅は $40\mu\text{m}$ でのGCBCPW線路特性インピーダンスのギャップ依存性を示す。信号線幅 $80\mu\text{m}$ の 50Ω インピーダンス線路は、全線路幅 $W+2S$ が $96\mu\text{m}$ であり、同一の全線路幅で線路幅 $40\mu\text{m}$ の線路を構成するとギャップは $28\mu\text{m}$ である。埋込まれた信号線下の誘電体の比誘電率が3.2の場合、信号線幅 $40\mu\text{m}$ 、ギャップ $28\mu\text{m}$ の特性インピーダンスは 86Ω である。



(a) 高インピーダンスパッド(WB版) (b) 高インピーダンス線路付きパッド(WS版)

図7.51 低反射損失化バンプパッド構造



(a) 線路幅 $W=80\mu\text{m}$

(b) 線路幅 $W=40\mu\text{m}$

図7.52 GCBCPW線路特性インピーダンスのギャップ依存性

上記2種類の低反射損失化バンプパッド構造を用いたバンプボンディング接続の周波数依存性を、有限要素法による電磁界解析により算出した。計算したバンプ接続の断面構造を図7.53に示す。バンプ電極直径 $40\mu\text{m}$ 、バンプ高さ（チップ・実装基板間ギャップ）は $25\mu\text{m}$ とした。バンプ電極を含めたチップ・実装基板間のパッド重なりは $50\mu\text{m}$ 、チップ端からパッドまでの長さを $75\mu\text{m}$ とした。シミュレーションはバンプボンディング接続1つ分とし、チップ側にポート1、実装基板側にポート2を設け、ポートインピーダンスは 50Ω とした。

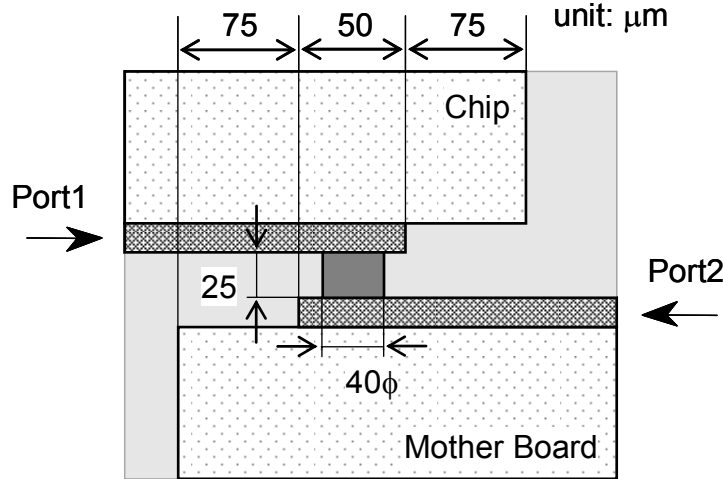


図7.53 計算したバンプ接続の断面構造

図7.54に、高インピーダンスパッド(WB版)の場合の計算結果を示す。チップ側および実装基板側の双方に高インピーダンスパッド構造を作製した。高インピーダンスパッドを用いることで、反射損失にディップが現れ、ディップより高周波側では反射損失の上昇が標準パッドよりも急峻になる。ディップが生じる周波数は、ギャップ $15、20、30、40\mu\text{m}$ で、各々 $100、70、40、10\text{GHz}$ であった。配線メタル厚さは考慮していないが、この影響を考慮するとディップが生じる周波数は殆ど変化しないが、ディップより低周波側では反射損失が低く、高周波側では高くなる。この特性は、特性インピーダンス R の線路に、直列にインダクタ L 、シャントにキャパシタ C を接続した簡易なモデルで説明することができる。このモデルの場合、バンプ接続の入力側から見たインピーダンス R_{bump} は、次式で表わされる。

$$\begin{aligned}
 R_{bump} &= R \left(j\omega \frac{L}{R} + \frac{1}{1 + j\omega RC} \right) \\
 &= R \frac{1 + j\omega \left\{ \frac{L}{R} [1 + (\omega RC)^2] - RC \right\}}{1 + (\omega RC)^2} \tag{7.31}
 \end{aligned}$$

ωRC 項が無視できる低周波数と、支配的となる高周波では、次のように近似できる。

$$R_{bump} \approx R \left[1 + j\omega \left(\frac{L}{R} - RC \right) \right] \quad \omega RC \ll 1 \tag{7.32a}$$

$$R_{bump} \approx j\omega L \quad \omega RC \gg 1 \tag{7.32b}$$

したがって、低周波ではインダクタを追加することで、バンプ接続の寄生容量を低減することが可能である。しかし、高周波ではバンプ接続部のインピーダンスはインダクタのみによって決り、周波数に比例して高インピーダンスとなってしまう。高インピーダンスパッド構造(WB版)の場合、100GHzまで標準パッドよりも低反射損失とするためには10~20 μm ギャップが妥当であると考えられる。

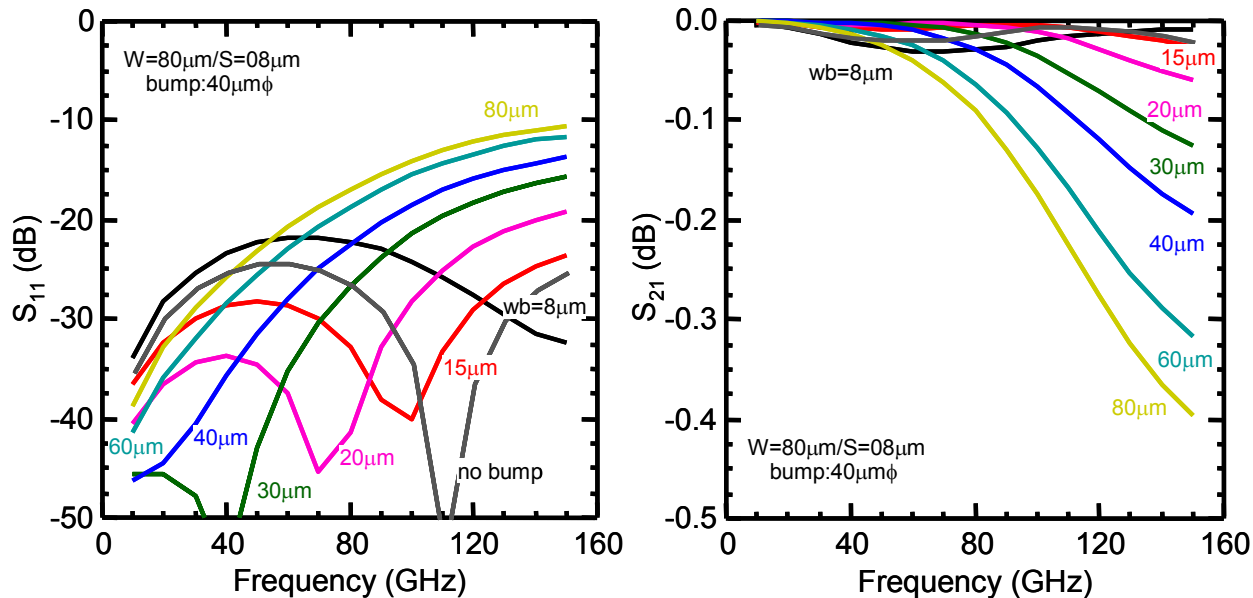


図7.54 高インピーダンスパッド(WB版)の周波数特性 (両側パッド)

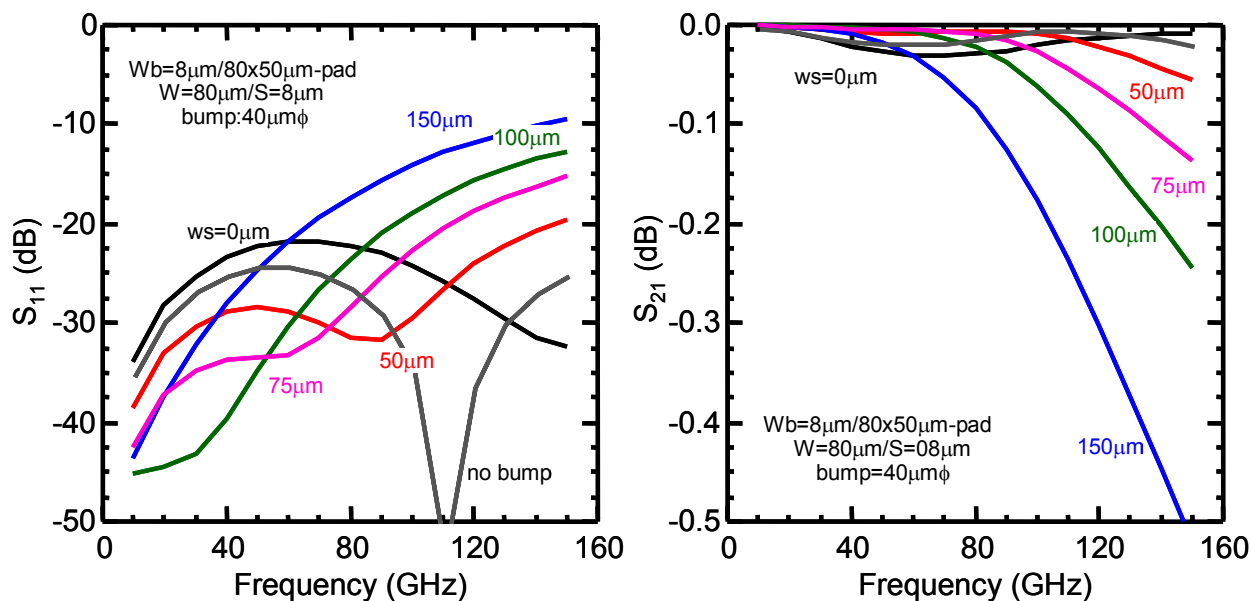


図7.55 高インピーダンス線路付きパッド(WS版)の周波数特性 (片側パッド)

図7.55に、高インピーダンス線路付きパッド(WS版)の場合の計算結果を示す。実装基板側にのみ高インピーダンス線路を挿入した。高インピーダンス線路の信号線幅は40 μm 、線路長は50~150 μm とした。幅狭インダクタ線路を用いることで、バンプ部寄生容量と共振させ、低域通過フィルタを構成することができる。高インピーダンスパッドの場合と同様に、反射損失にディップが現れ、ディップより高周波側では反射損失の上昇が標準パッドよりも急峻になる。ディップが生じる周波数は、高インピーダンス線路

の線路長50、75、100 μm に対し、各々、90、60、20GHzである。配線メタル厚さの影響を考慮しても、やはり、ディップが生じる周波数は殆ど変化していない。しかし、ディップより低周波側では反射損失が低く、高周波側では高くなる。以上の結果から、100GHzまで標準パッドよりも低反射損失とするためには線路長50 μm が妥当である。

B. 実装結果

実装基板用マイクロ波線路であるGCBCPW線路と新鉛フリーはんだマイクロバンプの組み合わせでバンプボンディング接続を行った。シミュレーション結果をもとに、高インピーダンスパッド構造(WB版)と高インピーダンス線路付きパッド(WS版)を有するバンプ接続とした。試作に導入したパッド構造は、以下の通りである。

1) 高インピーダンスパッド構造(WB版)

信号線路幅は80 μm 、ギャップは8 μm (参照試料：50 Ω 線路)、20、40、60 μm

2) 高インピーダンス線路付きパッド(WS版)

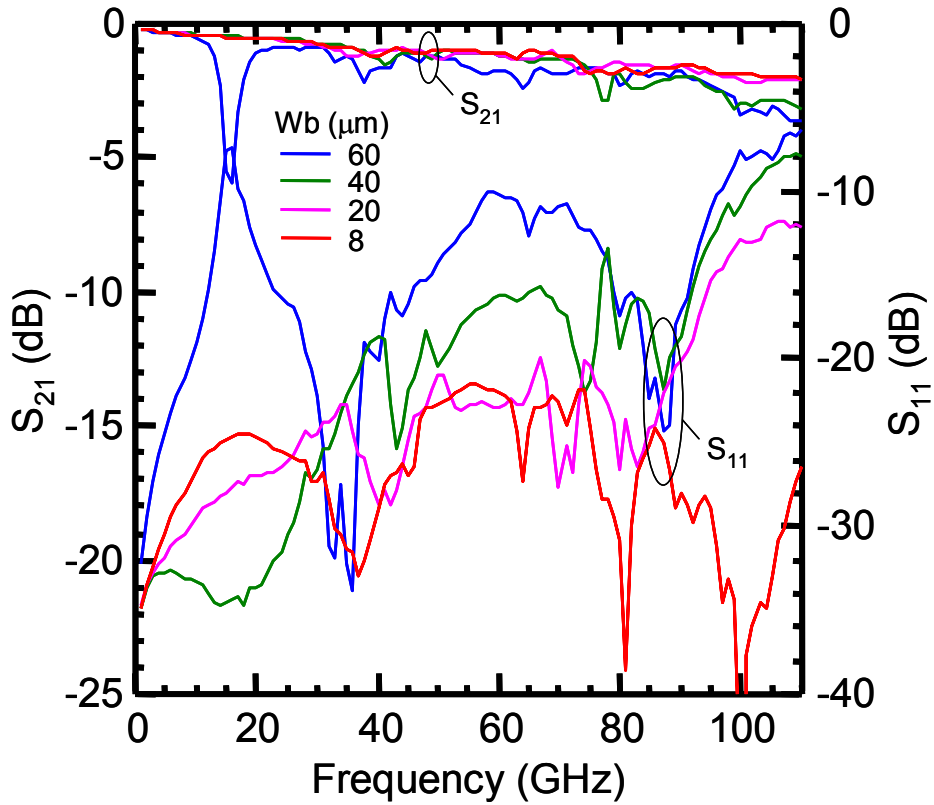
信号線路幅は40 μm 、線路長は0 μm (参照試料：50 Ω 線路)、30、60、90、120 μm

図7.56に、GCBCPW線路をバンプ接続したチップの周波数特性を示す。(a)が高インピーダンスパッド構造、(b)が高インピーダンス線路付きパッド構造である。破線が、バンプ接続部低反射損失化設計を行っていない、整合線路をそのままバンプ接続した線路の特性である。周波数110GHzまで反射損失が-20dB以下であり、通常線路のバンプ接続の図7.45と比較すると、GCBCPW線路の有効性が分かる。

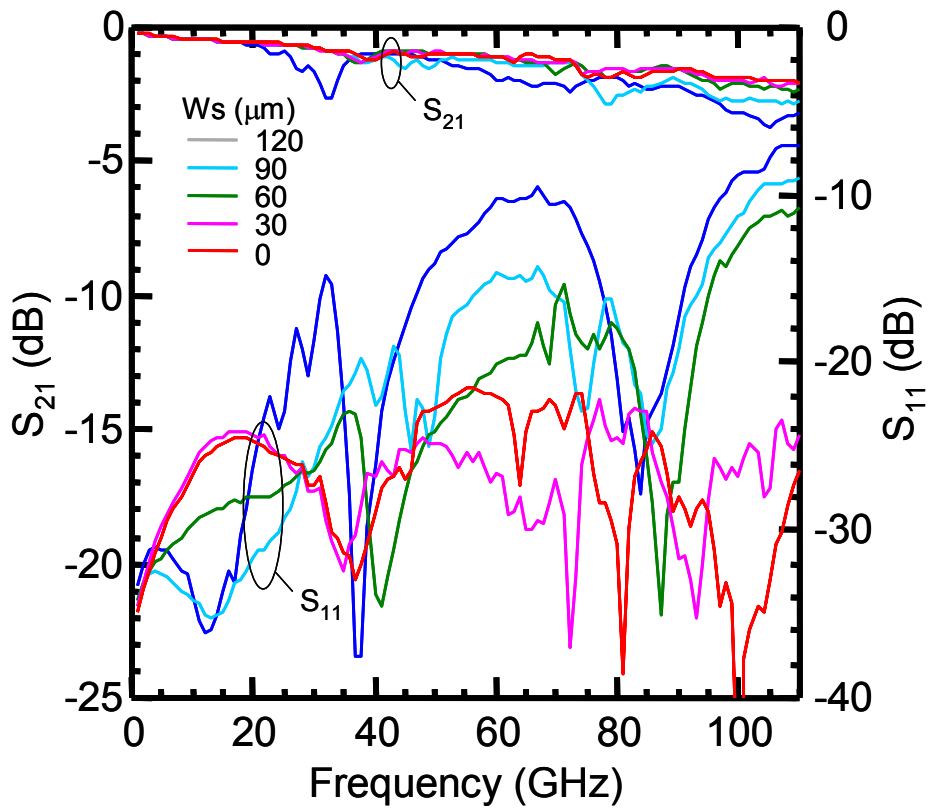
低反射損失化を目的とした高インピーダンスパッド構造(WB版)の場合、WB=60 μm では共振と見られるピークが発生しているが、30GHz以下ではギャップWBが広いほど反射特性が良好である。30GHz以上では、高インピーダンス線路の誘導性の影響で、バンプ接続部のインピーダンスが、線路特性インピーダンスよりも、周波数とともに高くなり、反射損失が劣化している。広帯域での低損失を考えた場合には、WB=20 μm が最も良好である。30GHz以下では参照試料(高インピーダンス構造なし)より良好、80GHz以下では参照試料と同等の特性が得られているが、80GHz以上で大きく反射損失が劣化している。100GHz以上の広帯域で低損失化を行うためには、WB<20 μm とする必要があると考えられる。

高インピーダンス線路付きパッド(WS版)の場合も同様の傾向が得られた。WS=120 μm の場合は30GHz近傍で発振ぎみであるが、30GHz以下では高インピーダンス線路が長いほど反射特性が良好であった。30GHz以上では、高インピーダンス線路の誘導性で、バンプ接続部のインピーダンスが周波数とともに高くなり、反射特性が劣化している。WS=30 μm が最も良好である。30GHz以下では参照試料と同等、30~80GHzでは若干良好な特性が得られている。反射損失が-22dB以下に抑えられており、100GHzまで有効である。

GCBCPW線路の場合、実効的に高インピーダンス構造であるため、バンプ接続の寄生容量の影響を受けにくく、バンプ接続部を誘導性にする低反射損失化構造はあまり有効に機能しないと考えられる。



(a) 高インピーダンスパッド(WB版)



(b) 高インピーダンス線路付きパッド(WS版)

図7.56 バンプ接続部低反射損失化による周波数特性

7.6 むすび

MMIC用受動素子の高性能化という見地から、一層の小型化、高周波化を可能とする新しいマイクロ波配線、受動回路、実装方法の提案、設計および試作を行った。以下に得られた検討結果をまとめる。

【1】MMICの一層の小型化、経済化を可能とする縦型U字配線を用いたCPW線路を開発した。伝搬損失は、標準的なCPW線路で、メタル厚さを $3\mu\text{m}$ まで厚くした場合と同程度まで低い特性が得られた。また線路幅が $4\mu\text{m}$ の場合、ギャップを $11\mu\text{m}$ とすれば特性インピーダンス 50Ω を得ることが可能であり、標準的なCPWの線路幅 $20\mu\text{m}$ 、ギャップ $17\mu\text{m}$ と比較すると、線路の正味の占有面積を1/2に削減できた。

【2】縦型U字線路を用いて作製したメアンダおよびスパイラルインダクタは、線路の高さを稼ぐことで寄生抵抗を効果的に減少させることが可能である。同じ寄生抵抗の場合、標準的な線路と比較して、占有面積を1/2に削減できる。インダクタの寄生容量は、マイクロ波配線下の誘電体膜およびインダクタとグランドとの間隔に強く依存する。縦型U字線路を用いたインダクタは、線路間容量は増加するが対地間容量は増加しないので、自己共振周波数 f_{SR} は、標準的な線路を用いた場合と同等である。また、低域通過フィルタを用いて見積ったインダクタのQ値は5であった。

【3】MMIC実装構造の一層の高周波化を可能とするGCBCPW線路を開発した。マイクロ遮蔽構造を採用することで、誘電体基板への電磁波漏洩を防止し、不要な基板漏洩波やそれにとまなう基板内共振現象を抑圧することを可能とした。基板内電磁界共振現象に起因するSパラメータのディップは消失し、 110GHz までの周波数において有効性を確認した。したがって、開発したGCBCPW線路は、広帯域周波数特性が必要となる光導波路を導入したOEICチップおよびフリップチップ実装基板として有望である。

【4】W帯超高速化合物半導体集積回路用に新しいフリップチップ実装技術を開発した。新しく開発した $\text{Sn}_{0.95}\text{Au}_{0.05}$ マイクロパンプは、汎用されている $\text{Sn}_{0.6}\text{Pb}_{0.4}$ と同等に設計性と制御性があり、鉛フリー技術の観点から、W帯超高速化合物半導体デバイスの実装に有効であると考えられる。

【5】多層金属薄膜積層法を用いて、 220°C という低温熱処理で実装可能な鉛フリー $\text{Sn}_{0.95}\text{-Au}_{0.05}$ マイクロパンプ作製した。実装前のCPW線路からの反射特性の劣化は僅か 3dB 以下と良好であった。この鉛フリーはんだパンプ技術はW帯まで適用可能であることを確認できた。パンプ電極の径とパンプ体積を調整することで、パンプ高さ $11\mu\text{m}$ から $37\mu\text{m}$ のマイクロパンプを作製することに成功した。実装基板のチップ搭載部にグランドメタライズが無い場合、パンプ実装後のCPW線路インピーダンスの 50Ω からの乖離は小さい。パンプ実装に起因する寄生容量は、T形等価回路でフィッティングすることでパンプ高さ $11\mu\text{m}$ から $37\mu\text{m}$ の場合に、 10fF から 20fF と見積ることができる。

【6】新しく開発したGCBCPW線路と $\text{Sn}_{0.95}\text{Au}_{0.05}$ マイクロパンプを用いたチップ実装を行った。GCBCPW線路は線路下に埋込んだ誘電体の比誘電率が低く、本質的に高インピーダンス線路であり、パンプ接続の寄生容量の影響が少ないことを実証した。GaAs上通常線路のパンプ実装では反射損失が -10dB であるが、DCBCPW線路のパンプ接続では、 -20dB 以下と良好な接続特性が得られた。

参考文献

- [1] T. Hirota, Y. Tarusawa, and H. Ogawa, "Uniplanar MMIC hybrids - A Proposed New MMIC Structure," *IEEE Trans. Microwave Theory and Tech.*, vol. 35, pp. 576-581, 1987.
- [2] M. Muraguchi, T. Hirota, A. Minakawa, K. Ohwada, and T. Sugeta, "Uniplanar MMICs and Their Applications," *IEEE Microwave Theory and Tech.*, vol. 36, pp. 1896-1901, Dec., 1988.
- [3] T. Hirota, M. Muraguchi, A. Minakawa, and K. Osafune, "A Uniplanar MMIC 26-GHz-Band Receiver," *IEEE GaAs IC Symp. Dig.*, pp. 185-188 (1989).
- [4] T. Hirota and M. Muraguchi, "A K-Band Single-Chip Transmitter," *IEEE GaAs IC Symp. Dig.*, pp. 275-278, 1990.
- [5] T. Tokumitsu, M. Aikawa, and K. Kohiyama, "Three-Dimensional MMIC Technology: A Possible Solution to Masterslice MMIC's on GaAs and Si," *IEEE Microwave and Guided Wave Lett.*, vol. 5, no. 11, pp. 411-413, 1995.
- [6] M. W. Green, G. J. Green, R. G. Arnold, J. A. Jenkins and R. H. Jansen, "Miniature Multi-Layer Spiral Inductors For GaAs MMICs," *IEEE GaAs IC Symp.*, pp. 303-306, 1989.
- [7] T. Tokumitsu, T. Hiraoka, H. Nakamoto and T. Takenaka, "Multi-layer MMIC Using a $3\mu\text{m} \times 3$ -Layer Dielectric Film Structure," 1990 *IEEE MTT-S Digest*, S-5, pp. 831-834, Jun., 1990.
- [8] S. Tazawa, K. Ochiai, S. Matsuo, S. Nakajim, "A High-Speed 2-D Topography Simulator Based on a Pixel Model," *IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems*, Vol. 16, No. 4, pp. 386-397, 1997.
- [9] I. Toyoda, T. Hirota, T. Hiraoka and T. Tokumitsu, "Multi-layer MMIC Branch-Line Coupler and Broad-Side Coupler," *IEEE 1992, MMWMC digest*, pp. 79-82, Jun., 1992.
- [10] M. Hirano, Y. Imai and K. Asai, "1/4 Miniaturized Passive Elements for GaAs MMICs," *IEEE GaAs IC Symp. Digest*, pp. 34-40, 1991.
- [11] S. Yamaguchi, Y. Imai, T. Shibata, T. Otsuji, M. Hirano, and E. Sano, "An Inverted Microstrip Line IC Structure for Ultra-High-Speed Applications," *IEEE MTT-S dig.*, pp. 1643-1646, 1995.
- [12] C.-C. Tien, C.-K.C. Tzuang, S. T. Peng, C.-C. Chang, "Transmission Characteristics of Finite-Width Conductor-Backed Coplanar Waveguide," *IEEE Trans. Microwave Theory and Tech.*, Vol. 41, No. 9, pp. 1616-1624, 1993.
- [13] W.-T. Lo, C.-K.C. Tzuang, S.-T. Peng, C.-C. Tien, C.-C. Chang, J.-W. Huang, "Resonant Phenomena in Conductor-Backed Coplanar Waveguides (CBCPW's)," *IEEE Trans. Microwave Theory and Tech.*, Vol. 41, No. 12, pp. 2099-2108, 1993.
- [14] W. H. Haydl, "Resonance Phenomena and Power Loss in Conductor-Backed Coplanar Structures," *IEEE Microwave and Guided Wave Lett.*, Vol. 20, No. 12, pp. 514-516, 2000.
- [15] N. Sahri, T. Nagatsuma, K. Machida, H. Ishii, and H. Kyuragi, "Characterization of Micromachined Coplanar Waveguides on Silicon up to 300 GHz," *Tech. Dig. 29 the European Microwave Conf.*, pp. 254-257, 1999.
- [16] L. P. B. Katehi, G. M. Rebeiz, T. M. Weller, R. F. Drayton, H.-J. Cheng, and J. F. Whitaker, "Micromachined Circuits for Millimeter- and Sub-Millimeter-Wave Applications," *IEEE Antennas and Propagation Magazine*, Vol. 35, No. 5, pp. 9-17,

1993.

[17] B. A. Shenouda, L. W. Pearson, and J. E. Harriss, "Etched-Silicon Micromachined W-Band Waveguides and Horn Antennas," *IEEE Trans. Microwave Theory and Tech.*, Vol. 49, No. 4, pp. 724–727, 2001.

[18] Y. Kwon, H. T. Kim, J. H. Park and Y. K. Kim, "Low-Loss Micromachined Inverted Overlay CPW Lines with Wide Impedance Ranges and Inherent Airbridge Connection Capability", *IEEE Microwave and Wireless Components Lett.*, Vol. 11, No. 2, pp. 59–61, 2001.

[19] J. Papapolymerou, J. East and L. P. B. Katehi, "GaAs Versus Quartz FGC Lines for MMIC Applications," *IEEE Transaction on Microwave Theory and Techniques*, Vol. 46, No. 11, pp. 1790–1793, 1998.

[20] K. J. Herrick, T. A. Schwarz and L. P. B. Katehi, "Si-Micromachined Coplanar Waveguides for Use in High-Frequency Circuits," *IEEE Transaction on Microwave Theory and Techniques*, Vol. 46, No. 6, pp. 762–768, 1998.

[21] G. E. Ponchak, A. Margomenos and L. P. B. Katehi, "Low-loss CPW on Low-Resistivity Si Substrates with a Micromachined Polyimide Interface Layer for RFIC Interconnects", *IEEE Transaction on Microwave Theory and Techniques*, Vol. 49, pp. 866–870, 2001.

[22] T. M. Weller, L. P. B. Katehi and G. M. Rebeiz, "High Performance Microshield Line Components," *IEEE Transaction on Microwave Theory and Techniques*, Vol. 43, No. 3, pp. 534–543, 1995.

[23] T. Akeyoshi, S. Aoyama, T. Ishii, A. Aratake, K. Onodera, and M. Tokumitsu, "Monolithically Integrated Photo-receiver with Optical Waveguides for Future 100-Gbit/s Class OEIC," to be published in 15th Int. Conf. on Indium Phosphide and Related Materials, 2003.

[24] Y. Liu, K. Cha, T. Ito, "Non-Leaky Coplanar (NLC) Waveguides with Conductor Backing," *IEEE Trans. Microwave Theory Tech.*, vol. 43, pp. 1067–1072, 1995.

[25] M. Magerko, L. Fan, and K. Chang, "Configuration Considerations for Multi-Layered Packaged Conductor-Backed Coplanar Waveguide MICs," *IEEE MTT-S Digest*, pp. 1697–1700, 1994.

[26] R. W. Jackson, "Mode Conversion at Discontinuities in Finite-Width Conductor-Backed Coplanar Waveguide," *IEEE Trans. Microwave Theory Tech.*, vol. 37, pp. 1582–1589, 1989.

[27] K. Onodera, T. Ishii, S. Aoyama, S. Sugitani, and M. Tokumitsu, "Novel Flip-Chip Bonding Technology for W-Band Interconnections Using Alternate Lead-Free Solder Bumps," *IEEE Microwave and Wireless Components Lett.*, Vol. 12, No. 10, pp. 372–374, 2002.

[28] H. Tsunetsugu, T. Hayashi, K. Katsura, M. Hosoya, N. Sato, and N. Kukutsu, "Accurate, Stable, High-Speed Interconnections Using 20–30- μ m-Diameter Microsolder Bumps," *IEEE Trans. Comp., Packag., Manufact. Technol. A*, vol. 20, No. 1, pp. 76–82, 1997.

[29] W. Heinrich, A. Jentzen and H. Richer, "Flip-Chip Interconnects for Frequencies up to W Band," *Electron. Lett.*, vol. 37, No. 3, pp. 180–181, 2001.

[30] K. Marauhashi, M. Ito, H. Kusamitsu, Y. Morishita, and K. Ohata, "RF Performance of a 77 GHz Monolithic CPW Amplifier with Flip-Chip Interconnections," *IEEE MTT-S Int. Microwave Symp. Dig.*, 1998, pp. 1095–1098.

- [31] H. Tsunetsugu, T. Hayashi, M. Hosoya, K. Katsura, M. Hirano, and Y. Imai "Flip Chip Bonding Technique Using Transferred Microsolder Bumps," IEEE Trans. Comp., Packag., Manufact. Technol. C, vol. 20, No. 4, pp. 327-334, 1997.
- [32] M. J. Wale and C. Edge, "Self-Aligned Flip-Chip Assembly of Photonic Devices with Electrical and Optical Connections", IEEE Trans. on Comp, Hybrids, and Manufact. Technol., Vol. 13, No. 4, pp. 780-786, 1990.
- [33] J. H. Lau, "Flip Chip Technologies," McGraw-Hill, 1995.
- [34] T. Ishii, S. Aoyama, and M. Tokumitsu, "Fabrication of 0.95Sn0.05Au Solder Micro-Bumps for Flip-Chip Bonding," J. Electronic Materials, vol. 30, No. 6, pp. L25-27, 2001.
- [35] T. Krems, W. Haydl, M. Massler, J. Rudiger, "Millimeter-Wave Performance of Chip Interconnections Using Wire Bonding and Flip Chip," IEEE MTT-S Int. Microwave Symp. Dig., 1995, pp. 247-250.
- [36] J. M. Andeas, E. A. Hauser, and W. B. Tucker, "Boundary Tension by Pendent Drop," J. Chem., Vol. 42, pp. 1001-1019, 1938.
- [37] K. C. Gupta, R. Gary, I. Bahl, and P. Bhartia, "Microstrip Lines and Slotlines," second edition, Artech House, 1996.
- [38] W. Heinrich, A. Jentzen, and G. Baumann, "Microwave Characteristics of Flip-Chip Interconnections for Multi-Chip Modues," IEEE MTT-S Int. Microwave Symp. Dig., 1998, pp. 1083-1086.
- [39] K. Onodera, T. Ishii, S. Aoyama, and M. Tokumitsu, "Controllability of Novel Sn0.95Au0.05 Microbumps using Interlaminated Tin and Gold Layers for Flip-chip Interconnection," IEEE Microwave and Wireless Component Lett., vol. 13, pp. 256-258, 2003.
- [40] K. Onodera, T. Akeyoshi, and M. Tokumitsu, "Micromachined Coplanar Waveguide on GaAs for Optoelectronic IC Applications," Electronics Lett. Vol. 40, pp. 68-70, 2004.
- [41] K. Onodera, M. Hirano, M. Tokumitsu, I. Toyoda, K. Nishikawa, and T. Tokumitsu, "Folded U-Shaped Microwire Technology for Ultra-Compact three-dimensional MMIC's," IEEE Trans. Microwave Theory Tech., vol. 44, pp. 2347-2353, 1996.

第8章 結論

本研究では、マイクロ波素子用基板として高移動度、高飽和速度、広バンドギャップ、半絶縁性という特長を有するGaAsを取り上げ、能動素子、受動素子、実装の面から総合的に、圧倒的な帯域を有するミリ波・サブミリ波帯用途に向けたマイクロ波回路素子の高性能化、およびインテグレーション技術の開発を行った。

第2章から第5章までは、マイクロ波回路用能動素子として、集積化に適したイオン注入技術を用いたGaAs-MESFETのデバイス設計、プロセス開発、マイクロ波回路応用について述べた。第2章ではGaAs-MESFETの動作原理およびデバイス高性能化指針を示し、耐熱性金属WSiNをゲート材料とともに活性化アニール保護膜として用いる新しい n^+ 自己整合型GaAs-MESFET製作プロセスの開発およびそのデバイスの特性について述べた。W系耐熱性金属WSiNは 800°C 以上の高温においてもアモルファス状態を保持し、AsとGaの外方拡散が抑止できる。C-V測定から基板側で急峻なキャリアプロファイルとなっていることを確認し、基板表面側でキャリア濃度が高いままに保たれている高濃度薄層チャンネルが作製されていることを示した。Siイオン注入エネルギー 10keV を採用した高濃度薄層チャンネルを有するAu/WSiN耐熱ゲートGaAs-MESFETを試作し、2次元電界効果に伴う短チャンネル効果は十分に抑圧することができるとともに、GaAs-MESFETのトップデータである相互コンダクタンス 630mS/mm を達成した。2次元デバイスシミュレーションのI-V特性フィッティングから求めた実効飽和速度は、ゲート長 $0.4\mu\text{m}$ 以下から増加傾向が大きくなり、非定常効果が生じているものと考えられる。ゲート長 $1\mu\text{m}$ から $0.2\mu\text{m}$ へ微細化することで、約5割の実効飽和速度の向上が見込まれる。

第3章では、微細化GaAs-MESFETの短チャンネル効果をゲート長 $0.1\mu\text{m}$ 以下まで抑止できる埋込p層構造の最適化構造および設計について述べた。埋込p層は、(1)チャンネル層と埋込p層のp-n接合によりチャンネルの薄層化する、(2) n^+ 層と埋込p層のp-n接合によりソースおよびドレイン電極の n^+ 層間の漏洩電流を低減する、という2つの役割を果たす。埋込p層を完全空乏化条件以上に高濃度化すると、埋込p層内に中性領域が発生しゲート・ソース間容量が増大した。完全空乏化条件の2倍から4倍程度へ埋込p層濃度を増加させると、寄生容量増大の影響で電流遮断周波数 f_T は減少に転じるが、最大発振周波数 f_{max} は減少せずにはほぼ一定値を保ち、埋込p層の中性領域に起因する容量増大の影響を受け難い。p層濃度増大でドレインコンダクタンス g_d の減少度合いが大きく、ゲート・ソース間容量増大と相殺するためである。さらに、ゲート・ソース間容量増大を極力抑えて、短チャンネル効果を抑止するために、埋込p層の2つの効果を分離し、(2)の効果のみをもたらす「 n^+ 層を囲い込む」第2埋込p層(Bp2)、「 n' 層を囲い込む」第3埋込p層(Bp3)を新たに設け、その効果を検証した。微細ゲート長($0.2\mu\text{m}$ 以下)では、 n' 層を囲い込む第3埋込p層(Bp3)を設けた構造の方が、ドレインコンダクタンス、閾値電圧シフトが抑制されており、基板リーク電流に起因する短チャンネル効果を抑止できた。ソース・ドレイン間隔が狭い第3埋込p層(Bp3)を用いることで、短チャンネル効果を効率的に抑制することができ、微細ゲートにおいても閾値電圧制御性が良好で、帰還容量の低減が可能であることが分かった。一方、「 n^+ 層を囲い込む」第2埋込p層(Bp2)を設けた構造は、多少短チャンネル効果の抑止効果は少ないものの良好な相互コンダクタンス、電流利得遮断周波数 f_T を示した。

第4章では、電子サイクロトロン共鳴法(ECR)プラズマエッチングを用いたWSiNゲート電極の加工プロセスの開発および電極設計の改良によるGaAs-MESFET雑音特性の高性

能化について述べた。ECRプラズマエッチング装置は、プラズマ発生室とエッチング室が分離した構造であるため、低ガス圧力で高活性プラズマを生成でき、低損傷で高異方性のWSiNエッチングが可能となった。WSiN/GaAsのエッチング選択比は汎用の平行平板型反応性イオンエッチングと比較して半分の40以上であった。WSiNの微細垂直加工には、 5×10^{-4} 以下のガス圧力が必要であり、ECRプラズマエッチングによるサイドエッチング20nm以下であるとともに、オーバーエッチング率100%に到っても、サイドエッチング量は殆ど増加せず、プロセスマージンが大きい。

WSiNは高温熱処理でもアモルファス状態を保持し、非常に安定である反面、抵抗率が $600 \mu \Omega \text{ cm}$ 以上と高い。このため、T型のAu/WSiNゲート電極構造のAuを極太化して、ゲート抵抗を下げる構造および製造プロセスを開発した。このゲート電極上Auは、第1層配線と同時に作製するもので、極太ゲート上Auを有するアナログ集積回路用途のデバイスと小さいボリュームAuを有するデジタルIC用高速デバイスを、余分なプロセスを追加せずに、同一チップ内に作製することが可能となった。ゲート電極上極太Auを有するデバイスのゲート抵抗値は 1Ω 以下と劇的に低く、極太Auのない $L_h=0 \mu \text{ m}$ と比較して1/5以下とすることができた。 $1 \mu \text{ m}$ のAuの幅 L_h 当り13.5fF増加していた。ゲート抵抗とゲート寄生容量の間のトレードオフの関係を定量的に明らかにし、雑音指数性能のための最適なWSiNゲート電極上Auの設計について検討した。ゲート抵抗低減とゲート寄生容量のトレードオフで、極太Auの幅 $L_h=1.0 \mu \text{ m}$ の場合に、最小雑音指数 NF_{\min} の最小値0.78dB、そのときの付随利得 G_a として8.7dBが得られた。

第5章では、ゲート・ショットキ障壁を高める方法として、GaAsと格子整合し、GaAsに比較してバンドギャップの広いInGaPを用い、ゲート・ショットキ障壁高さを増加させるとともに、ゲート耐圧を向上させたGaAsヘテロ構造MESFET (HMESFET) の開発について述べた。InGaP薄膜を挿入した構造とすることで、通常のイオン注入GaAs-MESFETと比較して、ショットキ障壁を約100mV増加させることができた。また、1ウエハ上に異なる最適化構造デバイスを作製する手法として、フルイオン注入GaAs-MESFET技術を基に、ゲート方向が90度異なる対称構造と非対称構造デバイスを1ウエハ上に作製する技術を開発した。対称構造は小信号動作の低雑音増幅器などに、非対称構造は大振幅動作の高効率高出力増幅器などに有効である。21°の斜めイオン注入を用いてn'層を非対称に作製した非対称構造とすることで、ドレイン電圧が対称構造の4Vから10Vへと大幅に向上した。対称構造に比較して、非対称構造の真性相互コンダクタンスは約25%減少するものの、ドレインコンダクタンスが約20%減少、ゲート・ドレイン間容量が約15%減少する。その結果、電流利得遮断周波数は対称構造より約20%減少するも、最大発振周波数は約40%程度向上した。さらに、ゲート・ドレイン間にn'層を新しく設けた構造を提案し、ゲート耐圧とデバイス特性のトレードオフ関係を実験的に検討した。n'層ドーズ量最適化することで、ドレイン抵抗の増加と相互コンダクタンスの減少を抑えながら、ゲート・ドレイン間耐圧は8V以上、ゲート・ドレイン間容量は13fF/100 $\mu \text{ m}$ 以下を確保した。寄生帰還容量を低減するために、T形Au/WSiNゲート電極の上乗せAuを0.2 $\mu \text{ m}$ シフトさせることでゲート・ドレイン間容量 C_{gd} を43 fF/mm低減し、最大安定利得MSGを1dB向上させた。この非対称形ゲート上乗せAuを採用してV帯MMIC増幅器を作製し、55GHzにおいて9.7dBの利得を達成した。

第6章では、微細化したデバイスで問題となるデバイス内部の高電界現象を把握するために、エレクトロルミネッセンスを用いて、デバイス内電子温度分布、輸送現象を検討した結果について述べた。エンハンスメント型の超高速GaAs-MESFETにおいて、ドレイン電流が急激に増加するブレイクダウン状態にバイアス印加し、GaAsバンド端エネルギーおよびそれ以上の1.4~2.5eVの範囲で測定を行なった。GaAsバンド端エネルギーの近傍では、際立ったピークが検出された。また、1.65eVよりも高いエネルギー領域では、ブ

ロードな発光の中に2つのピークと1つの肩が検出できた。この2つのピークはインパクトイオン化で発生した Γ 点付近のホットな正孔とL点またはX点付近のホットな電子との再結合であると考えられる。さらに、7.5V程度の高ドレイン電圧でピークが消失することから、高エネルギー領域の発光スペクトルは、ホットな電子の伝導帯間遷移に起因する発光と再結合に起因する発光が重ね合っていると考えられる。さらに、発光の空間分布測定とショットキ接合ダイオードからの発光測定から、GaAsバンド端の発光はインパクトイオン化で発生した正孔がエネルギー緩和してソース側で冷えた電子と再結合するために生じることが確認された。ブレイクダウン状態におけるソース端での熱い正孔の温度は800°C以上となる。

第7章では、インテグレーション技術としてのMMIC用受動素子の高性能化という見地から、一層の小型化、高周波化を可能とする新しいマイクロ波配線、受動回路、実装方法の提案、検討結果について述べた。多層化配線プロセス技術を用いたU字型線路、縦型インダクタは、基板占有面積の縮小に対し大きな効果を確認した。縦型U字線路を用いて作製したメアンダおよびスパイラルインダクタは、線路の高さを稼ぐことで寄生抵抗を効果的に減少でき、寄生抵抗が同じ標準的な線路と比較して占有面積を1/2に削減できた。また、信号線下基板を掘込んだGCBCPW線路は、微小遮蔽構造を採用することで、ミリ波帯まで不要な基板漏洩電磁界に起因する高次モードやそれに伴う基板内電磁界の共振を抑止することを可能とした。基板内電磁界共振現象に起因するSパラメータのディップは消失し、110GHzまでの周波数において有効性を確認した。広帯域周波数特性が必要となる光導波路を導入したOEICチップおよびフリップチップ実装基板として有望である。さらに、新しいフリップチップ実装技術として、新しい鉛フリーはんだを用いたミリ波帯MMIC実装技術を考案しその有効性を検証した。多層金属薄膜積層法を用いて、220°Cという低温熱処理で、バンプ電極の径とバンプ体積を調整することで、バンプ高さ11 μ mから37 μ mの鉛フリーSn_{0.95}-Au_{0.05}マイクロバンプを制御性よく作製することを可能とした。バンプ実装に起因する寄生容量はバンプ高さ11 μ mから37 μ mの場合に、10fFから20fFと見積もることができた。新しく開発したGCBCPW線路をSn_{0.95}Au_{0.05}マイクロバンプを用いてチップ実装し、GaAs上通常線路のバンプ実装と比較して、10dB低い反射損失である-20dB以下と良好な接続特性を実現した。

以上、本研究においては、能動素子および受動素子のデバイス設計、デバイス製造プロセス、マイクロ波回路設計、超高周波計測、実装設計およびプロセスと広範囲にわたる領域を見通した研究開発を行った。大容量情報を伝送・伝達する通信網や通信端末への需要が益々高まっており、本研究により得られた知見が、超高速マイクロ波回路の更なる高集積化、システムオンチップ化を行う上での礎となることを期待して本研究のまとめとしたい。

謝辞

本論文をまとめるにあたり、始終懇切なるご指導とご鞭撻を賜りました、慶応義塾大学理工学部 松本智教授に深く感謝致します。暖かいご指導と有益なご助言を賜りました、慶応義塾大学理工学部 太田英二教授、黒田忠広教授、真田幸俊助教授に深く感謝致します。また、筆者が慶応義塾大学在学中にご指導戴きました、慶応義塾大学理工学部 坂田亮名誉教授、佐藤徹哉教授に深謝致します。

本研究は、日本電信電話株式会社において、マイクロ波集積回路技術の研究開発業務を行った研究をまとめたものであり、研究の遂行にあたり始終有益なご指導とご助言を賜りました浅井和義主幹研究員(現ユピテル工業株式会社)に心から感謝致します。本論文をまとめる機会を与えて戴き、暖かい心配りと励ましを戴きましたテラビットデバイス研究部 村口正弘部長に深く感謝致します。また、本研究を行なう機会を戴きました、機能デバイス研究部 藤本正友部長(現和歌山大学名誉教授)、化合物半導体研究室 菅田孝之室長(現NTTアドバンステクノロジー(株))、平山昌宏主幹研究員(現住友電気株式会社)、量子デバイス研究部 石田晶部長(現住友電気株式会社)、相川正義主席研究員(現佐賀大学教授)、LSI研究所第五プロジェクト 平田一雄プロジェクトマネージャ(新日本無線株式会社)、山崎王義プロジェクトマネージャ、テラビットデバイス研究部 石井康信元部長(現NTTエレクトロニクステクノロジー(株))、鳥羽弘前部長(現NTTエレクトロニクステクノロジー(株))に謹んで感謝の意を表します。

本研究を遂行するにあたり、様々なご協力、ご助言を戴きました機能デバイス研究部化合物半導体研究室、集積デバイス研究部、量子デバイス研究部、無線方式研究部、LSI研究所第五プロジェクト、ネットワークサービスシステム研究部、テラビットデバイス研究部の方々に感謝致します。特に、デバイスプロセス技術全般にわたりご指導、ご助言戴きました徳光雅美主幹研究員、西村一巳主任研究員、イオン注入を用いた高濃度薄層チャンネルの作製および評価を行って戴いた杉谷末広主任研究員、デバイスシミュレータを開発戴き、デバイス輸送現象についてご助言戴いた富沢雅彰主幹研究員(現NTTエレクトロニクステクノロジー(株))、横山清行主幹研究員(現 ノアコンサルティング)、デバイス製造技術に関しご指導、ご協力戴いた加藤直規主幹研究員(現NTTエレクトロニクステクノロジー(株))、青木達雄主任研究員、新山肇研究主任、デジタル回路設計技術に関してご助言戴いた大畑正信主幹研究員(現NTTエレクトロニクステクノロジー(株))、エピタキシャル結晶成長、デバイス設計に関してご協力戴いた日向文明主幹研究員(現NTTエレクトロニクステクノロジー(株))、山根康朗主幹研究員、塩島謙次主任研究員、エレクトロルミネッセンス測定に関しご指導戴き高電界での電子輸送およびホットエレクトロンに関するご議論を戴いた古田知史主任研究員、3次元マイクロ波配線プロセスに関してご協力戴いた平野真主幹研究員、マイクロ波集積回路の設計、CAD、高周波測定に関してご助言、ご議論戴いた徳満恒雄主任研究員(現 富士通カンタム株式会社)、廣田哲夫主幹研究員(金沢工業大学教授)、今井祐記主幹研究員、高知尾昇主任研究員、豊田一彦主任研究員、西川健二郎主任研究員、鴨川健司(現 NTTドコモ(株))、パンプ実装、マイクロ波線路プロセスに関しご協力戴いた明吉智幸主幹研究員、青山眞二主任研究員、石井隆生主任研究員、荒武淳研究主任に感謝致します。

最後に、則子、圭の協力に心から感謝致します。

発表論文および口頭発表

自著

[論文]

- (1) K. Onodera, M. Tokumitsu, M. Tomizawa, and K. Asai, "Effects of Neutral Buried p-Layer on High-Frequency Performance of GaAs MESFET's," IEEE Trans. Electron Devices, vol. 38, pp. 429-436, 1991.
- (2) K. Onodera, Y. Imai, and K. Asai, "Microwave Characteristic and Application of Au/WSiN GaAs-MESFET's with Neutral Buried p-Layers," IEICE Trans. Electronics, vol. E74-C, pp. 1197-1201, 1991.
- (3) K. Onodera, M. Tokumitsu, N. Takachio, H. Kikuchi, and K. Asai, "BP-LDD n+ Self-Aligned GaAs-MESFET with Au/WSiN Gate and Its Application to 0.5-30 GHz Distributed Amplifier," IEICE Trans. Electronics, vol. E74-C, pp. 4131, 1991.
- (4) K. Onodera, K. Nishimura, K. Asai, and S. Sugitani, "High Microwave Performance of Fully Ion-Implanted GaAs MESFET's with Au/WSiN T-Shaped Gate," IEEE Trans. Electron Devices, vol. 40, pp. 18-24, 1993.
- (5) K. Onodera, M. Hirano, M. Tokumitsu, I. Toyoda, K. Nishikawa, and T. Tokumitsu, "Folded U-Shaped Microwire Technology for Ultra-Compact three-dimensional MMIC's," IEEE Trans. Microwave Theory Tech., vol. 44, pp. 2347-2353, 1996.
- (6) K. Onodera, K. Nishimura, T. Nittono, Y. Yamane, and K. Yamasaki, "Symmetric and Asymmetric InGaP/InGaAs/GaAs Heterostructure MESFETs and Their Application to V-Band Amplifiers," IEICE Trans. Electronics, vol. E81-C, pp. 868-875, 1998.
- (7) K. Onodera, K. Nishimura, S. Aoyama, S. Sugitani, and M. Hirano, "Extremely Low-Noise Performance of GaAs-MESFETs with a Wide-Head T-Shaped Gate," IEEE Trans. Electron Devices, vol. 46, pp. 310-319, 1999.
- (8) K. Onodera, K. Nishimura, and T. Furuta, "Hot-Carrier Luminescence in Sub-Quartermicrometer High-Speed GaAs MESFET's," IEEE Trans. Electron Devices, vol. 46, pp. 2170-2177, 1999.
- (9) K. Onodera, "Novel Broadband Bit-Synchronization Circuit Module for Optical Interconnections," IEEE Trans. Microwave Theory Tech., vol. 52, pp. 475-481, 2004.

[レター]

- (1) K. Onodera, T. Tokumitsu, S. Sugitani, Y. Yamane, and K. Asai, "A 630 mS/mm GaAs MESFET with Au/WSiN Refractory Metal Gate," IEEE Electron Device Lett., vol. 9, pp. 417-418, 1988.
- (2) K. Onodera, K. Nishimura, T. Nittono, Yasuro Yamane, and K. Yamasaki, "V-Band Amplifier using InGaP/InGaAs/GaAs Heterostructure MESFET's with Asymmetric Au Gate Head," IEEE Microwave Guided Wave Lett., vol. 8, pp. 351-353, 1998.
- (3) K. Onodera, S. Sugitani, K. Nishimura, and M. Tokumitsu, "V-Band Monolithic Low Noise Amplifiers using Ion-Implanted n+-Self-Aligned GaAs

MESFET's," IEEE Microwave Guided Wave Lett., vol. 9, pp. 148-150, 1998.

(4) K. Onodera, T. Ishii, S. Aoyama, S. Sugitani, and M. Tokumitsu, "Novel Flip-Chip Bonding Technology for W-band Interconnections using Alternate Lead-Free Solder Bumps," IEEE Microwave and Wireless Component Lett., vol. 12, pp. 372-374, 2002.

(5) K. Onodera, T. Ishii, S. Aoyama, and M. Tokumitsu, "Controllability of Novel Sn_{0.95}Au_{0.05} Microbumps using Interlaminated Tin and Gold Layers for Flip-chip Interconnection," IEEE Microwave and Wireless Component Lett., vol. 13, pp. 256-258, 2003.

(6) K. Onodera, T. Akeyoshi, and M. Tokumitsu, "Micromachined Coplanar Waveguide on GaAs for Optoelectronic IC Applications," Electronics Lett. Vol. 40, pp. 68-70, 2004.

[国際会議]

(1) K. Onodera, Y. Imai, and K. Asai, "High Microwave Performance of Au/WSiN GaAs-MESFETs with Neutral Buried p-Layers," Asia-Pacific Microwave Conf., pp. 959-962, 1990.

(2) K. Onodera, K. Nishimura, S. Sugitani, and K. Asai, "Ultra-Low-Noise Fully Ion-Implanted GaAs-MESFET with Au/WSiN Refractory Metal Gate," Int. Electron Device Meeting, 1991, pp. 251-254.

(3) K. Onodera, M. Muraguchi, "Very Low-Intermodulation GaAs Mixers with Negative Feedback," 24th European Microwave Conf., 1994, pp. 642-647.

(4) K. Onodera, M. Hirano, M. Tokumitsu, I. Toyoda, and T. Tokumitsu, "Folded U-Shaped Microwire Technology for Ultra-Compact Three-Dimensional MMIC's," IEEE MTT-S Int. Microwave Symp. Dig., 1996, pp. 1153-1156.

[国内会議]

(1) 小野寺清光、徳光雅美、山崎王義、浅井和義、「WSiNゲートGaAs MESFETのn層プロフィール」、1987年秋季応用物理学会学術講演会、20a-ZE-4.

(2) 小野寺清光、徳光雅美、杉谷末広、山根康朗、浅井和義、「630 mS/mm Au/WSiNゲートGaAs MESFET」、1988年電子情報通信学会春季全国大会、C-118.

(3) 小野寺清光、徳光雅美、浅井和義、「WSiNゲートを用いた短チャンネルGaAs MESFETの高周波特性」、1988年春季応用物理学会学術講演会、5p-D-6.

(4) 小野寺清光、徳光雅美、浅井和義、「0.2 μm級WSiNゲートGaAs MESFETの超高速性能」、1988年7月電子情報通信学会電子デバイス研究会、ED88-62.

(5) 小野寺清光、徳光雅美、富沢雅彰、浅井和義、「サブミクロンAu/WSiNゲートGaAs MESFETの電子飽和速度」、1989年春季応用物理学会学術講演会、2p-T-12.

(6) 小野寺清光、徳光雅美、浅井和義、「GaAs MESFETにおける埋込みP層濃度の高周波特性への影響」、1989年秋季応用物理学会学術講演会、28p-ZA-2.

(7) 小野寺清光、徳光雅美、浅井和義、「GaAs MESFETにおける埋込みP層濃度の高周波特性への影響」、1989年11月電子情報通信学会電子デバイス研究会、ED89-108.

(8) 小野寺清光、徳光雅美、浅井和義、「GaAs MESFETにおける埋込みP層濃度の高周波特性への影響(II)-ゲート長依存性-」、1990年春季応用物理学会学術講演会、29a-H-8.

(9) 小野寺清光、浅井和義、徳光雅美、「Si博膜スルー注入を用いた薄層チャンネルGaAs MESFET」、1990年秋季応用物理学会学術講演会、26a-ZG-3.

(10) 小野寺清光、浅井和義、徳光雅美、首藤啓樹、井野正行、「狭チャンネルWSiNゲー

-
- トGaAs MESFETを用いたリング発振器」、1990年電子情報通信学会秋季全国大会、C-399.
- (11) 小野寺清光、浅井和義、「ECRプラズマを用いたGaAs-MESFETのWSiNゲート加工」、1991年春季応用物理学会学術講演会、31a-K-10.
- (12) 小野寺清光、西村一巳、杉谷末広、浅井和義、「Au/WSiNゲートGaAs-MESFETの低雑音特性」、1992年1月電子情報通信学会電子デバイス研究会、ED91-146.
- (13) 小野寺清光、西村一巳、杉谷末広、浅井和義、「低雑音T型Au/WSiNゲートGaAs-MESFET」、1992年電子情報通信学会春季全国大会、C-478.
- (14) 小野寺清光、村口正弘、「新平衡型ミキサの検討」、1993年電子情報通信学会秋季全国大会、C-48.
- (15) 小野寺清光、村口正弘、「負帰還を用いた低相互変調歪みミキサ」、1994年電子情報通信学会春季全国大会、C-87.
- (16) 小野寺清光、青山真二、村田、山根康朗、徳光雅美、「超高速ICに向けた0.1 μ mGaAs-MESFET技術」、1994年電子情報通信学会秋季全国大会、C-428.
- (17) 小野寺清光、西村一巳、井上考、徳光雅美、日向文明、山崎王義、「非対称LDD構造イオン注入InGaP/GaAs-HMESFET」、1995年1月電子情報通信学会電子デバイス研究会、ED94-115.
- (18) 小野寺清光、西村一巳、山根康朗、古田知史、山崎王義、「GaAs/InGaAs-HMESFETのブレイクダウン近傍の発光観測」、1995年秋季応用物理学会学術講演会、28p-ZQ-10.
- (19) 小野寺清光、西村一巳、入戸野巧、山根康朗、広田哲夫、「InGaP/InGaAs/GaAs-HMESFETを用いたミリ波帯増幅器」、1997年電子情報通信学会春季全国大会、C-10-6.
- (20) 小野寺清光、西村一巳、入戸野巧、山根康朗、山崎王義、「対称/非対称構造InGaP/InGaAs/GaAs HMESFETとミリ波増幅器への応用」、1997年1月電子情報通信学会電子デバイス研究会、ED97-64.
- (21) 小野寺清光、西村一巳、杉谷末広、山根康朗、「0.1 μ m級GaAs-MESFETを用いたミリ波帯増幅器」、1997年電子情報通信学会春季全国大会、C-10-15.
- (22) 小野寺清光、西村一巳、杉谷末広、山根康朗、「T型Au/WSiNゲート構造のAu極太化によるGaAs-MESFET雑音特性の改善」、1997年秋季応用物理学会学術講演会、3a-ZG-8.
- (23) 小野寺清光、葉原敬士、「位相比較/振幅比較回路を用いた10Gbps瞬時ビット同期回路」、2000年電子情報通信学会春季全国大会、C-12-31.
- (24) 小野寺清光、石井隆生、青山真二、杉谷末広、徳光雅美、「新しい鉛フリーはんだを用いたフリップチップ実装の高周波特性」、2001年電子情報通信学会春季全国大会、C-2-92.
- (25) 小野寺清光、石井隆生、青山真二、徳光雅美、「新しい鉛フリーはんだを用いたフリップチップ実装の高周波特性- バンプ電極径依存性-」、2002年電子情報通信学会春季全国大会、C-2-77.
- (26) 小野寺清光、明吉智幸、徳光雅美、「信号線下を掘込んだグラウンドコプレーナ線路」、2002年電子情報通信学会春季全国大会、C-2-35.
- (27) 小野寺清光、明吉智幸、徳光雅美、「信号線下を掘込んだグラウンドコプレーナ線路2」、2002年電子情報通信学会秋季全国大会、C-2-46.

共著

[論文]

- (1) N. Takachio, K. Iwashita, S. Hata, K. Onodera, K. Katsura, and H. Kikuchi, "A 10 Gb/s Optical Heterodyne Detection Experiment Using a 23 GHz Bandwidth Balanced Receivers," *IEEE Trans. Microwave Theory Tech.*, Vol. 38, pp. 1900-1905, 1990.
- (2) M. Tokumitsu, K. Onodera, H. Sutoh, and K. Asai, "A 31-GHz Static Frequency Divider Using Au/WSiN Gate GaAs MESFETs," *IEICE Trans. Electronics*, vol. E74-C, p. 4136, 1991.
- (3) K. Nishimura, K. Onodera, K. Inoue, M. Tokumitsu, F. Hyuga, and K. Yamasaki, "A WSiN-Gate GaAs HMESFET with an Asymmetric LDD Structure for MMICs," *IEICE Trans. Electronics*, vol. E78-C, pp. 907-10, 1995.
- (4) M. Hirano, S. Sugitani, S. Aoyama, and K. Onodera, "Novel interconnection technology for Three-Dimensional MMICs," *NTT R&D*, Vol. 45, pp. 1277 - 1284, 1996.
- (5) 平野真、杉谷末広、青山眞二、小野寺清光、「3次元マイクロ波集積回路技術」*NTT R&D* vol. 45, pp. 1277-1284, 1997.
- (6) K. Nishimura, K. Onodera, S. Aoyama, M. Tokumitsu, and K. Yamasaki, "High-Performance 0.1- μ m-Self-Aligned-Gate GaAs MESFET Technology," *IEEE Trans. Electron Devices*, Vol. 44, pp. 2113-2119, 1997.
- (7) Y. Yamane, K. Onodera, T. Nittono, K. Nishimura, K. Yamasaki, and A. Kanda, "A Double Lightly Doped Drain (D-LDD) Structure H-MESFET for MMIC Applications," *IEEE Trans. Microwave Theory Tech.*, vol. 45, pp. 2229-2233, 1997.
- (8) K. Nishikawa, K. Kamogawa, K. Inoue, K. Onodera, T. Tokumitsu, M. Tanaka, I. Toyoda, M. Hirano, "Miniaturized millimeter-wave masterslice 3-DMMIC amplifier and mixer," *IEEE Trans. Microwave Theory Tech.*, vol. 47, pp. 1856-1862, 1999.
- (9) S. Sugitani, K. Onodera, S. Aoyama, M. Hirano, and M. Tokumitsu, "Etching Method for Fabrication Ultracompact Three-Dimensional Monolithic Microwave Integrated Circuits," *J. Vac. Sci. Technol.*, B20, pp. 1019-1024, 2002.
- (10) S. Kimura, Y. Imai, S. Yamaguchi, K. Onodera, and H. Kikuchi, "Artificial-Line-Division Distributed ICs with 0.1- μ m-Gate-Length GaAs MESFET and Three-Dimensional Transmission Lines," *IEEE Trans. Microwave Theory Tech.*, vol. 50, pp. 1603-1608, 2002.
- (11) N. Shigekawa, K. Onodera, and K. Shiojima, "Device Temperature Measurement of Highly Biased AlGaIn/GaN High-Electron-Mobility Transistors," *Jpn. J. Appl. Phys.*, vol. 42, pp. 2245-2249, 2003.

[レター]

- (1) Y. Imai, M. Tokumitsu, K. Onodera, and K. Asai, "10-GHz Bandwidth and 20-dB Gain Low-Noise Direct-Coupled Amplifier IC's Using Au/WSiN GaAs MESFET," *Electron. Lett.*, vol. 26, pp. 699-700, 1990.
- (2) S. Kimura, Y. Imai, S. Yamaguchi, and K. Onodera, "0-to-56 GHz GaAs

MESFET Gate-Line-Division Distributed Baseband Amplifier IC with Three-Dimensional Transmission Lines," *Electron. Lett.*, Vol. 33, pp. 93-95, 1997.

[国際会議]

- (1) M. Tokumitsu, K. Onodera, and K. Asai, "High Performance Short Channel MESFETs with WSiN Gate Suppressing As-Outdiffusion," 46th IEEE Device Research Conf., p. VA-2, 1988.
- (2) N. Takachio, K. Iwashita, S. Hata, K. Katsura, K. Onodera, and H. Kikuchi, "A 10 Gb/s Optical Heterodyne Detection Experiment Using a 23 GHz Bandwidth Balanced Receivers," IEEE MTT-S Int. Microwave Symp. Dig., pp. 149-151, 1990.
- (3) F. Ishitsuka, M. Hosoya, H. Tomimuro, N. Takachio, and K. Onodera, "0.5-23 GHz MMIC Optical Modules," IEEE GaAs IC Symp., pp. 109-112, 1990.
- (4) S. Sugitani, K. Onodera, K. Nishimura, F. Hyuga, and K. Asai, "High Quality Very Thin Active Layer Formation for Ion-Implanted GaAs MESFETs," 18th Int. Symp. Gallium Arsenide Related Compounds, 1991.
- (5) K. Nishimura, K. Onodera, K. Inoue, M. Tokumitsu, F. Hyuga, and K. Yamasaki, "WSiN Gate GaAs-HMESFET's Having Asymmetric LDD Structure for MMIC's," Asia-Pacific Microwave Conf., pp. 1017-1020, 1994,
- (6) K. Nishimura, K. Onodera, S. Aoyama, M. Tokumitsu, and K. Yamasaki, "High Performance 0.1-mm-Self-Aligned-Gate GaAs MESFET Technology," Proc. 26th European Solid State Device Research Conf., pp. 865-868, 1996.
- (7) Y. Yamane, K. Onodera, T. Nittono, K. Nishimura, K. Yamasaki, and A. Kanda, "A D-LDD (Double Lightly Doped Drain) Structure H-MESFET for MMIC application," IEEE MTT-S Int. Microwave Symp Dig., pp. 251-254, 1997.
- (8) S. Sugitani, K. Onodera, S. Aoyama, M. Hirano, and K. Yamasaki, "Novel fabrication technology for ultra-compact three-dimensional MMICs," Proc. 27th European Solid State Device Research Conf., pp. 280-283, 1997.
- (9) K. Sano, K. Narahara, K. Murata, T. Otsuji, and K. Onodera, "High-speed GaAs MESFET digital IC design for optical communication systems" Proc. Asian South Pacific Design Automation Conf., pp. 1-5, 1997.
- (10) K. Nishikawa, K. Kamogawa, K. Inoue, K. Onodera, M. Hirano, T. Tokumitsu, and I. Toyoda, "Millimeter-wave three-dimensional masterslice MMICs," IEEE MTT-S Int. Microwave Symp. Dig., , pp. 313-316 1998.
- (11) I. Toyoda, K. Nishikawa, K. Kamogawa, C. Yamaguchi, M. Hirano, K. Onodera, and T. Tokumitsu, "X-band Si bipolar transistor single-chip transceiver using three-dimensional MMIC technology," IEEE MTT-S Int. Microwave Symp. Dig., pp. 337-340, 1998.
- (12) K. Inoue, K. Kamogawa, K. Nishikawa, K. Ikuta, K. Onodera, and M. Hirano, "Three-Dimensional MMIC Interconnect Process using Photosensitive BCB and STO Capacitors," European Microwave Conf., 1998.
- (13) N. Shigekawa, K. Onodera, and K. Shiojima, "Device Temperature Measurement of High-Biased AlGaN/GaN High-Electron-Mobility Transistors," Solid State Device Meeting, pp. 840-841, 2002.
- (14) T. Akeyoshi, K. Onodera, A. Aratake, S. Aoyama, T. Ishii, and M. Tokumitsu, "Monolithically Integrated Photoreceiver with Optical," IEEE Int. Indium Phosphide Related Materials, WB2.3, 2003.

〔国内会議〕

- (1) 徳光雅美、小野寺清光、首藤啓樹、浅井和義、「Au/WSiNゲートGaAs MESFETを用いた15GHz 1/4分周器」、1988年1月電子情報通信学会電子デバイス研究会、ED87-145.
- (2) 徳光雅美、小野寺清光、首藤啓樹、浅井和義、「LSCFL及びDCFLを用いたGaAs MESFET 1/4分周器」、1988年電子情報通信学会春季全国大会、C-119.
- (3) 徳光雅美、小野寺清光、浅井和義、「31GHz GaAs MESFETスタティック分周器」、1989年1月電子情報通信学会電子デバイス研究会、ED-88-147.
- (4) 高知尾昇、岩下、秦、桂、小野寺清光、菊池博行、「広帯域分布増幅器を用いた10Gb/s光ヘテロダイナミクス検波方式の検討」、1990年電子情報通信学会春季全国大会、B-986.
- (5) 今井祐記、徳光雅美、小野寺清光、浅井和義、「WSiN FETを用いたGaAs低雑音直結型増幅器IC」、1990年電子情報通信学会春季全国大会、C-561.
- (6) 浅井和義、小野寺清光、村口正弘、徳光雅美、「WSiN FETを用いた26GHz帯MMIC低雑音増幅器」、1990年電子情報通信学会秋季全国大会、C-33.
- (7) 西村一巳、小野寺清光、杉谷末広、浅井和義、「薄層チャネルGaAs MESFETにおける低温DC特性」、1990年秋季応用物理学会学術講演会、26a-ZG-2.
- (8) 杉谷末広、小野寺清光、西村一巳、日向文明、浅井和義、「高品質で薄いSiイオン注入GaAs能動層の形成」、1991年秋季応用物理学会学術講演会、12a-H-7.
- (9) 杉谷末広、小野寺清光、西村一巳、日向文明、浅井和義、「高品質で薄いSiイオン注入GaAs能動層の形成」、1991年10月電子情報通信学会電子デバイス研究会、ED91-102.
- (10) 細矢正風、石塚文則、熊木みつ江、高知尾昇、小野寺清光、「高帯域増幅回路モジュール」、1992年1月電子情報通信学会マイクロ波研究会、MW91-140.
- (11) 西村一巳、徳光雅美、小野寺清光、新山肇、山崎王義、「0.1 μ m Au/WSiNゲートGaAs MESFETの高性能化」、1995年電子情報通信学会秋季全国大会、C-378.
- (12) 徳光雅美、西村一巳、小野寺清光、新山肇、山崎王義、「0.1 μ mゲート長GaAs MESFETの高性能化」、1995年秋季応用物理学会学術講演会、28p-ZQ-17.
- (13) 西村一巳、青山真二、小野寺清光、徳光雅美、山崎王義、「0.1 μ m GaAs-MESFETのしきい値電圧高均一化」、1997年電子情報通信学会春季全国大会、C-10-33.
- (14) 山根康朗、小野寺清光、入戸野巧、西村一巳、山崎王義、「MMIC用二重LDD型H-MESFET」、1997年電子情報通信学会春季全国大会、C-10-14.
- (15) 山根康朗、小野寺清光、入戸野巧、西村一巳、山崎王義、「ゲート・ドレイン間耐圧とドレイン抵抗のトレードオフ」、1997年秋季応用物理学会学術講演会、3a-ZG-6.
- (16) 杉谷末広、小野寺清光、青山真二、平野真、山崎王義、「超小型3次元MMIC用配線形成技術」、1998年1月電子情報通信学会電子デバイス研究会、ED97-181.
- (17) 木村俊二、菊池裕之、小野寺清光、「3次元配線を用いた0-56 GHzゲートライン分割型分布ベースバンド増幅器IC」、1997年電子情報通信学会秋季全国大会、C-2-13.
- (18) 木村俊二、菊池裕之、小野寺清光、「3次元配線を用いた0-80GHzソースライン分割型分布直流レベルシフトIC」、1998年電子情報通信学会春季全国大会、C-2-4.
- (19) 西川健二郎、鴨川健司、豊田一彦、徳満恒雄、井上考、小野寺清光、平野真、田中将義、「マスタスライス型3次元ミリ波MMICの検討」、1998年電子情報通信学会秋季全国大会、C-2-17.
- (20) 井上考、活田健治、小野寺清光、西川健二郎、鴨川健司、平野真、「感光性BCBを用いた3次元MMIC配線プロセス技術」、1998年電子情報通信学会秋季全国大会、C-2-76.
- (21) 日野滋樹、葉原敬士、山本剛、三条広明、小野寺清光、「光ATM-STM16chセル多重分離装置」、1999年電子情報通信学会秋季全国大会、B-6-10.

-
- (22) 三条広明、西沢英樹、山田義朗、小野寺清光、美野真司、柴田泰夫、「波長ルーチン型大容量パケットシステム (FRONTIER) の開発(2)- 総合動作実験-」、2000年電子情報通信学会春季全国大会、SB-10-6.
- (23) 石井隆生、青山眞二、小野寺清光、徳光雅美、「超高速化合物半導体デバイス実装のためのAu-Snはんだバンプ」、2002年秋季応用物理大会学術講演会、25a-ZB-11.
- (24) 明吉智幸、小野寺清光、荒武淳、青山眞二、石井隆生、徳光雅美、「超100Gbit/s級OEICのためのチップ上光配線 (WOW) 構造」、2003年1月電子情報通信学会マイクロ波研究会、MW2002-148.
- (25) 重川直輝、小野寺清光、塩島謙次、「高バイアスAlGaIn/GaN HEMTの自己発熱評価」、2003年3月電気学会電子デバイス研究会、EDD-03-42.
- (26) 明吉智幸、小野寺清光、徳光雅美、「WOW構造付きOEICのFCB実装基板の作製」、2003年春季応用物理学会学術講演会、

■付録A デバイス解析の基本式

A.1 ポアソンの方程式

ポアソンの方程式と電流連続の式は、マックスウェルの方程式を変形することで導かれる。

$$\begin{cases} \nabla \times \mathbf{E} = -\frac{\partial \mathbf{B}}{\partial t} \\ \nabla \times \mathbf{H} = \mathbf{J} + \frac{\partial \mathbf{D}}{\partial t} \\ \nabla \cdot \mathbf{D} = \rho \\ \nabla \cdot \mathbf{B} = 0 \end{cases} \quad (\text{A. 1})$$

電界 \mathbf{E} は電位 ψ と電荷 ρ の関数となる。以下のようなベクトルポテンシャルを導入する。

$$\mathbf{B} = \nabla \times \mathbf{A} \quad (\text{A. 2})$$

なお、ローレンツ条件から、ベクトルポテンシャルは次式を満たす。

$$\nabla \cdot \mathbf{A} = -\mu\epsilon \frac{\partial \psi}{\partial t} = -\frac{1}{v^2} \frac{\partial \psi}{\partial t} \quad (\text{A. 3})$$

ここで、 v は電磁波の伝搬速度で、自由空間では光速に等しい。

(A.2)式をマックスウェルの方程式の第1式に代入し、スカラー関数の性質 ($\nabla \times \nabla \psi = \mathbf{0}$) である電位 ψ を積分定数として、電界は、

$$\nabla \times \mathbf{E} = -\frac{\partial \mathbf{B}}{\partial t} = -\nabla \times \frac{\partial \mathbf{A}}{\partial t} = \nabla \times \left(-\frac{\partial \mathbf{A}}{\partial t} - \nabla \psi \right) \quad (\text{A. 4})$$

$$\mathbf{E} = -\nabla \psi - \frac{\partial \mathbf{A}}{\partial t} \quad (\text{A. 5})$$

と表せる。

半導体内の誘電率が時間に依存せず、応力による分極が無視できると仮定すると、電束密度は直接、電界と関係付けられ、 $\mathbf{D} = \epsilon \mathbf{E}$ 、これをマックスウェルの方程式(A.1)の第3式に上式を代入し、

$$\nabla \cdot \left(\nabla \psi + \frac{\partial \mathbf{A}}{\partial t} \right) = -\frac{\rho}{\epsilon} \quad (\text{A. 6})$$

最後に、マイクロ波もしくはそれ以下で動作するデバイスにおいては、 $\nabla \cdot \mathbf{A} \sim \mathbf{0}$ と見なせるので、電子密度、正孔密度をそれぞれ、 n 、 p とし、イオン化したドナー密度、アクセプタ密度をそれぞれ、 N_{D+} 、 N_{A-} とすると、

$$\nabla^2 \psi = -\frac{\rho}{\epsilon} \quad (\text{A. 7})$$

$$\rho = q(p - n + N_{D^+} - N_{A^-}) \quad (\text{A. 8})$$

A. 2 電流連続の式

マックスウェルの第2式の発散を取り、ベクトル公式 $\nabla \cdot (\nabla \times \mathbf{A}) = 0$ を用い、

$$\nabla \cdot (\nabla \times \mathbf{H}) = \nabla \cdot \left(\mathbf{J} + \frac{\partial \mathbf{D}}{\partial t} \right) = \nabla \cdot \mathbf{J} + \frac{\partial \rho}{\partial t} = 0 \quad (\text{A. 9})$$

電荷 ρ は、正孔 p 、電子 n および電荷欠陥 Q_d を用いて、以下のように表される。

$$\rho = q(p - n + Q_d) \quad (\text{A. 10})$$

また、全電流密度 \mathbf{J} は電子電流密度 \mathbf{J}_n と正孔電流密度 \mathbf{J}_p に分けられる。

$$\mathbf{J} = \mathbf{J}_n + \mathbf{J}_p \quad (\text{A. 11})$$

電荷欠陥の影響はないものと仮定し、再結合率を R とすると、式 (A. 9) - (A. 11) から、正孔および電子に対する電流連続の式は、次式のように表される。

$$\begin{cases} \nabla \cdot \mathbf{J}_n - q \frac{\partial n}{\partial t} = qR \\ \nabla \cdot \mathbf{J}_p + q \frac{\partial p}{\partial t} = -qR \end{cases} \quad (\text{A. 12})$$

A. 3 電流密度の式

粒子の分布関数は、時刻 t での粒子の座標位置 \mathbf{r} 、波数ベクトル \mathbf{k} で記述でき、粒子の軌跡に沿っての分布関数の時間での全微分は、全位相空間で 0 になる。これがボルツマン輸送方程式で、次のように表せる。

$$\frac{d}{dt} f(\mathbf{k}, \mathbf{r}, t) = \frac{\partial f}{\partial t} + \frac{\partial f}{\partial \mathbf{k}} \frac{\partial \mathbf{k}}{\partial t} + \frac{\partial f}{\partial \mathbf{r}} \frac{\partial \mathbf{r}}{\partial t} = 0 \quad (\text{A. 13})$$

粒子に外部から作用する力を \mathbf{F} 、粒子の群速度を \mathbf{v} とし、右辺第2項を外力による分布関数の変化と結晶内の力、すなわち散乱による変化に分けて整理すると、次のようになる。

$$\frac{\partial f}{\partial t} + \frac{\mathbf{F}}{\hbar} \frac{\partial \mathbf{k}}{\partial t} + \mathbf{v} \frac{\partial \mathbf{r}}{\partial t} = \left[\frac{\partial f}{\partial t} \right]_{coll} \quad (\text{A. 14})$$

左辺第2項はドリフト項、第3項は拡散項、右辺は散乱による分布関数変化で散乱項として知られる。散乱項は、分布関数が波数空間で対称であると仮定すると、緩和時間 τ を用いて、次のように近似できる。

$$\left[\frac{\partial f}{\partial t} \right]_{coll} = -\frac{f - f_0}{\tau} \quad (\text{A. 15})$$

f_0 は球対称な分布関数である。また、散乱項は3つの項に分けて表すことができる。

$$\left[\frac{\partial f}{\partial t} \right]_{coll} = \left[\frac{dn}{dt} \right]_{coll} + \left[\frac{d\mathbf{v}}{dt} \right]_{coll} + \left[\frac{d\xi}{dt} \right]_{coll} \quad (\text{A. 16})$$

ここで、 n は粒子密度、 ξ は粒子の平均エネルギーである。それぞれの衝突項は、次のようになる。

$$\begin{cases} \left[\frac{dn}{dt} \right]_{coll} = -R(\tau_c) \\ \left[\frac{d\mathbf{v}}{dt} \right]_{coll} = -\frac{\mathbf{v}}{\tau_m} \\ \left[\frac{d\xi}{dt} \right]_{coll} = -\frac{\xi - \xi_0}{\tau_e} \end{cases} \quad (\text{A. 17})$$

R は再結合率で、キャリア寿命時間 τ_c の関数である。 τ_m 、 τ_e は、それぞれ運動量緩和時間、エネルギー緩和時間であり、粒子エネルギーの関数である。

ボルツマン輸送方程式から、次のような粒子保存の式が導かれる。

$$\frac{\partial n}{\partial t} + \nabla \cdot (n\mathbf{v}) = \left[\frac{dn}{dt} \right]_{coll} \quad (\text{A. 18})$$

ボルツマン方程式(A. 2)と群速度 \mathbf{v} の積をとり、波数ベクトル空間に渡って積分すれば、運動量保存の式が得られる。

$$\frac{\partial \mathbf{v}}{\partial t} + \mathbf{v} \cdot \nabla \mathbf{v} + \frac{q\mathbf{E}}{m^*} + \frac{1}{m^* n} \nabla (nk_B T_e) = \left[\frac{d\mathbf{v}}{dt} \right]_{coll} \quad (\text{A. 19})$$

ここで、 m^* はキャリアの有効質量、 k_B はボルツマン定数、 T_e はキャリア温度である。外力は電界 \mathbf{E} とした。

ボルツマン方程式(A. 2)と平均エネルギー ξ の積をとり、波数ベクトル空間に渡って積分すれば、エネルギー保存の式が得られる。

$$\frac{\partial \xi}{\partial t} + \mathbf{v} \cdot \nabla \xi + q\mathbf{v} \cdot \mathbf{E} + \frac{1}{n} \nabla (n\mathbf{v}k_B T_e) + \frac{1}{n} \nabla \cdot \mathbf{s} = \left[\frac{d\xi}{dt} \right]_{coll} \quad (\text{A. 20})$$

ここで、 \mathbf{s} はエネルギー流速、またキャリアのエネルギー ξ は次式で与えられる。

$$\xi = \frac{1}{2} m^* v^2 + \frac{3}{2} k_B T_e \quad (\text{A. 21})$$

次のような仮定をする。

- 1) 結晶中におけるキャリア温度の勾配が小さい。 $\nabla T_e \sim 0$
- 2) $\mathbf{v} \cdot \nabla \mathbf{v}$ も他項に比較して小さい。
- 3) マイクロ波程度のデバイス動作であり、キャリア速度が定常状態である。 $\partial \mathbf{v} / \partial t \sim 0$
- 4) キャリア温度は格子温度に等しい。

以上のような仮定の下では、運動量保存の式(A. 7)は、次のように、ドリフト・拡散の式まで簡単化できる。

$$\frac{q\mathbf{E}}{m^*} + \frac{k_B T_e}{m^* n} \nabla n = -\frac{\mathbf{v}}{\tau_m}$$

$$\mathbf{v} = -\mu\mathbf{E} - \frac{D}{n}\nabla n \quad (\text{A. 22})$$

ここで、 μ 、 D はそれぞれ、キャリアの移動度、拡散係数で、次のように与えられる。

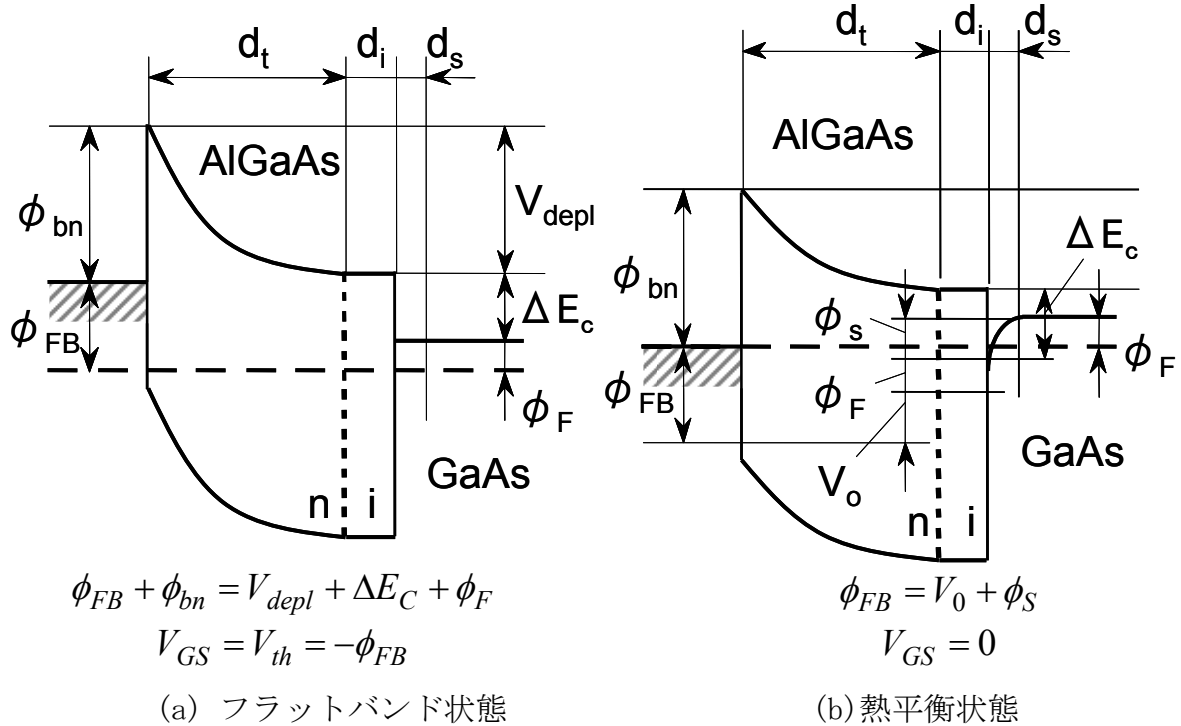
$$\begin{cases} \mu = \frac{q\tau_m}{m^*} \\ D = \frac{k_B T_e \mu}{q} \end{cases} \quad (\text{A. 23})$$

したがって、電流密度は次のように表される。

$$\mathbf{J} = -qn\mu\mathbf{E} - qD\nabla n \quad (\text{A. 24})$$

■付録B 電荷制御の式

B.1 HEMTの電荷制御関係式



図B.1. AlGaAs/GaAs-HEMTのエネルギーバンド

図B.1はAlGaAs/GaAs-HEMTのフラットバンド状態と熱平衡状態のエネルギーバンドである。ゲート電極に電圧 V_{GS} 、ドレイン電極に電圧 V_{DS} を印加すると、印加電圧は以下のように、ゲート電極とチャネル間で、電圧 V_0 と表面ポテンシャル ϕ_s に分配される。

$$V_{DS} - V(x) + \phi_{FB} = V_0 + \phi_s \quad (B.1)$$

ここで、 $V(x)$ はチャネル内ソース端を基準とした位置 x におけるドレイン電圧、 ϕ_{FB} はフラットバンドポテンシャルである。図B.1(b)の熱平衡状態は $V_{GS}=V_{DS}=0$ に相当する。また、図B.1(a)のフラットバンド状態において、半導体中の疑フェルミレベルが一定である仮定すると次式が得られる。

$$\phi_{FB} + \phi_{bn} = V_{depl} + \Delta E_C + \phi_F \quad (B.2a)$$

$$V_{depl} = \frac{qN_D d_t^2}{2\epsilon} \quad (B.2b)$$

ΔE_C はAlGaAsとGaAsとの伝導帯バンドオフセット、 ϕ_F はGaAsの電子親和力と疑フェルミレベルの差、 ϕ_{bn} は金属側ショットキー障壁高さ、 V_{depl} は拡散電位で、 d_t はn型AlGaAsの厚さである。

HEMTの動作においては、AlGaAs電子供給層の電荷状態に変化がないとし、ゲート電極上の誘起電荷量 Q_c とチャネルの誘起電荷量 Q_s の間に電荷中性条件を仮定する。

$$Q_G + Q_S = 0 \quad (\text{B. 3})$$

フラットバンド状態においては、チャンネル誘起電荷量 $Q_s=0$ となり、閾値電圧 V_{th} との間に次式が成り立つ。

$$V_{th} = -\phi_{FB} \quad (\text{B. 4})$$

チャンネル誘起電荷量 Q_s は、ゲート電極とチャンネル間に掛かる電位 V_0 、ゲート電極-チャンネル間隔を用いて次式で与えられる。

$$Q_S = \frac{\varepsilon V_0}{d_t + d_s + d_i} \quad (\text{B. 5})$$

ここで、 d_i はi型AlGaAsの厚さ、 d_s はシートキャリアであるチャンネル誘起電荷の厚さである。上式に、(B. 1)式を代入し、(B. 3)を用い、 ϕ_s は他の項と比較して小さいため無視すると、次のような電荷制御の関係式が得られる。

$$Q_S = C_o [V_{GS} - V(x) - V_{th}] \quad (\text{B. 6a})$$

$$C_o = \frac{\varepsilon}{d_t + d_s + d_i} \quad (\text{B. 6b})$$

C_o は単位面積当たりの電荷制御容量である。

B. 2 HEMTのIV特性

HEMTのドレイン電流は、電流密度の式にチャンネルシートキャリア濃度を表す電荷制御の関係式を代入し、チャンネル幅 W_g を考慮することで、次のように与えられる。

$$\begin{aligned} I_{DS} &= Q_S W_G v_x \\ &= C_o [V_{GS} - V_{th} - V(x)] W_G v_x \end{aligned} \quad (\text{B. 7a})$$

$$v_x = \frac{\mu E_x}{1 + \mu E_x / v_s} \quad (\text{B. 7b})$$

ドリフト速度 v_x の電界依存性は、レホーバック・ツーリングのモデルを仮定する。(B. 7a)には v_x の中に x についての微分が含まれるので、簡単化のために次のような変数変換を行う。

$$\begin{cases} x = XL_G \\ \frac{dV}{dx} = \frac{1}{L_G} \frac{dV}{dX} \end{cases}$$

以上を(B. 7a)代入すると、

$$I_{DS} = \beta_o (V_{GS} - V_{th} - V) \frac{\frac{dV}{dX}}{1 + \frac{1}{L_G E_c} \frac{dV}{dX}} \quad (\text{B. 8a})$$

$$v_s = \mu_o E_c \quad (\text{B. 8b})$$

$$\beta_o = \frac{\mu_o W_G C_o}{L_G} \quad (\text{B. 8c})$$

となる。変数分離を行い、(B. 8a)式をXについて、0から1まで積分すると、

$$\int_0^1 I_{DS} dX = \int_0^{V_{DS}} \left[\beta_o (V_{GS} - V_{th} - V) - \frac{I_{DS}}{L_G E_c} \right] dV$$

$$I_{DS} \left(1 + \frac{V_{DS}}{V_c} \right) = \beta_o \left[(V_{DS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (\text{B. 9})$$

が得られる。ここで、 $V_c = L_G E_c$ を用いた。ドレイン電流の飽和現象は、キャリア速度飽和によって生じるものと仮定すると、

$$\left. \frac{dI_{DS}}{dV_{DS}} \right|_{I_{DS-SAT}} = 0 \quad (\text{B. 10})$$

であるから、(B. 9)式を V_{DS} で微分することで、

$$\frac{dI_{DS}}{dV_{DS}} (V_c + V_{DS}) + I_{DS} = \beta_o V_c (V_{GS} - V_{th} - V_{DS})$$

$$I_{DS-SAT} = \beta_o V_c (V_{GS} - V_{th} - V_{DS-SAT}) \quad (\text{B. 11a})$$

また、(B. 9)式を変型することで、次式が得られる

$$I_{DS-SAT} (V_c + V_{DS-SAT}) = \beta_o V_c \left[(V_{GS} - V_{th}) V_{DS-SAT} - \frac{V_{DS-SAT}^2}{2} \right] \quad (\text{B. 11b})$$

(B. 11a)式と(B. 11b)式の係数比較から、

$$V_{DS-SAT} = V_c \left(\sqrt{1 + 2 \frac{V_{GS} - V_{th}}{V_c}} - 1 \right) \quad (\text{B. 12})$$

が得られるので、(B. 11a)式に(B. 12)式を代入し、 V_{DS-SAT} を消去すると、飽和領域におけるHEMTのドレイン電流の式が次のように得られる。

$$I_{DS-SAT} = \frac{\beta_o V_c^2}{2} \left(\sqrt{1 + 2 \frac{V_{GS} - V_{th}}{V_c}} - 1 \right)^2 \quad (\text{B. 13})$$

相互コンダクタンスは、その定義から(B. 13)を V_{GS} について偏微分するところで、次のように得られる。

$$g_m = \beta_o V_c \left[1 - \frac{1}{\sqrt{1 + 2(V_{GS} - V_{th})/V_c}} \right] \quad (\text{B. 14})$$

B. 3 特性への寄生抵抗の影響

B. 2項は、デバイス真性部分の特性であるが、ここではソース端子、ドレイン端子における寄生抵抗を考慮したデバイス特性を考える。ソース抵抗 R_S 、ドレイン抵抗 R_D がある場合のデバイス内のゲート電圧 V_{GS} 、ドレイン電圧 V_{DS} は、外部印加ゲート電圧を V_{GS}^{EX} 、ドレイン電圧を V_{DS}^{EX} とすると、次のように与えられる。

$$V_{GS} = V_{GS}^{EX} - I_{DS} R_S \quad (\text{B. 15a})$$

$$V_{DS} = V_{DS}^{EX} - I_{DS} (R_S + R_D) \quad (\text{B. 15b})$$

(B. 15a)を(B. 14)に代入して、

$$I_{DS-SAT} = \frac{\beta_o V_c^2}{2} \left(\sqrt{1 + 2 \frac{V_{GS}^{EX} - V_{th} - I_{DS-SAT} R_S}{V_c}} - 1 \right)^2$$

$$\pm \sqrt{\frac{2}{\beta_o V_c^2}} \sqrt{I_{DS-SAT}} = \sqrt{1 + \frac{2}{V_c} (V_{GS}^{EX} - V_{th} - R_S I_{DS-SAT})} - 1 \quad (\text{B. 16})$$

となる。(B. 16)式の両辺を各々 V_{GS}^{EX} で偏微分して整理すると、以下のように、寄生抵抗を考慮した相互コンダクタンスが得られる。

$$\frac{1}{g_m} = \left(\frac{\partial I_{DS-SAT}}{\partial V_{GS}^{EX}} \right)^{-1} = \sqrt{\frac{1}{2\beta_o I_{DS-SAT}}} + \frac{1}{v_s C_o W_g} + R_S \quad (\text{B. 17})$$

(B. 8b) (B. 8c)を代入して少し変形し、単位ゲート幅当たりの相互コンダクタンスに直すと、次式を得る。

$$\frac{1}{g_m^{uWg}} = \sqrt{\frac{dL_g}{2\epsilon\mu I_{DS-SAT}^{uWg}}} + \frac{d}{\epsilon v_s} + R_S^{uWg} \quad (\text{B. 18})$$

ここで、右肩に uWg が付加された g_m 、 I 、 R_S は単位ゲート幅当たりの値である。

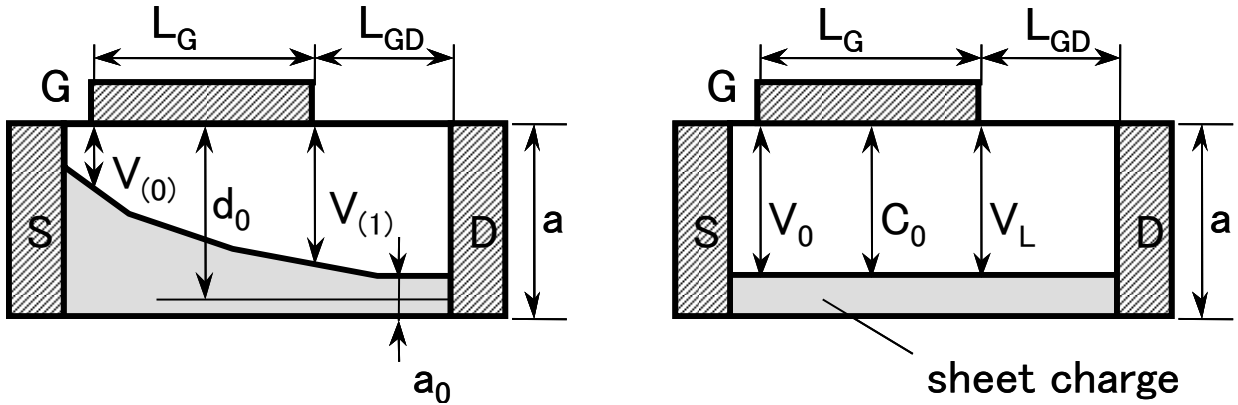
B. 4 MESFETへの拡張

MESFETの非線形なチャンネル容量を実効的な一定容量で置き換えることで、HEMTの電荷制御の概念がMESFETにも適用できる。図B. 2に示すように、チャンネルに印加される電圧の境界条件を変更することで等価HEMTとする。チャンネルの実効容量は、ゲート電極からチャンネルの中央までの長さ、 $a-a_0/2$ を用いて、次のように表わすことができる。

$$C_o = \frac{\varepsilon}{d_o} = \frac{\varepsilon}{a - a_o/2} \quad (\text{B. 19})$$

ドレイン端においては、MESFETの空乏層幅 $W(1)$ と電圧 $V_{(1)}$ の関係は次のようになっている。

$$V_{(1)} = V_{DS} + V_{bi} - V_{GS} = \frac{qN_D}{2\varepsilon} W(1)^2 \quad (\text{B. 20a})$$



$$V_{(0)} = V_{bi} - V_{GS}$$

$$V_{(1)} = V_{DS} + V_{bi} - V_{GS}$$

$$V_{(x)} = V(x) + V_{bi} - V_{GS} = \frac{qN_D}{2\varepsilon} W(x)^2$$

(a) MESFET

$$V_0 = V_{GS} - V_{th}$$

$$V_L = V_{GS} - V_{th} - V_{DS}$$

(b) 等価HEMT

図B. 2. 等価MESFETの概念図

ピンチオフ電圧 V_p と閾値電圧 V_{th} の関係 $V_p = V_{bi} - V_{th}$ を用いて、ビルトイン電圧 V_{bi} を消去すると、等価HEMTのドレイン端における電圧 V_L は次のようになる。

$$\begin{aligned} V_L = V_{GS} - V_{th} - V_{DS} &= V_p - \frac{qN_D}{2\varepsilon} W(1)^2 \\ &= \frac{qN_D a}{C_o} \left[1 - \sqrt{\frac{V_{(1)}}{V_p}} \right] \end{aligned} \quad (\text{B. 20b})$$

ここで、上式から(B. 19)のチャネルの実効容量 C_o は次のように与えられる。

$$C_o = \frac{2\varepsilon}{a + W(1)} = \frac{2\varepsilon}{a \left[1 + \sqrt{V_{(1)}/V_p} \right]} \quad (\text{B. 21})$$

ソース端においても、空乏層幅 $W(1)$ と電圧 $V_{(0)}$ の関係、等価HEMTの電圧 V_0 は、同様にして、

$$V_{(0)} = V_{bi} - V_{GS} = \frac{qN_D}{2\varepsilon} W(0)^2 \quad (\text{B. 22a})$$

$$\begin{aligned}
V_0 &= V_{GS} - V_{th} = V_P - \frac{qN_D}{2\varepsilon} W(0)^2 \\
&= \frac{qN_D a}{C_o} \left[1 - \sqrt{\frac{V(0)}{V_P}} \right]
\end{aligned} \tag{B. 22b}$$

速度飽和領域では、電荷制御と空乏層幅制御による定電流表現が同じになる。すなわち、

$$I_{ds} = C_o V_L v_s W_g = qN_D a_o v_s W_g \tag{B. 23}$$

(B. 23)に(B. 20b)を代入して、MESFETのチャンネル厚さ a_o が次のように得られる。

$$a_o = a \left(1 - \sqrt{\frac{V(1)}{V_P}} \right) \tag{B. 24}$$

同様にして、飽和電流は等価HEMTのソース端電圧 V_0 に関連するので、次のようになる。

$$I_{ds-sat} = \frac{\beta_o V_c^2}{2} \left(\sqrt{1 + 2 \frac{V_0}{V_c}} - 1 \right)^2 = qN_D a_o v_s W_g \tag{B. 25}$$

(B. 25)式を変形すると、MESFETのチャンネル厚さ a_o が次のように得られる。

$$a_o = a \left(1 - \sqrt{1 - \frac{V_c}{2V_P} \theta} \right) \tag{B. 26a}$$

$$\theta = \left(\sqrt{1 + 2 \frac{V_0}{V_c}} - 1 \right)^2 \tag{B. 26b}$$

チャンネル厚さ a_o (B. 24) と (B.26a) は等しいから、

$$V_L = \frac{V_c}{2} \theta \tag{B. 27}$$

ここで、サブミクロンゲートの場合には、チャンネル内は電子が飽和速度となるのに十分な電界があると考えられるので、 $V_0 \gg V_c$ とすると、 $V_L = V_0$ となり、チャンネル幅一定で、チャンネル実効容量は一定となる。(B.26a)は次のように近似できる。

$$a_o \approx a \left(1 - \sqrt{1 - \frac{V_0}{V_P}} \right) = a \left(1 - \sqrt{1 - \frac{V_L}{V_P}} \right) \tag{B. 28}$$

参考文献

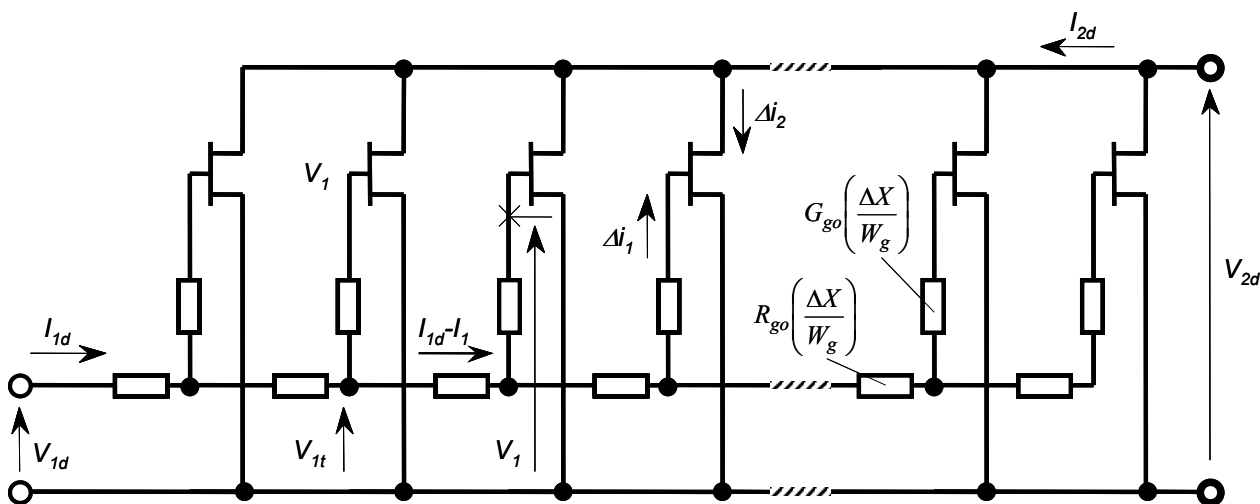
[B.1] M. B. Das, W. Kopp, and H. Morkoc, "Determination of carrier saturation velocity in short-gate-length modulation-doped FET's," IEEE Electron Device Lett., Vol. EDL-5, No. 11, pp. 446-448, 1984.

[B.2] M. B. Das and M. L. Rosak, "Design calculations for submicron gate-length AlGaAs/GaAs modulation-doped FET structures using carrier saturation velocity / charge-control model," Solid State Electron., Vol. 28, No. 10, pp. 997-1005, 1985.

[B.3] M. B. Das, "Millimeter-wave performance of ultrasubmicrometer-gate field-effect transistors: a comparison of MODFET, MESFET, and PBT structures," IEEE Trans. Electron Devices, Vol. ED-34, No. 7, pp. 1492-1440, 1987.

■付録C 分布定数形ゲート抵抗の式

P. Wolfは、ゲート電極を伝送線路として取り扱うことで、分布定数形のゲート抵抗を集中定数を用いて解析的に導いている[C. 1]。同様の方法で、垂直方向ゲート抵抗の総ゲート抵抗への影響を見積もることができる。分布形デバイスの等価回路を図5-14に示す。



図C.1 小片 Δx に分割された分布定数形デバイスの等価回路

デバイスは小さい小片 dx に分割されている。ゲート幅は W_g である。 R_{go} は、ゲート電極両端で測定されるゲート電極上 Au の配線抵抗である。 G_{go} は、垂直方向に沿ったゲート電極のコンダクタンスである。すなわち、ゲート電極の上端と下端との間で測定される $W\text{SiN}$ のコンダクタンスである。 $W\text{SiN}$ ゲートの垂直方向の抵抗を考慮に入れるために、デバイス真性部分のゲート端子と分布形ゲート抵抗との間に $G_{go}(dx/W_g)$ を挿入した。

小片 dx における分布形デバイスの特性は以下の微分方程式で与えられている。

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} w_g Z_{11} & w_g Z_{12} \\ w_g Z_{21} & w_g Z_{22} \end{bmatrix} \begin{bmatrix} \frac{dI_1}{dx} \\ \frac{dI_2}{dx} \end{bmatrix} \quad (\text{C. 1})$$

ここで、 I_1 は、 $x=0$ から積分されたゲートへの積分電流であり、 I_2 はドレインへのそれで積分電流ある。 V_1 は、デバイス真性部分の小片への入力電圧である。 V_2 は出力電圧である。ここで、ソース、およびドレインのオーミック電極の抵抗は非常に低いので、伝送線路としての特性は無視されると仮定した。そこで、

$$V_2 = V_{2d} = \text{const} \quad (\text{C. 2})$$

ゲート伝送線路の電圧が V_{1t} であるとする、 V_{1t} 、 V_1 、 および I_1 の関係は以下のようになを引き出すことができる。

$$\frac{dV_{1t}}{dx} = -\frac{R_{go}}{w_g}(I_{1d} - I_1) \quad (\text{C. 3})$$

$$\frac{dI_1}{dx} = -\frac{G_{go}}{w_g}(V_1 - V_{1t}) \quad (C.4)$$

ここで、ゲート伝送線路の電流は $I_{1d}-I_1$ であり、 I_{1d} は $x=0$ における電流である。(C.1)に(C.4)を代入することで、 V_1 を消去することができる。

$$\begin{bmatrix} V_{1t} \\ V_2 \end{bmatrix} = \begin{bmatrix} w_g \left(\frac{1}{G_{go}} + Z_{11} \right) & w_g Z_{12} \\ w_g Z_{21} & w_g Z_{22} \end{bmatrix} \begin{bmatrix} \frac{dI_1}{dx} \\ \frac{dI_2}{dx} \end{bmatrix} \quad (C.5)$$

また、(C.3)を用いて、(C.5)から V_1 および I_2 を消去することができる。したがって、以下のような I_1 に関する微分方程式を導くことができる。

$$-\frac{d^2 I_1}{dx^2} = (I_{1d} - I_1) \left(\frac{R_{go}}{w_g^2} \right) \left(\frac{1}{y_{11}} + \frac{1}{G_{go}} \right)^{-1} \quad (C.6)$$

境界条件として、 $x=0$ において $I_1=0$ 、 $x=w_g$ において $I_1=I_{1d}$ とすることで、以下のように I_1 が得られる。

$$I_1 = I_{1d} \left\{ 1 + \frac{\sinh[k(x - w_g)]}{\sinh(kw_g)} \right\}, \quad (C.7)$$

また、伝搬定数 k の方程式として、

$$k^2 w_g^2 = R_{go} \left(\frac{1}{y_{11}} + \frac{1}{G_{go}} \right)^{-1} \quad (C.8)$$

(C.7)を(C.2)代入することで、以下のように V_{1t} が得られる。

$$V_{1t} = k I_{1d} \left(\frac{w_g}{y_{11}} + \frac{w_g}{G_{go}} \right) \frac{\cosh[k(x - w_g)]}{\sinh(kw_g)} + \frac{Z_{12}}{Z_{22}} V_2 \quad (C.9)$$

$x=0$ における境界条件として、 $V_{1t}=V_{1td}$ のを用いると、全体回路の入力電圧は、以下のようになる。

$$V_{1td} = \left[k \left(\frac{w_g}{y_{11}} + \frac{w_g}{G_{go}} \right) \coth(kw_g) + \frac{Z_{12}Z_{21}}{Z_{22}} \right] I_{1d} + Z_{12} I_{2d} \quad (C.10)$$

したがって、回路の入力インピーダンスは以下のように表される。

$$Z_{11d} = k \left(\frac{w_g}{y_{11}} + \frac{w_g}{G_{go}} \right) \coth(kw_g) + \frac{Z_{12}Z_{21}}{Z_{22}} \quad (C.11)$$

ここで、 $|y_{11}| \ll G_{go}$ かつ $|y_{11}| \ll 1$ の場合、 $(kw_g) \coth(kw_g)$ を $kw_{g=0}$ の近傍で展開し、2次

の項まで取ると、

$$Z_{11d} = \left(\frac{1}{y_{11}} + \frac{1}{G_{go}} \right) \left[1 + \frac{(kw_g)^2}{3} + \dots \right] + \frac{Z_{12}Z_{21}}{Z_{22}}$$

$$Z_{11d} = Z_{11} + \frac{1}{G_{go}} + \frac{R_{go}}{3} \dots \quad (\text{C. 12})$$

したがって、垂直方向のゲート抵抗を考慮に入れる場合、分布形のゲート抵抗 ($R_{go}/3$) に、垂直方向のコンダクタンス ($1/G_{go}$) を加えれば良い。

[C. 1] P. Wolf, "Microwave Property of Schottky -Barrier Field-Effect Transistors," IBM J. Research Development, vol. 14, p. 125-141, 1970.

■付録D CPW線路の特性インピーダンス

等角写像法 (conformal transformation method) を用いた準静的解析により、各種CPW線路の特性インピーダンスを導出することができる[D. 1]。この解析においては、CPW線路のすべての誘電体界面は磁壁であると仮定でき、電界が誘電体界面に沿っているときには、厳密に正しいものである[D. 2]。この仮定の下で、CPW線路の上下側の線路容量は、分離して解析することが可能であり、CPW線路の全線路容量はその和となる。さらに、CPW線路下部の誘電体基板が有限な厚さの場合にも適用でき、CPW線路の下側の線路容量は、誘電率 $\epsilon_r - 1$ と仮定して算出することができる[D. 2]。ほとんどの実効的なCPW構造においては、この仮定での誤差は1%以下である。

準静的近似を用いた伝搬モードであるため、実効誘電率 ϵ_{re} 、位相速度 v_{ph} と特性インピーダンス Z_{ocp} は、次式で表すことができる。

$$\epsilon_{re} = \frac{C}{C^a} \quad (D. 1)$$

$$v_{ph} = \frac{c}{\sqrt{\epsilon_{re}}} \quad (D. 2)$$

$$Z_{ocp} = \frac{1}{Cv_{ph}} = \frac{\sqrt{\epsilon_{re}}}{cC} = \frac{1}{c\sqrt{CC^a}} \quad (D. 3)$$

ここで、 c は真空中における電磁界速度（光速）、 C は単位長さ当たりのCPW線路容量、 C^a は誘電体を空気としたときの単位長さ当たりのCPW線路容量である。等角写像法により、上式のCPW線路の実効誘電率と特性インピーダンスは、第1種完全楕円積分の比として記述できる。

D1a. 基板厚みが無限大の場合

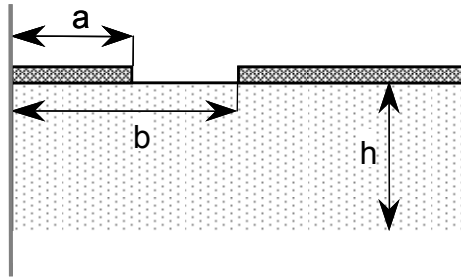
CPW線路は信号線の中心で左右対称な構造であるため、中心から片側半分を解析すれば良い。解析する、基板厚さが無限大のCPW線路の構造を図D. 1に示す。

基板厚みが無限大のCPW線路においては、基板表面（線路がある部分）を磁壁と仮定して、磁壁上部、磁壁下部に分けて線路容量を計算する。磁壁上部は、CPW線路が空気と接しており、単位長さ当たりの伝送線路容量 C_1 とする。磁壁下部は、CPW線路が誘電体基板と接しており、単位長さ当たりの伝送線路容量 C_2 とする。したがって、単位長さ当たりの全伝送線路容量 C は $C_1 + C_2$ となる。

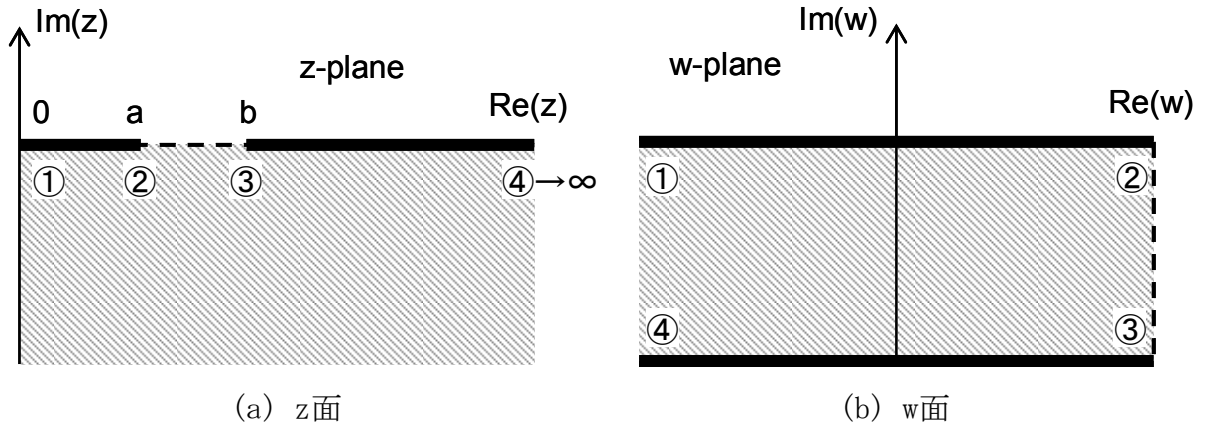
次式のようなSchwarz-Christoffel変換を用いると、図D. 2に示すように、線路の片側に誘電体がある z 面を、矩形誘電体が線路導体で挟まれた平行平板型の w 面へと変換することができる。

$$w = \int_{z_0}^z \frac{dz}{\sqrt{(z-a)(z-b)}} \quad (D. 4)$$

w 面における矩形誘電体の幅と厚さの比は(D. 4)を解くことで得られ、次式となる。



図D.1 CPW線路(基板厚さ無限大)の構造



図D.2 CPW線路(基板厚さ無限大)におけるz面からw面への等角写像

$$\frac{w(12)}{w(23)} = \frac{K(k_1)}{K'(k_1)} \tag{D.5}$$

ここで、 $w(ij)$ は図D.2(b)でのポイント*i*と*j*の距離であり、また、 $K(k_1)$ は第1種完全楕円積分で下記の関係を満たす。

$$K'(k) = K(k'), \quad k' = \sqrt{1 - k^2}$$

(D.5)の引数 k_1 は楕円積分の偏角であり、CPW線路の線路幅を W 、ギャップを S 、つまり、 z 面上で、線路幅の半分が a 、線路幅の半分とギャップの和を b とすると、次式のように与えられる。

$$k_1 = \frac{a}{b} = \frac{W}{W + 2S} \tag{D.6}$$

磁壁上部、下部の伝送線路容量 C_1 および C_2 は、(D.5)式を用いて以下のように表される。

$$\begin{cases} C_1 = 2\varepsilon_0 \frac{K(k_1)}{K'(k_1)} \\ C_2 = 2\varepsilon_0 \varepsilon_r \frac{K(k_1)}{K'(k_1)} \end{cases} \tag{D.7}$$

$$C = C_1 + C_2 = 2\varepsilon_0 (\varepsilon_r + 1) \frac{K(k_1)}{K'(k_1)} \tag{D.8}$$

また、実効誘電率は、(D.1)式を用いて、磁壁上部、下部の媒質をすべて空気に置き換えた場合の容量 C^a との比から得られる。磁壁上部、下部が空気の伝送線路容量 C^{1a} 、 C^{2a} は、ともに C_1 と等しいから、実効誘電率 ε_{re} は、次式で表される。

$$\varepsilon_{re} = \frac{C}{C^a} = \frac{C_1 + C_2}{C^{1a} + C^{2a}} = \frac{C_1 + C_2}{2C_1} = \frac{\varepsilon_r + 1}{2} \quad (D.9)$$

特性インピーダンス Z_{ocp} は、(D.1)式を用いて、次式で得られる。

$$Z_{ocp} = \frac{\sqrt{\varepsilon_o \mu_o}}{\sqrt{CC_a}} = 120\pi \sqrt{\frac{\varepsilon_o^2}{CC^a}} = \frac{30\pi}{\sqrt{\varepsilon_{re}}} \frac{K'(k_1)}{K(k_1)} \quad (D.10)$$

ここで、第1種完全楕円積分 K は次式で与えられる。

$$\frac{K(k_1)}{K'(k_1)} = \begin{cases} \left\{ \frac{1}{\pi} \ln \left[\frac{2(1+\sqrt{k'})}{1-\sqrt{k'}} \right] \right\}^{-1} & 0 \leq k \leq 0.707 \\ \frac{1}{\pi} \ln \left[\frac{2(1+\sqrt{k})}{1-\sqrt{k}} \right] & 0.707 \leq k \leq 1 \end{cases} \quad (D.11)$$

D1b. 基板厚みが無限大（配線厚さを考慮）の場合

配線の厚さ t を考慮した場合、CPWの線路幅は実質的に太くなる。実効的な線路幅増加量を Δ と、配線幅 W_e およびギャップ G_e を次のように仮定する。

$$\begin{cases} W_e = W + \Delta \\ G_e = G - \Delta \end{cases} \quad (D.12)$$

$$\Delta = \frac{t}{8\pi} \left[1 + \ln \left(\frac{8\pi a}{t} \right) \right] \quad (D.13)$$

補正した楕円積分の偏角を k_e とすると、

$$k_{1e} = \frac{W_e}{W_e + 2G_e} \approx k_1 + (1 - k_1^2) \frac{\Delta}{2G} \quad (D.14)$$

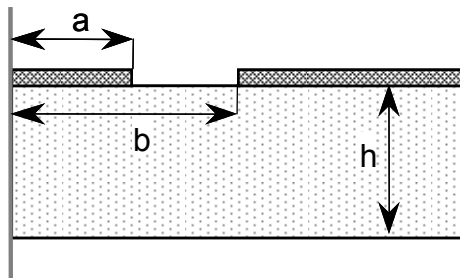
上式を用いて、実験値と合うように補正することで、実効誘電率 ε_{re}^t 、特性インピーダンス Z として以下を得る。

$$\varepsilon_{re}^t = \varepsilon_{re} - \frac{0.7(\varepsilon_{re} - 1) \frac{t}{S}}{\frac{K(k_1)}{K'(k_1)} + 0.7 \frac{t}{S}} \quad (D.15)$$

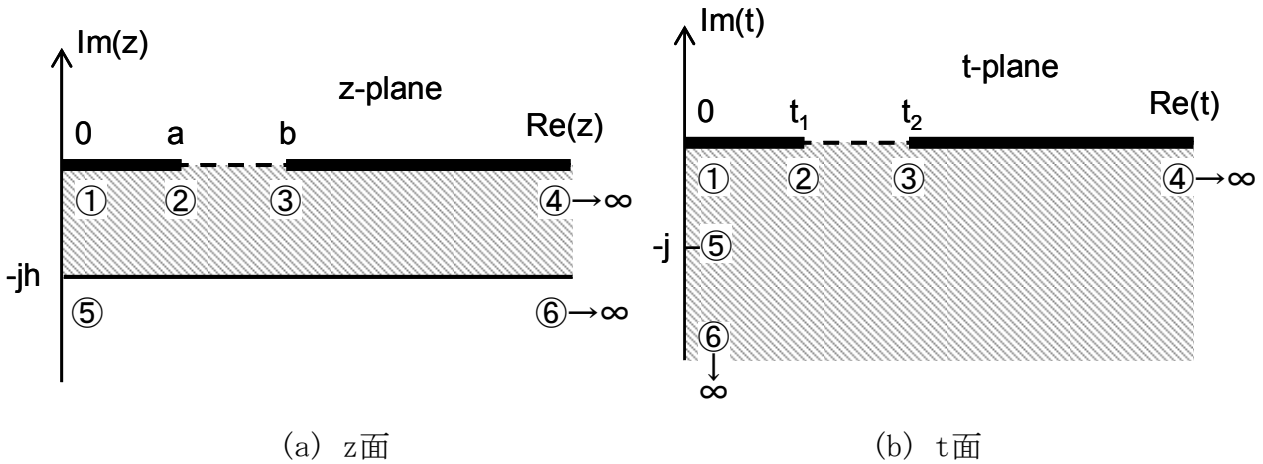
$$Z_{ocp}^t = \frac{30\pi}{\sqrt{\epsilon_{re}}} \frac{K'(k_{1e})}{K(k_{1e})} \quad (D. 16)$$

D2. 基板厚みが有限の場合

基板厚みが有限の厚み h のCPW線路の構造を図D. 3に示す。基板厚みが有限の厚み h で裏面空気のCPW線路においては、磁壁下部を空気と誘電体の混成容量として計算する。磁壁上部は、厚みが無限大の基板の場合と同じで、単位長さ当たりの伝送線路容量 C_1 とする。磁壁下部は、空気の単位長さ当たりの伝送線路容量 C_1 と比誘電率 $(\epsilon_r - 1)$ の単位長さ当たりの伝送線路容量 C_2 とする。



図D. 3 CPW線路(有限基板厚さ)の構造



図D. 4 CPW線路(有限基板厚さ)の z 面から無限大厚さの t 面への変換

有限基板厚さのCPW線路を、矩形誘電体が線路導体で挟まれた平行平板型の構造に変換するために、まず、図D. 4に示すような無限大厚さCPW線路への変換を行なう。厚さ h の基板である z 面から、無限大厚さの基板である t 面に変換するために、次式を用いる。

$$t = \sinh\left(\frac{\pi z}{2h}\right) \quad (D. 17)$$

CPW線路の線路幅 W 、ギャップ S に関する a, b は $z-t$ の変換を行うと、次式のようにになる。

$$t_1 = \sinh\left(\frac{\pi a}{2h}\right), \quad t_2 = \sinh\left(\frac{\pi b}{2h}\right) \quad (D. 18)$$

したがって、楕円積分の偏角である引数 k_2 は、次式となる。

$$k_2 = \frac{t_1}{t_2} = \frac{\sinh\left(\frac{\pi a}{2h}\right)}{\sinh\left(\frac{\pi b}{2h}\right)} \quad (\text{D. 19})$$

初めの仮定に基づいて、線路容量 C は以下のように与えられる。

$$C = 2C_1 + C_2 = 4\varepsilon_o \frac{K(k_1)}{K'(k_1)} + 2\varepsilon_o(\varepsilon_r - 1) \frac{K(k_2)}{K'(k_2)} \quad (\text{D. 20})$$

$$\begin{aligned} \varepsilon_{re} &= \frac{2C_1 + C_2}{2C_1} = 1 + \frac{C_2}{2C_1} = 1 + \frac{\varepsilon_r - 1}{2} \frac{K(k_2)}{K'(k_2)} \frac{K'(k_1)}{K(k_1)} \\ &= 1 + q(\varepsilon_r - 1) \end{aligned} \quad (\text{D. 21})$$

ここで、 q は充填率 (filling factor) と呼ばれ、以下のように表される

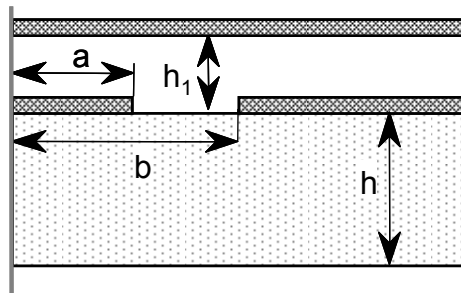
$$q = \frac{1}{2} \frac{K(k_2)}{K'(k_2)} \frac{K'(k_1)}{K(k_1)} = \frac{C_s^a}{C^a} \quad (\text{D. 22})$$

ここで、 C^a は空気基板CPWの全容量、 C_s^a は空気基板CPWの基板容量である。充填率は多層基板上のCPW線路の特性を解析するときには便利である。特性インピーダンス Z_{ocp} は、(D. 21)式の実効誘電率を用いて次式のように得られる。

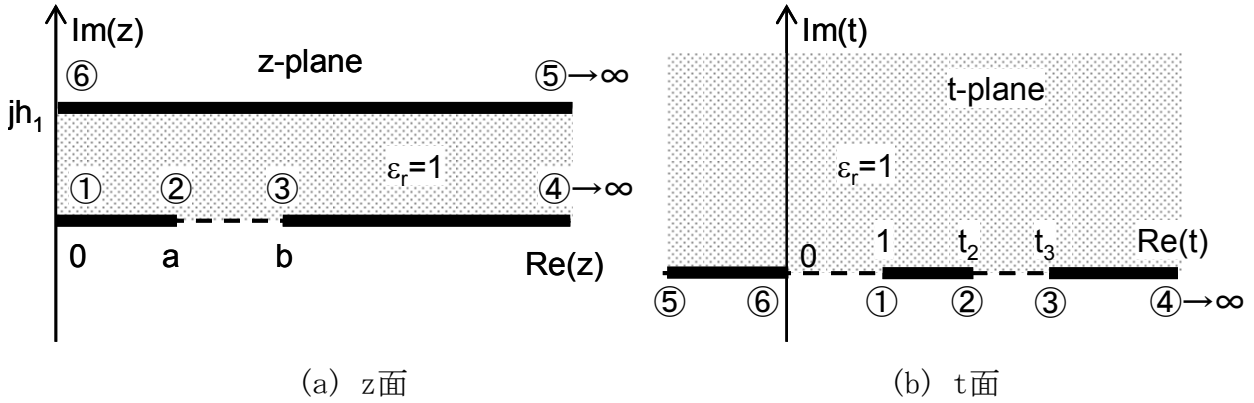
$$Z_{ocp} = \frac{30\pi}{\sqrt{\varepsilon_{re}}} \frac{K'(k_1)}{K(k_1)} \quad (\text{D. 23})$$

D3. 基板厚みが有限、カバーシールド有りの場合

基板厚みが有限の厚み h であり、高さ h_1 にカバーシールドがあるCPW線路の構造を図D. 3に示す。この構造では、媒質が空気の線路容量 C^a を、磁壁上部の容量 C_1'' と磁壁下部の容量 C_1' の2つに分けて計算する。磁壁上部は、高さ h_1 にカバーシールドがある空気媒質の線路容量であり、磁壁下部は、D1a節の空気媒質の線路容量であるため、 C_1' は C_1 に等しい。また、磁壁下部の誘電体に起因する線路容量は、D2節と同一である。



図D. 5 CPW線路(有限基板厚さ、カバーシールドあり)の構造



図D.6 CPW線路(カバーシールドあり)上部のz面から無限大厚さのt面への変換

図D.6に示すように、まず、カバーシールドがあるCPW線路の磁壁上面を、無限大厚さの空気の構造に変換する。カバーシールドがある構造のz面から、カバーシールドがない構造のt面に変換するために、次式を用いる。

$$t = \cosh^2 \left(\frac{\pi z}{2h_1} \right) \quad (\text{D. 24})$$

CPW線路の線路幅 W 、ギャップ S に関する a 、 b は z - t の変換を行うと、次式のようにになる。

$$t_2 = \cosh^2 \left(\frac{\pi a}{2h_1} \right), \quad t_3 = \cosh^2 \left(\frac{\pi b}{2h_1} \right) \quad (\text{D. 25})$$

次に、空気が線路導体で挟まれた平行平板型の構造である w 面に変換するために、D1a節と同様に、次式のようなSchwarz-Christoffel変換を用いる。

$$w = \int_{t_0}^t \frac{dt}{\sqrt{t(t-1)(t-t_2)(t-t_3)}}$$

楕円積分の偏角である引数 k_5 は、次式となる。

$$k_5 = \frac{\tanh \left(\frac{\pi a}{2h_1} \right)}{\tanh \left(\frac{\pi b}{2h_1} \right)} \quad (\text{D. 26})$$

よって、高さ h_1 にカバーシールドがある空気媒質の線路容量 C_1'' は、次式となる。

$$C_1'' = 2\varepsilon_0 \frac{K(k_5)}{K'(k_5)} \quad (\text{D. 27})$$

したがって、その誘電体を空気に置き換えた容量 C^a は、磁壁上部の空気媒質の線路容量 C_1'' と磁壁下部の空気媒質の線路容量 C_1 との和として次式のように与えられる。

$$C^a = C_1 + C_1'' = 2\varepsilon_0 \frac{K(k_1)}{K'(k_1)} + 2\varepsilon_0 \frac{K(k_5)}{K'(k_5)} \quad (\text{D. 28})$$

また、線路容量 C は以下のように与えられる。

$$C = C^a + C_2 = 2\varepsilon_o \frac{K(k_1)}{K'(k_1)} + 2\varepsilon_o \frac{K(k_5)}{K'(k_5)} + 2\varepsilon_o(\varepsilon_r - 1) \frac{K(k_2)}{K'(k_2)} \quad (\text{D. 29})$$

以上から、実効誘電率 ε_{re} 、および特性インピーダンス Z_{ocp} は、次のようになる。

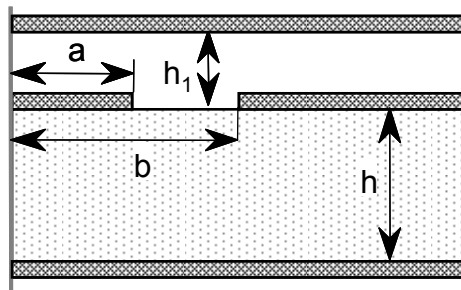
$$\varepsilon_{re} = \frac{C}{C^a} = 1 + \frac{C_2}{C_1 + C_1''} = 1 + \frac{\varepsilon_o(\varepsilon_r - 1) \frac{K(k_2)}{K'(k_2)}}{\varepsilon_o \frac{K(k_1)}{K'(k_1)} + \varepsilon_o \frac{K(k_5)}{K'(k_5)}} = 1 + q(\varepsilon_r - 1),$$

$$\text{ここで、} q = \frac{\frac{K(k_2)}{K'(k_2)}}{\frac{K(k_1)}{K'(k_1)} + \frac{K(k_5)}{K'(k_5)}} \quad (\text{D. 30})$$

$$\begin{aligned} Z_{ocp} &= \frac{1}{c\sqrt{CC_a}} = \frac{120\pi}{\sqrt{\varepsilon_{re}} \frac{C_a}{\varepsilon_o}} = \frac{120\pi}{\sqrt{\varepsilon_{re}} \frac{C_1 + C_1''}{\varepsilon_o}} \\ &= \frac{120\pi}{\sqrt{\varepsilon_{re}} \frac{2\varepsilon_o \frac{K(k_1)}{K'(k_1)} + 2\varepsilon_o \frac{K(k_5)}{K'(k_5)}}{\varepsilon_o}} = \frac{60\pi}{\sqrt{\varepsilon_{re}} \left(\frac{K(k_1)}{K'(k_1)} + \frac{K(k_5)}{K'(k_5)} \right)} \quad (\text{D. 31}) \end{aligned}$$

D4a. 基板厚みが有限、裏面メタルとカバーシールド有りの場合

基板厚みが有限の厚み h で裏面メタルがあり、高さ h_1 にカバーシールドがあるCPW線路の構造を図D. 3に示す。この構造では、D3節と同様の手順で配線容量を算出することができ、媒質が空気の線路容量 C^a を、磁壁上部の容量 C_1'' と磁壁下部の容量 C_1''' の2つに分けて計算する。磁壁上部は、高さ h_1 にカバーシールドがある空気媒質の線路容量であり、磁壁下部は、高さ h にカバーシールドがある空気媒質の線路容量となる。



図D. 7 CPW線路(有限基板厚さ、裏面メタルあり、カバーシートあり)の構造

磁壁下部の空気媒質の線路容量 C_1''' は、 C_1'' の式(D. 27)の h_1 を h に置き換えることで、次のように表される。

$$C_1''' = 2\varepsilon_0 \frac{K(k_6)}{K'(k_6)} \quad (\text{D. 32})$$

ここで、楕円積分の偏角である引数 k_6 は、次式となる。

$$k_6 = \frac{\tanh\left(\frac{\pi a}{2h}\right)}{\tanh\left(\frac{\pi b}{2h}\right)} \quad (\text{D. 33})$$

線路容量 C と、その誘電体を空気に置き換えた容量 C^a は、次のようになる。

$$C^a = C_1'' + C_1''' = 2\varepsilon_0 \frac{K(k_5)}{K'(k_5)} + 2\varepsilon_0 \frac{K(k_6)}{K'(k_6)} \quad (\text{D. 34})$$

$$C = C_1'' + C_2 = 2\varepsilon_0 \frac{K(k_5)}{K'(k_5)} + 2\varepsilon_0 \varepsilon_r \frac{K(k_6)}{K'(k_6)} \quad (\text{D. 35})$$

以上から、実効誘電率 ε_{re} 、および特性インピーダンス Z_{ocp} は、次のようになる。

$$\varepsilon_{re} = \frac{C}{C^a} = \frac{C_1'' + C_2}{C_1'' + C_1'''} = \frac{2\varepsilon_0 \frac{K(k_5)}{K'(k_5)} + 2\varepsilon_0 \varepsilon_r \frac{K(k_6)}{K'(k_6)}}{2\varepsilon_0 \frac{K(k_5)}{K'(k_5)} + 2\varepsilon_0 \frac{K(k_6)}{K'(k_6)}} = 1 + \frac{(\varepsilon_r - 1) \frac{K(k_6)}{K'(k_6)}}{\frac{K(k_5)}{K'(k_5)} + \frac{K(k_6)}{K'(k_6)}} = 1 + q(\varepsilon_r - 1)$$

$$q = \frac{\frac{K(k_6)}{K'(k_6)}}{\frac{K(k_5)}{K'(k_5)} + \frac{K(k_6)}{K'(k_6)}} \quad (\text{D. 36})$$

$$\begin{aligned} Z_{ocp} &= \frac{1}{c\sqrt{CC^a}} = \frac{120\pi}{\sqrt{\varepsilon_{re}} \frac{C^a}{\varepsilon_0}} = \frac{120\pi}{\sqrt{\varepsilon_{re}} \frac{C_1'' + C_1'''}{\varepsilon_0}} \\ &= \frac{120\pi}{\sqrt{\varepsilon_{re}} \frac{C_1'' + C_1'''}{\varepsilon_0}} = \frac{60\pi}{\sqrt{\varepsilon_{re}} \left(\frac{K(k_5)}{K'(k_5)} + \frac{K(k_6)}{K'(k_6)} \right)} \end{aligned} \quad (\text{D. 37})$$

D4b. 基板厚みが有限、裏面メタルとカバーシールド有り（誘電体 ε_{r1} 装荷）の場合

線路容量 C は、(D. 35)式の磁壁上部の容量を C_1'' から C_1 に置き換えた次式で与えられる。

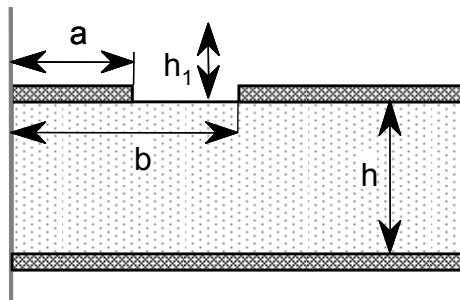
$$C = C_1 + C_2 = 2\varepsilon_o\varepsilon_{r1} \frac{K(k_5)}{K'(k_5)} + 2\varepsilon_o\varepsilon_r \frac{K(k_6)}{K'(k_6)} \quad (\text{D. 38})$$

実効誘電率 ε_{re} は次式となる。

$$\begin{aligned} \varepsilon_{re} &= \frac{C}{C_a} = \frac{C_1 + C_2}{C_1'' + C_1'''} = \frac{2\varepsilon_o\varepsilon_{r1} \frac{K(k_5)}{K'(k_5)} + 2\varepsilon_o\varepsilon_r \frac{K(k_6)}{K'(k_6)}}{2\varepsilon_o \frac{K(k_5)}{K'(k_5)} + 2\varepsilon_o \frac{K(k_6)}{K'(k_6)}} \\ &= 1 + \frac{(\varepsilon_{r1} - 1) \frac{K(k_5)}{K'(k_5)}}{\frac{K(k_5)}{K'(k_5)} + \frac{K(k_6)}{K'(k_6)}} + \frac{(\varepsilon_r - 1) \frac{K(k_6)}{K'(k_6)}}{\frac{K(k_5)}{K'(k_5)} + \frac{K(k_6)}{K'(k_6)}} \\ &= 1 + q_1(\varepsilon_{r1} - 1) + q_2(\varepsilon_r - 1) \\ &= q_1\varepsilon_{r1} + \varepsilon_{r1}\varepsilon_r + 1 - q_1 - q_2 \\ &= q_1\varepsilon_{r1} + \varepsilon_{r1}\varepsilon_r \end{aligned} \quad (\text{D. 39a})$$

$$q_1 = \frac{\frac{K(k_5)}{K'(k_5)}}{\frac{K(k_5)}{K'(k_5)} + \frac{K(k_6)}{K'(k_6)}}, \quad q_2 = \frac{\frac{K(k_6)}{K'(k_6)}}{\frac{K(k_5)}{K'(k_5)} + \frac{K(k_6)}{K'(k_6)}} \quad (\text{D. 39b})$$

D5. 基板厚みが有限、裏面メタル有り、カバーシールドなしの場合



図D. 8 CPW線路(有限基板厚さ、裏面メタルあり)の構造

基板厚みが有限の厚み h で裏面メタルがあり、カバーシールドがないCPW線路の構造を図D. 8に示す。この構造は図D. 7で、カバーまでの厚さ h_1 を無限大にした場合 ($h_1 \rightarrow \infty$) に相当する。

$$k_5 \rightarrow \frac{a}{b} = k_1 \quad (\text{D. 40})$$

つまり、(D. 36)、(D. 37)式で示した充填率 q 、特性インピーダンス Z_{ocp} は次のようになる。

$$q = \frac{\frac{K(k_6)}{K'(k_6)}}{\frac{K(k_1)}{K'(k_1)} + \frac{K(k_6)}{K'(k_6)}} \quad (\text{D. 41})$$

$$Z_{ocp} = \frac{60\pi}{\sqrt{\varepsilon_{re}} \left(\frac{K(k_1)}{K'(k_1)} + \frac{K(k_6)}{K'(k_6)} \right)} \quad (\text{D. 42})$$

D6. 多層基板の場合

CPW線路の基板が誘電体多層膜で構成されている場合には、実効誘電率 ε_{re} は各々の誘電体の充填率を用いて、次式のように表される。

$$\varepsilon_{re} = q_1\varepsilon_{r1} + q_2\varepsilon_{r2} + \dots + q_n\varepsilon_{rn}、\text{ここで、} q = \frac{C^a}{C_s^a} \quad (\text{D. 43})$$

ただし、 C^a は誘電体基板を空気に置き換えたときの全CPW線路容量、 C_s^a は基板を空気に置き換えたときの基板容量である。容量 C_s^a は、以下のように表される。

$$C_{si}^a = 2\varepsilon_0 \frac{K(k_i)}{K'(k_i)}、\text{ただし、} k_i = \begin{cases} \frac{a}{b} \\ \frac{\sinh(\pi a/2h)}{\sinh(\pi b/2h)} \\ \frac{\tanh(\pi a/2h)}{\tanh(\pi b/2h)} \end{cases} \quad (\text{D. 44})$$

上記の k_i は、無限大厚み基板（半平面）、厚み h の基板、厚み h の基板で導体付きに相当する。

[D1] K. C. Gupta et al., "Microstrip Lines and Slotlines," second edition, Artech House, 1996.

[D2] C. Veyres, and V. F. Hanna, "Extension of the Application of Conformal Mapping Techniques to Coplanar Lines with Finite Dimensions," Int. J. Electron., Vol. 48, 1980, pp. 47-56.

■付録E 誘電体共振

E1. 基本方程式

電磁界が時間上正弦波的に変化して $e^{j\omega t}$ なる因子を有すると同時に、 $+z$ 方向への伝搬因子も正弦波的に変化し $e^{-\gamma z}$ である場合に、 $\partial/\partial z = -\gamma$ と置くことができる。この場合、Maxwellの方程式(補助式除く)において電磁界の x 、 y 成分は、 z 成分だけで表すことができる。導電率 $\sigma = 0$ の場合には、

$$\begin{bmatrix} E_x \\ H_y \end{bmatrix} = \frac{1}{k_c^2} \begin{bmatrix} -j\omega\mu & -\gamma \\ -\gamma & -j\omega\varepsilon \end{bmatrix} \begin{bmatrix} \frac{\partial H_z}{\partial y} \\ \frac{\partial E_z}{\partial x} \end{bmatrix} \quad (\text{E. 1a})$$

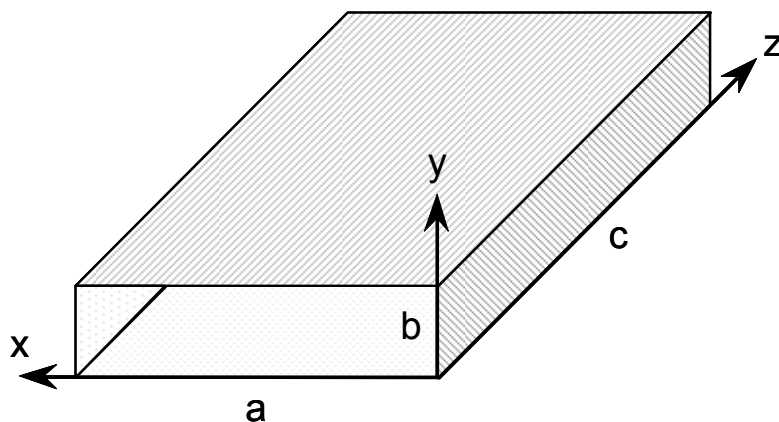
$$\begin{bmatrix} E_y \\ H_x \end{bmatrix} = \frac{1}{k_c^2} \begin{bmatrix} j\omega\mu & -\gamma \\ -\gamma & j\omega\varepsilon \end{bmatrix} \begin{bmatrix} \frac{\partial H_z}{\partial x} \\ \frac{\partial E_z}{\partial y} \end{bmatrix} \quad (\text{E. 1b})$$

$$k_c^2 = \gamma^2 + \omega^2 \mu \varepsilon \equiv \gamma^2 + k^2 \quad (\text{E. 2a})$$

$$\gamma = \alpha + j\beta \quad (\text{E. 2b})$$

電磁界の z 成分 E_z 、 H_z は、下記の Helmholtz の方程式から決定することができる。

$$\therefore \left(\frac{\partial^2}{\partial x^2} + \frac{\partial^2}{\partial y^2} \right) \begin{bmatrix} E_z \\ H_z \end{bmatrix} = -k_c^2 \begin{bmatrix} E_z \\ H_z \end{bmatrix} \quad (\text{E. 3})$$



図E.1 方形導波管の構造

E2. 方形導波管におけるTE波

図E.1のような方形導波管では、TEM波は伝搬せず、TE波、TM波が伝搬する。基板上下面および側面が導体であるから、境界条件は電界に関する完全境界を仮定し、以下のようにならされる。

$$\begin{cases} E_x(y=0,b)=0 \\ E_y(x=0,a)=0 \end{cases} \equiv \begin{cases} \frac{\partial H_z}{\partial y}(y=0,b)=0 \\ \frac{\partial H_z}{\partial x}(x=0,a)=0 \end{cases} \equiv \begin{cases} \frac{\partial E_z}{\partial x}(y=0,b)=0 \\ \frac{\partial E_z}{\partial y}(x=0,a)=0 \end{cases} \quad (\text{E. 4})$$

まずTE波の伝搬を考える。電界が伝搬方向に垂直な成分しか持たないから、 $E_z=0$ であり、Helmholtzの方程式は(E.3)の磁界 H_z に関するものだけを考えれば良い。無損失、非導電媒質を考えて $\gamma=j\beta$ とする。

$$\left(\frac{\partial^2}{\partial x^2} + \frac{\partial^2}{\partial y^2} \right) H_z = -k_c^2 H_z \quad (\text{E. 5})$$

$$k_c^2 = k^2 + \gamma^2 = k^2 - \beta^2$$

H_z は x および y の関数であるから、 $H_z = X(x)Y(y)$ と仮定して、(E.5)に代入し、 x 、 y に関する項が各々独立であるすると、

$$\begin{cases} \frac{\partial^2 X}{\partial x^2} = -k_x^2 X \\ \frac{\partial^2 Y}{\partial y^2} = -k_y^2 Y \end{cases} \quad (\text{E. 6})$$

$$k_c^2 = k_x^2 + k_y^2$$

が得られる。これは、単振動の微分方程式と同形であるから。A、B、C、Dを定数として、以下のような解を有する。

$$\begin{cases} X = A \cos k_x x + B \sin k_x x \\ Y = C \cos k_y y + D \sin k_y y \end{cases} \quad (\text{E. 7})$$

(E.6)式に(E.7)の解を代入し、境界条件(E.4)の第2項目を考慮して定数A、B、C、Dを決定すると、以下のようなになる。

$$\begin{cases} \left. \frac{\partial H_z}{\partial y} \right|_{y=0} = 0 \\ \left. \frac{\partial H_z}{\partial y} \right|_{y=b} = 0 \end{cases} \rightarrow \begin{cases} D = 0 \\ k_y b = n\pi \end{cases}, \quad \begin{cases} \left. \frac{\partial H_z}{\partial x} \right|_{x=0} = 0 \\ \left. \frac{\partial H_z}{\partial x} \right|_{x=a} = 0 \end{cases} \rightarrow \begin{cases} B = 0 \\ k_x a = m\pi \end{cases} \quad (\text{E. 8})$$

したがって、

$$H_z = AC \cos k_x x \cos k_y y = H_{mn} \cos \frac{m\pi}{a} x \cos \frac{n\pi}{b} y \quad (\text{E. 9})$$

他の成分は、(E. 1)を用いて以下のように表される。

$$\begin{cases} E_x = \frac{-j\omega\mu}{k_c^2} \frac{\partial H_z}{\partial y} = \frac{j\omega\mu k_y}{k_c^2} H_{mn} \cos k_x x \sin k_y y \\ E_y = \frac{j\omega\mu}{k_c^2} \frac{\partial H_z}{\partial x} = -\frac{j\omega\mu k_x}{k_c^2} H_{mn} \sin k_x x \cos k_y y \\ H_x = \frac{-\gamma}{k_c^2} \frac{\partial H_z}{\partial x} = \frac{\gamma k_x}{k_c^2} H_{mn} \sin k_x x \cos k_y y \\ H_y = \frac{-\gamma}{k_c^2} \frac{\partial H_z}{\partial y} = \frac{\gamma k_y}{k_c^2} H_{mn} \cos k_x x \sin k_y y \end{cases} \quad (\text{E. 10})$$

各モードのz方向への伝搬定数 γ は、以下の式から決定でき、各モードの遮断周波数は、その定在波発生条件である k_c から決定される。

$$\begin{aligned} k_c^2 &= k_x^2 + k_y^2 = \left(\frac{m\pi}{a}\right)^2 + \left(\frac{n\pi}{b}\right)^2 \\ \begin{cases} \gamma = \alpha + j\beta \\ k_c^2 = k^2 + \gamma^2 = \omega^2 \varepsilon \mu + \gamma^2 \end{cases} \end{aligned} \quad (\text{E. 11})$$

半導体基板のような厚みが薄い(y方向)場合、高周波まで基板厚みに関係するモードは発生しない。そこで、y方向のモード定数 $n=0$ を考える。電磁界成分は、以下のようにz方向磁界が余弦波で表される。これに伴い、z平面内において、電界はy方向のみでxに対し正弦波、磁界はx方向のみでxに対し正弦波となる。

$$H_z = H_{mn} \cos k_x x$$

$$k_x = \frac{m\pi}{a}$$

$$\begin{cases} E_x = 0 \\ E_y = -\frac{j\omega\mu k_x}{k_c^2} H_{mn} \sin k_x x \\ H_x = \frac{\gamma k_x}{k_c^2} H_{mn} \sin k_x x \\ H_y = 0 \end{cases} \quad (\text{E. 12})$$

E3. 方形導波管TE波空洞共振器

直方体空洞共振器の場合には、以下のHelmholtzの方程式を解けば良い。

$$\left(\frac{\partial^2}{\partial x^2} + \frac{\partial^2}{\partial y^2} + \frac{\partial^2}{\partial z^2} \right) \begin{bmatrix} \mathbf{E} \\ \mathbf{H} \end{bmatrix} = -k_c^2 \begin{bmatrix} \mathbf{E} \\ \mathbf{H} \end{bmatrix} \quad (\text{E. 16})$$

境界条件は、図B1の方形導波管において、(E. 4)の他にz方向に垂直な側面にも電界に関する完全境界を仮定し、以下のように与えられる。

$$\begin{cases} E_x(y=0, b) = E_x(z=0, c) = 0 \\ E_y(z=0, c) = E_y(x=0, a) = 0 \\ E_z(x=0, a) = E_z(y=0, b) = 0 \end{cases} \quad (\text{E. 17})$$

TEモードの場合、解くべきHelmholtzの方程式は、次のように与えられる。

$$\left(\frac{\partial^2}{\partial x^2} + \frac{\partial^2}{\partial y^2} + \frac{\partial^2}{\partial z^2} \right) H_z = -k_c^2 H_z \quad (\text{E. 18})$$

H_z はx、y、およびzの関数であるから、 $H_z = X(x)Y(y)Z(z)$ と仮定し、導波管での電磁界伝搬問題の場合と同様に、A、B、C、D、E、Fを定数として、以下のような解を仮定する。

$$\begin{cases} X = A \cos k_x x + B \sin k_x x \\ Y = C \cos k_y y + D \sin k_y y \\ Z = E \cos k_z z + F \sin k_z z \end{cases} \quad (\text{E. 19})$$

境界条件(E. 17)を考慮して、(E. 18)を解くと、TEモード方形導波管空洞共振として以上の諸式を得る。

$$\begin{aligned} H_z &= ACF \cos k_x x \cos k_y y \sin k_z z \\ &= H_{mnp} \cos \frac{m\pi}{a} x \cos \frac{n\pi}{b} y \sin \frac{p\pi}{c} z \end{aligned} \quad (\text{E. 20a})$$

$$\begin{cases} E_x = \frac{-j\omega\mu}{k_c^2} \frac{\partial H_z}{\partial y} = \frac{j\omega\mu k_y}{k_c^2} H_{mnp} \cos k_x x \sin k_y y \sin k_z z \\ E_y = \frac{j\omega\mu}{k_c^2} \frac{\partial H_z}{\partial x} = -\frac{j\omega\mu k_x}{k_c^2} H_{mnp} \sin k_x x \cos k_y y \sin k_z z \\ H_x = \frac{1}{k_c^2} \frac{\partial^2 H_z}{\partial z \partial x} = -\frac{k_z k_x}{k_c^2} H_{mnp} \sin k_x x \cos k_y y \cos k_z z \\ H_y = \frac{1}{k_c^2} \frac{\partial^2 H_z}{\partial z \partial y} = -\frac{k_z k_y}{k_c^2} H_{mnp} \cos k_x x \sin k_y y \cos k_z z \end{cases} \quad (\text{E. 20b})$$

各モードの共振条件は、以下の式から決定される。

$$\begin{cases} k_c^2 = k^2 = \omega^2 \epsilon \mu \\ k_c^2 = k_x^2 + k_y^2 + k_z^2 = \left(\frac{m\pi}{a}\right)^2 + \left(\frac{n\pi}{b}\right)^2 + \left(\frac{p\pi}{c}\right)^2 \end{cases} \quad (\text{E. 20c})$$

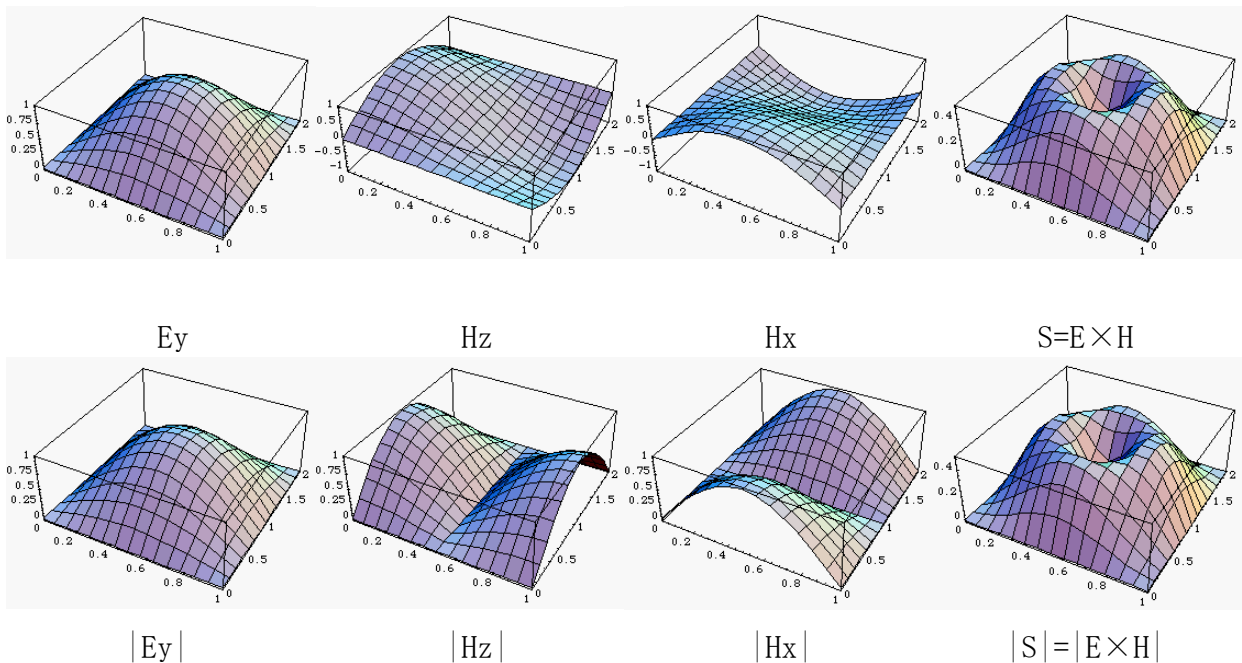
補足)

半導体基板のような厚みが薄い (y方向) 場合、高周波まで基板厚みに関係するモードは発生しない。そこで、y方向のモード定数n=0を考える。電界はy方向のみで、方形共振器のxy面/yz面の境界で0となる電界分布が得られる。

$$H_z = H_{mnp} \cos k_x x \sin k_z z$$

$$k_x = \frac{m\pi}{a}, \quad k_z = \frac{p\pi}{c}$$

$$\begin{cases} E_x = 0 \\ E_y = -\frac{j\omega\mu k_x}{k_c^2} H_{mnp} \sin k_x x \sin k_z z \\ H_x = -\frac{k_z k_x}{k_c^2} H_{mnp} \sin k_x x \cos k_z z \\ H_y = 0 \end{cases} \quad (\text{E. 20d})$$



図E.2 方形導波管TE波空洞共振器の電磁界分布 $m=1$ 、 $p=1$ 、 $(a=1, c=2)$

E4. 平行板線路TE波共振器

境界条件は、導体面である $y=0, b$ 面上のみ電界に対する完全境界、他は磁界に対する完全境界（開放境界）を仮定して以下のようなになる。

$$\begin{cases} E_x(y=0, b) = H_x(z=0, c) = 0 \\ H_y(z=0, c) = H_y(x=0, a) = 0 \\ H_z(x=0, a) = E_z(y=0, b) = 0 \end{cases} \quad (\text{E. 21})$$

方形導波管と同様の手法で、Helmholtzの方程式を解くことで、以下のような解を得る。

$$\begin{aligned} H_z &= BCE \sin k_x x \cos k_y y \cos k_z z \\ &= H_{mnp} \sin \frac{m\pi}{a} x \cos \frac{n\pi}{b} y \cos \frac{p\pi}{c} z \end{aligned} \quad (\text{E. 22a})$$

$$\begin{cases} E_x = \frac{-j\omega\mu}{k_c^2} \frac{\partial H_z}{\partial y} = \frac{j\omega\mu k_y}{k_c^2} H_{mnp} \sin k_x x \sin k_y y \cos k_z z \\ E_y = \frac{j\omega\mu}{k_c^2} \frac{\partial H_z}{\partial x} = -\frac{j\omega\mu k_x}{k_c^2} H_{mnp} \cos k_x x \cos k_y y \cos k_z z \\ H_x = \frac{1}{k_c^2} \frac{\partial^2 H_z}{\partial z \partial x} = -\frac{k_z k_x}{k_c^2} H_{mnp} \cos k_x x \cos k_y y \sin k_z z \\ H_y = \frac{1}{k_c^2} \frac{\partial^2 H_z}{\partial z \partial y} = \frac{k_z k_y}{k_c^2} H_{mnp} \sin k_x x \sin k_y y \sin k_z z \end{cases} \quad (\text{E. 22b})$$

各モードの共振条件は、以下の式から決定される。

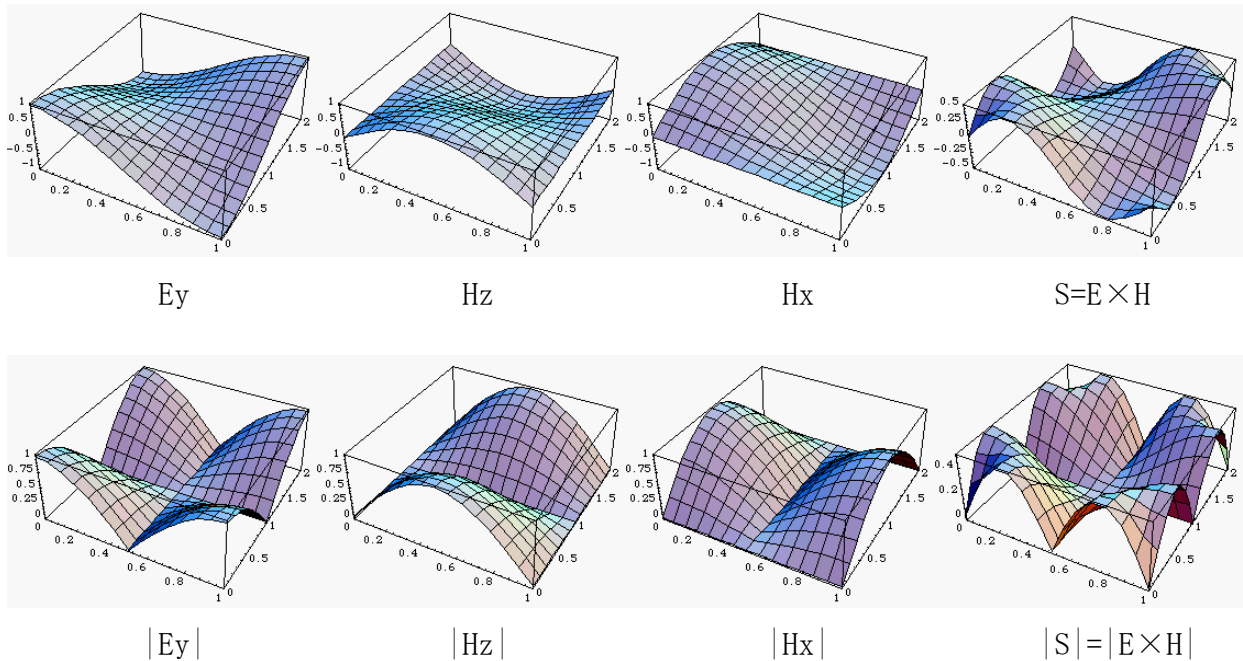
$$\begin{cases} k_c^2 = k^2 = \omega^2 \epsilon \mu \\ k_c^2 = k_x^2 + k_y^2 + k_z^2 = \left(\frac{m\pi}{a}\right)^2 + \left(\frac{n\pi}{b}\right)^2 + \left(\frac{p\pi}{c}\right)^2 \end{cases} \quad (\text{E. 23})$$

半導体基板のような厚みが薄い（y方向）場合、高周波まで基板厚みに関係するモードは発生しない。そこで、y方向のモード定数 $n=0$ を考える。電界はy方向のみで、方形共振器のxy面/yz面の境界で最大となる電界分布が得られる。

$$H_z = H_{mnp} \sin k_x x \cos k_z z$$

$$k_x = \frac{m\pi}{a}, \quad k_z = \frac{p\pi}{c}$$

$$\begin{cases} E_x = 0 \\ E_y = -\frac{j\omega\mu k_x}{k_c^2} H_{mnp} \cos k_x x \cos k_z z \\ H_x = -\frac{k_z k_x}{k_c^2} H_{mnp} \cos k_x x \sin k_z z \\ H_y = 0 \end{cases} \quad (\text{E. 24})$$



図E.2 平行板線路TE波共振器の電磁界分布 $m=1$ 、 $p=1$ 、 $(a=1, c=2)$

E5. 誘電体平板線路におけるTM波

基板裏面に導体を有する厚さ b の誘電体平板線路で、 z 方向に伝搬するTM波について考える。TM波に対するHelmholtzの方程式は、以下のようなになる。

$$\left(\frac{\partial^2}{\partial x^2} + \frac{\partial^2}{\partial y^2} \right) E_z = -k_c^2 E_z \quad (\text{E. 25})$$

E_z は x および y の関数であるから、 $E_z = X(x)Y(y)$ と仮定し、(E. 25)に代入すると、(E. 5a)式が得られる。導波管の場合と同様に(E. 6a)式のような解を仮定し、

$$\begin{cases} X = A \cos k_x x + B \sin k_x x \\ Y = C \cos k_y y + D \sin k_y y \end{cases} \quad (\text{E. 26a})$$

基板裏面を電界に対する完全反射、基板側面を磁界に対する完全境界(磁壁)とすると基板上面以外の境界条件は以下のようなになる。

$$\begin{cases} E_x(y=0)=0 \\ H_y(x=0,a)=0 \end{cases} \rightarrow \begin{cases} \frac{\partial E_z}{\partial x}(y=0)=0 \\ \frac{\partial E_z}{\partial x}(x=0,a)=0 \end{cases} \quad (\text{E. 26b})$$

この条件を満たすように (E. 26a) の係数を決定すると、

$$\begin{cases} B=0 \\ C=0 \\ k_x a = m\pi \end{cases} \quad (\text{E. 27})$$

基板上面の誘電体界面においては、電界 E_z の x 方向依存性が緩やかであると仮定して境界条件を求める。誘電体内部と外部では誘電率が違うため、固有値が異なり、

$$\begin{cases} k_y^2 = \omega^2 \varepsilon \mu_o - \beta^2 & (y \leq b) \\ k_{y_o}^2 = \omega^2 \varepsilon_o \mu_o - \beta^2 & (y > b) \end{cases} \quad (\text{E. 28})$$

誘電体外部では、 $y \rightarrow \infty$ で $Y \rightarrow 0$ となるため、固有値 k_{y_o} は純虚数でなければならない。したがって、 q を正の実数とし、以下のように解を定める。

$$Y = F e^{-qy} \quad (\text{E. 29})$$

$$j k_{y_o} = q \quad (\text{E. 30})$$

境界条件として、誘電体表面で電界の接線成分 E_z が連続であることから、

$$E_z|_{y=b} = XD \sin k_y b = X F e^{-qt}$$

また、誘電体表面で磁界の接線成分 H_x が連続であることから、(3-17) 式を用いて、

$$H_x|_{y=b} = X \left(\frac{j\omega\varepsilon}{k_y^2} \right) k_y D \cos k_y b = X \left(\frac{j\omega\varepsilon_o}{k_{y_o}^2} \right) F(-p) e^{-qb} \quad (\text{E. 31})$$

(E. 29)、(E. 31) から、

$$\varepsilon_r(qb) = (k_y b) \tan(k_y b) \quad (\text{E. 32})$$

また、誘電体内外の固有値 (E. 28)、および (E. 30) から、

$$(k_y b)^2 + (qb)^2 = \omega^2 \mu_o \varepsilon_o (\varepsilon_r - 1) b^2 \quad (\text{E. 33})$$

(7-1-7)、(7-1-8) を連立させることで、2つの媒質の固有値 $k_y b$ 、 $j k_{y_o} b = qb$ が決まる。したがって、 k_y は、以下の方程式から決定される。

$$k_y^2 \left\{ 1 + \left[\frac{\tan(k_y b)}{\varepsilon_r} \right]^2 \right\} = \omega^2 \varepsilon_o \mu_o (\varepsilon_r - 1) \quad (\text{E. 34a})$$

$$E_z = AD \cos k_x x \sin k_y y$$

$$= E_{mn} \cos \frac{m\pi}{a} x \sin k_y y \quad (\text{E. 34b})$$

他の成分は、(E. 14)を用いて以下のように表される。

$$\left\{ \begin{array}{l} E_x = \frac{-\gamma}{k_c^2} \frac{\partial E_z}{\partial x} = \frac{\gamma k_x}{k_c^2} E_{mn} \sin k_x x \sin k_y y \\ E_y = \frac{-\gamma}{k_c^2} \frac{\partial E_z}{\partial y} = -\frac{\gamma k_y}{k_c^2} E_{mn} \cos k_x x \cos k_y y \\ H_x = \frac{j\omega\varepsilon}{k_c^2} \frac{\partial E_z}{\partial y} = \frac{j\omega\varepsilon k_y}{k_c^2} E_{mn} \sin k_x x \cos k_y y \\ H_y = \frac{-j\omega\varepsilon}{k_c^2} \frac{\partial E_z}{\partial x} = -\frac{j\omega\varepsilon k_x}{k_c^2} E_{mn} \sin k_x x \sin k_y y \end{array} \right. \quad (\text{E. 35})$$

各種基板状態における伝搬電磁界

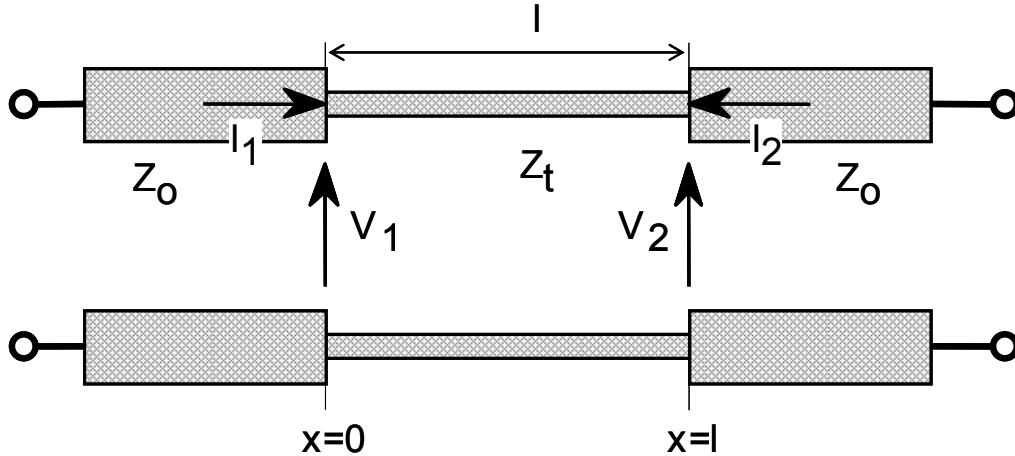
	方形導波管	平行板線路	誘電体線路
境界条件	上面：電界完全境界 下面：電界完全境界 側面：電界完全境界	上面：電界完全境界 下面：電界完全境界 側面：磁界完全境界	上面：反射境界 下面：電界完全境界 側面：磁界完全境界
	$\begin{cases} E_x(y=0, b) = 0 \\ E_y(x=0, a) = 0 \end{cases}$	$\begin{cases} E_x(y=0, b) = 0 \\ H_y(x=0, a) = 0 \end{cases}$	$\begin{cases} E_x(y=0) = 0 \\ H_y(x=0, a) = 0 \end{cases}$ $\begin{cases} H_z(y=b^-) = H_z(y=b^+) \\ E_x(y=b^-) = E_x(y=b^+) \\ E_z(y=b^-) = E_z(y=b^+) \\ H_x(y=b^-) = H_x(y=b^+) \end{cases}$
TE	$E_z = 0$ $H_z = H_{mn} \cos k_x x \cos k_y y$ $\begin{cases} E_x = \frac{j\omega\mu k_y}{k_c^2} H_{mn} \cos k_x x \sin k_y y \\ E_y = -\frac{j\omega\mu k_x}{k_c^2} H_{mn} \sin k_x x \cos k_y y \\ H_x = \frac{\gamma k_x}{k_c^2} H_{mn} \sin k_x x \cos k_y y \\ H_y = \frac{\gamma k_y}{k_c^2} H_{mn} \cos k_x x \sin k_y y \end{cases}$	$E_z = 0$ $H_z = H_{mn} \sin k_x x \cos k_y y$ $\begin{cases} E_x = \frac{j\omega\mu k_y}{k_c^2} H_{mn} \cos k_x x \sin k_y y \\ E_y = \frac{j\omega\mu k_x}{k_c^2} H_{mn} \cos k_x x \cos k_y y \\ H_x = -\frac{\gamma k_x}{k_c^2} H_{mn} \cos k_x x \cos k_y y \\ H_y = \frac{\gamma k_y}{k_c^2} H_{mn} \sin k_x x \sin k_y y \end{cases}$	$E_z = 0$ $H_z = H_{mn} \sin k_x x \cos k_y y$ $\begin{cases} E_x = \frac{j\omega\mu k_y}{k_c^2} H_{mn} \cos k_x x \sin k_y y \\ E_y = \frac{j\omega\mu k_x}{k_c^2} H_{mn} \cos k_x x \cos k_y y \\ H_x = -\frac{\gamma k_x}{k_c^2} H_{mn} \cos k_x x \cos k_y y \\ H_y = \frac{\gamma k_y}{k_c^2} H_{mn} \sin k_x x \sin k_y y \end{cases}$
TM	$E_z = E_{mn} \sin k_x x \sin k_y y$ $H_z = 0$ $\begin{cases} E_x = -\frac{\gamma k_x}{k_c^2} E_{mn} \cos k_x x \sin k_y y \\ E_y = -\frac{\gamma k_y}{k_c^2} E_{mn} \sin k_x x \cos k_y y \\ H_x = \frac{j\omega\epsilon k_y}{k_c^2} E_{mn} \sin k_x x \cos k_y y \\ H_y = -\frac{j\omega\epsilon k_x}{k_c^2} E_{mn} \cos k_x x \sin k_y y \end{cases}$	$E_z = E_{mn} \cos k_x x \sin k_y y$ $H_z = 0$ $\begin{cases} E_x = \frac{\gamma k_x}{k_c^2} E_{mn} \sin k_x x \sin k_y y \\ E_y = -\frac{\gamma k_y}{k_c^2} E_{mn} \cos k_x x \cos k_y y \\ H_x = \frac{j\omega\epsilon k_y}{k_c^2} E_{mn} \sin k_x x \cos k_y y \\ H_y = \frac{j\omega\epsilon k_x}{k_c^2} E_{mn} \sin k_x x \sin k_y y \end{cases}$	$E_z = E_{mn} \cos k_x x \sin k_y y$ $H_z = 0$ $\begin{cases} E_x = \frac{\gamma k_x}{k_c^2} E_{mn} \sin k_x x \sin k_y y \\ E_y = -\frac{\gamma k_y}{k_c^2} E_{mn} \cos k_x x \cos k_y y \\ H_x = \frac{j\omega\epsilon k_y}{k_c^2} E_{mn} \sin k_x x \cos k_y y \\ H_y = \frac{j\omega\epsilon k_x}{k_c^2} E_{mn} \sin k_x x \sin k_y y \end{cases}$
定在波発生条件	$k_x = \frac{m\pi}{a}$ $k_y = \frac{n\pi}{b}$	$k_x = \frac{m\pi}{a}$ $k_y = \frac{n\pi}{b}$	$k_x = \frac{m\pi}{a}$ $\begin{cases} \mu_r(qb) = (k_y b) \cot(k_y b) \\ (k_y b)^2 + (qb)^2 = \omega^2 \mu_o \epsilon_o (\epsilon_r - 1) b^2 \\ \epsilon_r(qb) = (k_y b) \tan(k_y b) \\ (k_y b)^2 + (qb)^2 = \omega^2 \mu_o \epsilon_o (\epsilon_r - 1) b^2 \end{cases}$
低次モード (a>b)	TE ₁₀ 、TE ₀₁ 、TM ₁₁	TEM、TE ₁₀ 、TM ₀₁	TM ₀₁ 、TE ₁₀
	$k_c^2 = \left(\frac{m\pi}{a}\right)^2 + \left(\frac{n\pi}{b}\right)^2$	$k_c^2 = \left(\frac{m\pi}{a}\right)^2 + \left(\frac{n\pi}{b}\right)^2$	$k_c^2 = k_y^2 + \left(\frac{m\pi}{a}\right)^2$

各種基板状態における誘電体共振

	方形導波管	平行板線路	誘電体線路
境界条件	上面：電界完全境界 下面：電界完全境界 側面：電界完全境界	上面：電界完全境界 下面：電界完全境界 側面：磁界完全境界	上面：反射境界 下面：電界完全境界 側面：磁界完全境界
	$\begin{cases} E_x(y=0, b) = E_x(z=0, c) = 0 \\ E_y(z=0, c) = E_y(x=0, a) = 0 \\ E_z(x=0, a) = E_z(y=0, b) = 0 \end{cases}$	$\begin{cases} E_x(y=0, b) = H_x(z=0, c) = 0 \\ H_y(z=0, c) = H_y(x=0, a) = 0 \\ H_z(x=0, a) = E_z(y=0, b) = 0 \end{cases}$	$\begin{cases} E_x(y=0) = H_x(z=0, c) = 0 \\ H_y(z=0, c) = H_y(x=0, a) = 0 \\ H_z(x=0, a) = E_z(y=0) = 0 \end{cases}$ $\begin{cases} TE: \begin{cases} H_z(y=b^-) = H_z(y=b^+) \\ E_x(y=b^-) = E_x(y=b^+) \end{cases} \\ TM: \begin{cases} E_z(y=b^-) = E_z(y=b^+) \\ H_x(y=b^-) = H_x(y=b^+) \end{cases} \end{cases}$
TE	$\begin{cases} E_z = 0 \\ H_z = H_{mnp} \cos k_x x \cos k_y y \sin k_z z \\ E_x = \frac{j\omega\mu k_y}{k_c^2} H_{mnp} \cos k_x x \sin k_y y \sin k_z z \\ E_y = -\frac{j\omega\mu k_x}{k_c^2} H_{mnp} \sin k_x x \cos k_y y \sin k_z z \\ H_x = -\frac{k_x k_z}{k_c^2} H_{mnp} \sin k_x x \cos k_y y \cos k_z z \\ H_y = -\frac{k_y k_z}{k_c^2} H_{mnp} \cos k_x x \sin k_y y \cos k_z z \end{cases}$	$\begin{cases} E_z = 0 \\ H_z = H_{mnp} \sin k_x x \cos k_y y \cos k_z z \\ E_x = \frac{j\omega\mu k_y}{k_c^2} H_{mnp} \sin k_x x \sin k_y y \cos k_z z \\ E_y = -\frac{j\omega\mu k_x}{k_c^2} H_{mnp} \cos k_x x \cos k_y y \cos k_z z \\ H_x = -\frac{k_x k_z}{k_c^2} H_{mnp} \cos k_x x \cos k_y y \sin k_z z \\ H_y = \frac{k_y k_z}{k_c^2} H_{mnp} \sin k_x x \sin k_y y \sin k_z z \end{cases}$	$\begin{cases} E_z = 0 \\ H_z = H_{mnp} \sin k_x x \cos k_y y \cos k_z z \\ E_x = \frac{j\omega\mu k_y}{k_c^2} H_{mnp} \sin k_x x \sin k_y y \cos k_z z \\ E_y = -\frac{j\omega\mu k_x}{k_c^2} H_{mnp} \cos k_x x \cos k_y y \cos k_z z \\ H_x = -\frac{k_x k_z}{k_c^2} H_{mnp} \cos k_x x \cos k_y y \sin k_z z \\ H_y = \frac{k_y k_z}{k_c^2} H_{mnp} \sin k_x x \sin k_y y \sin k_z z \end{cases}$
TM	$\begin{cases} E_z = E_{mnp} \sin k_x x \sin k_y y \cos k_z z \\ H_z = 0 \\ E_x = -\frac{k_x k_z}{k_c^2} E_{mnp} \cos k_x x \sin k_y y \sin k_z z \\ E_y = -\frac{k_y k_z}{k_c^2} E_{mnp} \sin k_x x \cos k_y y \sin k_z z \\ H_x = \frac{j\omega\epsilon k_y}{k_c^2} E_{mnp} \sin k_x x \cos k_y y \cos k_z z \\ H_y = -\frac{j\omega\epsilon k_x}{k_c^2} E_{mnp} \cos k_x x \sin k_y y \cos k_z z \end{cases}$	$\begin{cases} E_z = E_{mnp} \cos k_x x \sin k_y y \sin k_z z \\ H_z = 0 \\ E_x = -\frac{k_x k_z}{k_c^2} E_{mnp} \sin k_x x \sin k_y y \cos k_z z \\ E_y = \frac{k_y k_z}{k_c^2} E_{mnp} \cos k_x x \cos k_y y \cos k_z z \\ H_x = \frac{j\omega\epsilon k_y}{k_c^2} E_{mnp} \cos k_x x \cos k_y y \sin k_z z \\ H_y = \frac{j\omega\epsilon k_x}{k_c^2} E_{mnp} \sin k_x x \sin k_y y \sin k_z z \end{cases}$	$\begin{cases} E_z = E_{mnp} \cos k_x x \sin k_y y \sin k_z z \\ H_z = 0 \\ E_x = -\frac{k_x k_z}{k_c^2} E_{mnp} \sin k_x x \sin k_y y \cos k_z z \\ E_y = \frac{k_y k_z}{k_c^2} E_{mnp} \cos k_x x \cos k_y y \cos k_z z \\ H_x = \frac{j\omega\epsilon k_y}{k_c^2} E_{mnp} \cos k_x x \cos k_y y \sin k_z z \\ H_y = \frac{j\omega\epsilon k_x}{k_c^2} E_{mnp} \sin k_x x \sin k_y y \sin k_z z \end{cases}$
定在波発生条件	$\begin{aligned} k_x &= \frac{m\pi}{a} \\ k_y &= \frac{n\pi}{b} \\ k_z &= \frac{p\pi}{c} \end{aligned}$	$\begin{aligned} k_x &= \frac{m\pi}{a} \\ k_y &= \frac{n\pi}{b} \\ k_z &= \frac{p\pi}{c} \end{aligned}$	$k_x = \frac{m\pi}{a}, \quad k_z = \frac{p\pi}{c}$ $TE \begin{cases} \mu_r(qb) = (k_y b) \cot(k_y b) \\ (k_y b)^2 + (qb)^2 = \omega^2 \mu_o \epsilon_o (\epsilon_r - 1) b^2 \end{cases}$ $TM \begin{cases} \epsilon_r(qb) = (k_y b) \tan(k_y b) \\ (k_y b)^2 + (qb)^2 = \omega^2 \mu_o \epsilon_o (\epsilon_r - 1) b^2 \end{cases}$
低次モード (c>a>b)	TE ₁₀₁ 、TE ₀₁₁ 、TM ₁₁₀	TE ₁₀₁ 、TM ₀₁₁	TM ₀₁₁ 、TE ₁₀₁
	$k_c^2 = \left(\frac{m\pi}{a}\right)^2 + \left(\frac{p\pi}{c}\right)^2, \quad \left(\frac{n\pi}{b}\right)^2 + \left(\frac{p\pi}{c}\right)^2, \quad \left(\frac{m\pi}{a}\right)^2 + \left(\frac{n\pi}{b}\right)^2$	$k_c^2 = \left(\frac{m\pi}{a}\right)^2 + \left(\frac{p\pi}{c}\right)^2, \quad \left(\frac{n\pi}{b}\right)^2 + \left(\frac{p\pi}{c}\right)^2$	$k_c^2 = k_y^2 + \left(\frac{p\pi}{c}\right)^2 \approx \left(\frac{p\pi}{c}\right)^2, \quad \left(\frac{m\pi}{a}\right)^2 + \left(\frac{p\pi}{c}\right)^2$

■付録F マイクロ線路間不整合

CPW線路、MS線路などのマイクロ波線路の特性インピーダンスが、ポート・インピーダンスと不整合を生じている場合における、挿入損失、反射損失の見積りを行った。



図F.1 高インピーダンス線路

図F.1のような高インピーダンス線路を考える。線路長さ l 、特性インピーダンス Z_t 、また、線路は無損失であると仮定し、減衰定数 $\alpha=0$ とする。一般的に、伝搬定数 β のマイクロ波線路の電流、電圧特性は、以下の式で表される。

$$V = Ae^{-j\beta l} + Be^{j\beta l}$$

$$I = \frac{A}{Z_t} e^{-j\beta l} - \frac{B}{Z_t} e^{j\beta l} \quad (\text{F. 1})$$

図F.1のように、 $x=0$ において電流 I_1 、電圧 V_1 、 $x=l$ において電流 I_2 、電圧 V_2 とすると、(F.1)式より次のような電流電圧の式が得られる。

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} -jZ_t \cot \beta l & -jZ_t \operatorname{cosec} \beta l \\ -jZ_t \operatorname{cosec} \beta l & -jZ_t \cot \beta l \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \end{bmatrix} \quad (\text{F. 2})$$

したがって、特性インピーダンスが Z_t であるマイクロ波線路の Z パラメータ（インピーダンス行列）は、

$$\mathbf{Z} = \begin{bmatrix} -jZ_t \cot \beta l & -jZ_t \operatorname{cosec} \beta l \\ -jZ_t \operatorname{cosec} \beta l & -jZ_t \cot \beta l \end{bmatrix} \quad (\text{F. 3})$$

となる。通常の変換回路は可逆定理が成立するので、インピーダンス行列は、Tおよび π 形等価回路の形に表すことができる。(F.3)式から図F.1をT形等価回路で表すと、図F.2のようになる。

ポート・インピーダンスが Z_0 である場合に、マイクロ波線路のSパラメータ（散乱行列）は、(F.3)式の Z パラメータを用いて以下のように表される。

$$\mathbf{S} = (\mathbf{Z} + Z_o \mathbf{I})^{-1} (\mathbf{Z} - Z_o \mathbf{I}) \quad (\text{F. 4})$$

ポート・インピーダンス Z_o は、通常 50Ω が用いられる。マイクロ波線路の特性インピーダンス Z_t 、ポート・インピーダンス Z_o の比を、

$$z_t = \frac{Z_t}{Z_o} \quad (\text{F. 5})$$

とし、SパラメータとZパラメータの関係式(F. 4)に、特性インピーダンス Z_t の伝送線路のZパラメータを代入すると、

$$\mathbf{S} = (\mathbf{Z} + Z_o \mathbf{I})^{-1} (\mathbf{Z} - Z_o \mathbf{I})$$

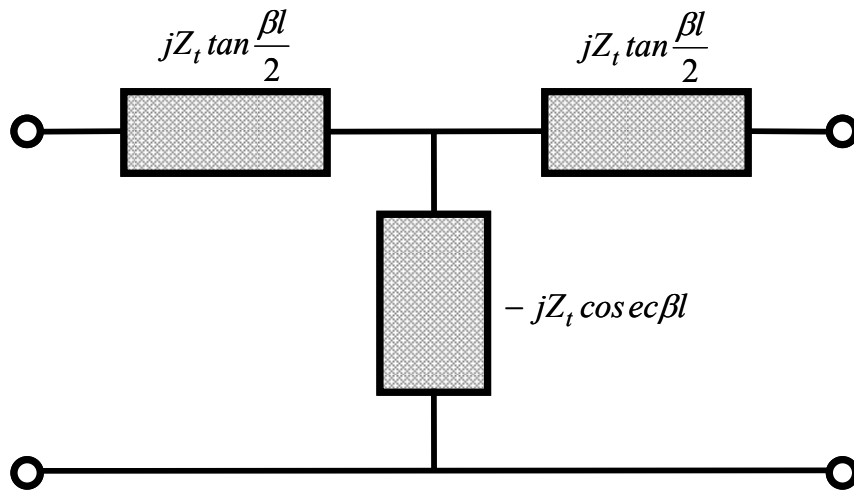
$$\mathbf{S} = \frac{1}{\text{Det}} \begin{bmatrix} z_{11} + 1 & -z_{21} \\ -z_{21} & z_{11} + 1 \end{bmatrix} \begin{bmatrix} z_{11} - 1 & z_{21} \\ z_{21} & z_{11} - 1 \end{bmatrix} \quad (\text{F. 6a})$$

ここで、

$$z_{11} = -jz_t \cot \beta l$$

$$z_{21} = -jz_t \operatorname{cosec} \beta l \quad (\text{F. 6b})$$

$$\text{Det} = (z_{11} + 1)^2 - z_{21}^2$$



図F.2 高インピーダンス線路のT形等価回路

F1. 反射損失 S_{11}

不整合伝送線路のSパラメータの(F. 6a)式のうち、反射損失を表す S_{11} を整理する。

$$S_{11} = \frac{(z_{11} + 1)(z_{11} - 1) - z_{12}^2}{(z_{11} + 1)^2 - z_{12}^2} = \frac{z_t^2 - 1}{z_t^2 + 1 - j2z_t \cot \beta l} \quad (\text{F. 7})$$

(F. 7)式を、実数部と虚数部に分けて、

$$\begin{cases} S_{11r} = \frac{(z_t^2 - 1)(z_t^2 + 1)}{(z_t^2 + 1)^2 + 4z_t^2 \cot^2 \beta l} = \frac{z_- z_+}{z_+^2 + 4z_t^2 \cot^2 \beta l} \\ S_{11i} = \frac{2z_t(z_t^2 - 1)\cot \beta l}{(z_t^2 + 1)^2 + 4z_t^2 \cot^2 \beta l} = \frac{2z_t z_- \cot \beta l}{z_+^2 + 4z_t^2 \cot^2 \beta l} \end{cases} \quad (\text{F. 8})$$

ここで、

$$\begin{cases} z_+ = z_t^2 + 1 \\ z_- = z_t^2 - 1 \end{cases} \quad (\text{F. 9})$$

次に、 S_{11} の実数部、虚数部の関係を導く。実数部の(F. 8)上式を変形し、 $\cot^2 \beta l$ について解き、虚数部に代入すると、次式が得られる。

$$\left[S_{11r} - \frac{z_t^2 - 1}{2(z_t^2 + 1)} \right]^2 + S_{11i}^2 = \left[\frac{z_t^2 - 1}{2(z_t^2 + 1)} \right]^2 \quad (\text{F. 10})$$

上式において、反射損失 S_{11} は、スミスチャート上で、中心 $((z_t^2 - 1)/2(z_t^2 + 1), 0)$ 、半径 $(z_t^2 - 1)/2(z_t^2 + 1)$ の円を描く。また、 S_{11} の大きさの最小値は0、最大値は $(z_t^2 - 1)/(z_t^2 + 1)$ となる。

S_{11} の大きさ (Mag) を数式で示すと、次式のようになる。

$$|S_{11}| = \frac{|z_t^2 - 1|}{\sqrt{(z_t^2 + 1)^2 + 4z_t^2 \cot^2 \beta l}} \quad (\text{F. 11})$$

上式において、 $|S_{11}|$ の最大値は、 $\cot^2 \beta l = 0$ のときに得られる。つまり、

$$\beta l = \frac{2n-1}{2} \pi, \text{ または、 } l = \frac{2n-1}{4} \lambda \quad (\text{F. 12a})$$

このとき、

$$|S_{11}|^{\max}_{(\cot^2 \beta l = 0)} = |S_{11}|^{\max}_{(l = \frac{2n-1}{4} \lambda)} = \left| \frac{z_t^2 - 1}{z_t^2 + 1} \right| \quad (\text{F. 12b})$$

また、 $|S_{11}|$ の最小値は、 $\cot^2 \beta l = \infty$ のときに得られる。つまり、

$$\beta l = n\pi, \text{ または、 } l = n\lambda/2 \quad (\text{F. 13a})$$

このとき、

$$|S_{11}|^{\min}_{(\cot^2 \beta l = \infty)} = |S_{11}|^{\min}_{(l = \frac{n\lambda}{2})} = 0 \quad (\text{F. 13b})$$

$|S_{11}|$ の最大値または最小値は、 $\lambda/2$ ごとに得られ、一波長で2度得られる。また、一波長 λ でスミスチャート上を2周する。

F2. 挿入損失 S_{21}

不整合伝送線路のSパラメータの(F. 6a)式のうち、挿入損失を表す S_{21} を整理する。

$$S_{21} = \frac{2z_{21}}{(z_{11} + 1)^2 - z_{21}^2} = \frac{-j2z_t \operatorname{cosec} \beta l}{z_t^2 + 1 - j2z_t \cot \beta l} \quad (\text{F. 14})$$

(F. 14)式を、実数部と虚数部に分けて、

$$\begin{cases} S_{21r} = \frac{\cos \beta l}{\sin^2 \beta l} \frac{4z_t^2}{(z_t^2 + 1)^2 + 4z_t^2 \cot^2 \beta l} \\ S_{21i} = -\frac{2z_t(z_t^2 + 1) \operatorname{cosec} \beta l}{(z_t^2 + 1)^2 + 4z_t^2 \cot^2 \beta l} \end{cases} \quad (\text{F. 15})$$

反射特性の類推から、 S_{21} の大きさの最小値は、 S_{11} の大きさが最大となる時、つまり、 $\cot^2 \beta l = 0$ のときに得られる。

$$\beta l = \frac{2n-1}{2} \pi, \text{ または、 } l = \frac{2n-1}{4} \lambda \quad (\text{F. 16a})$$

このとき、

$$\begin{aligned} |S_{21}|^{\min}_{(l=\frac{2n-1}{4}\lambda)} &= |S_{21i}|^{\min}_{(l=\frac{2n-1}{4}\lambda)} \\ &= \frac{2z_t(z_t^2 + 1) \frac{1}{1}}{(z_t^2 + 1)^2 + 4z_t^2 \left(\frac{0}{1}\right)^2} = \frac{2z_t}{z_t^2 + 1} = \frac{2}{z_t + \frac{1}{z_t}} \end{aligned} \quad (\text{F. 16b})$$

また、 $|S_{21}|$ の最大値は、 $\cot^2 \beta l = \infty$ のときに得られる。つまり、

$$\beta l = n\pi, \text{ または、 } l = \frac{n}{2} \lambda \quad (\text{F. 17a})$$

このとき、

$$|S_{21}|^{\max}_{(l=\frac{n}{2}\lambda)} = |S_{21r}|^{\max}_{(l=\frac{n}{2}\lambda)} = 1 \quad (\text{F. 17b})$$

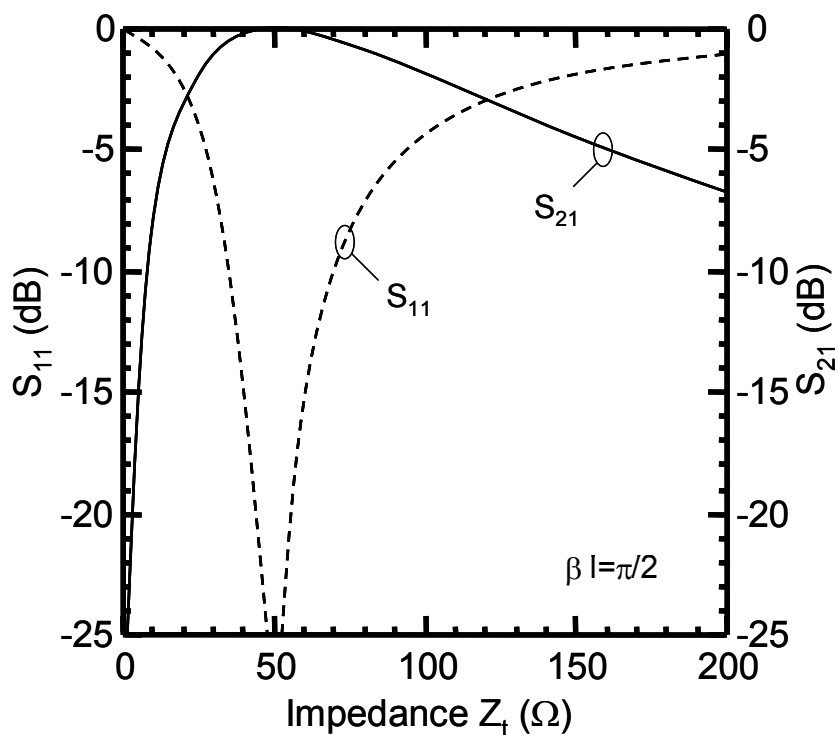
$|S_{21}|$ の最大値または最小値は、 $\lambda/2$ ごとに得られ、一波長で2度得られる。また、一波長 λ でスミスチャート上を2周する。

F3. 許容線路インピーダンス

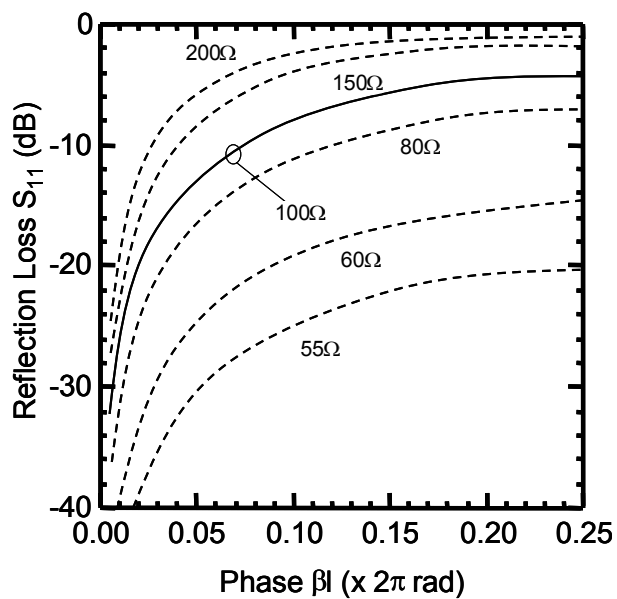
マイクロ波線路の特性インピーダンスがポート・インピーダンスと整合していない場合、挿入損失、および反射損失の最大値を、不整合度 Z_t/Z_0 の関係式として、式(F. 12b)、(F. 17b)から数値的に求めた。計算した結果を図F. 3に示す。マイクロ波線路の特性イン

ピーダンスが $50\Omega \pm 5\Omega$ であれば、反射損失 -20dB 以下が得られる。

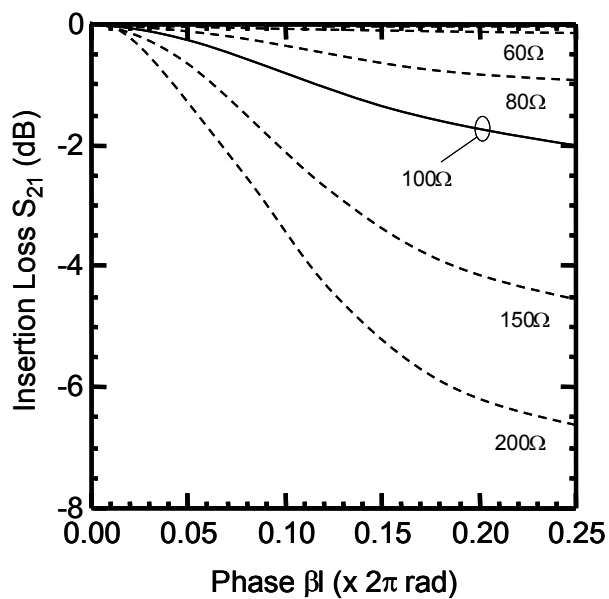
図F. 4は、挿入／反射損失の線路インピーダンス依存性を高インピーダンスに関して示したものである。図F. 4(c)のスミスチャートにおいて、高インピーダンスになるほど、挿入損失の円の上下が潰れ、損失の大きくなっているのが分かる。また、反射損失は常に中心 50Ω を通り、高インピーダンスになるほど、反射損失の円が大きくなるのが分かる。図F. 4(d)は、反射損失が -5 、 -10 、 -20dB となる等反射損失線の特徴インピーダンスと位相関係を示すものである。高インピーダンス線路の構造が均一で位相定数が一定である場合、位相の増加は線路長の増加を表している。特性インピーダンスが 50Ω から乖離しているほど、低反射損失にするための線路長を短くしなければならない。例えば、特性インピーダンス 100Ω の高インピーダンスの場合に、反射損失 -10dB を維持するためには、位相が 0.14π (rad) 以下でなければならない。線路長に直すと 0.07λ である。



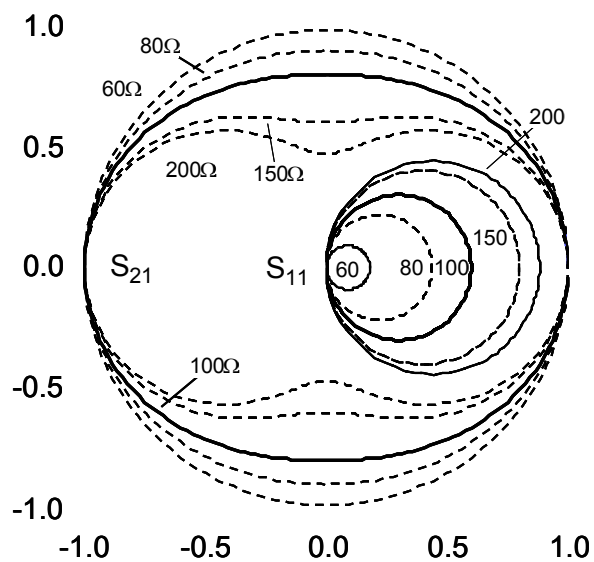
図F. 3 損失の線路インピーダンス依存性



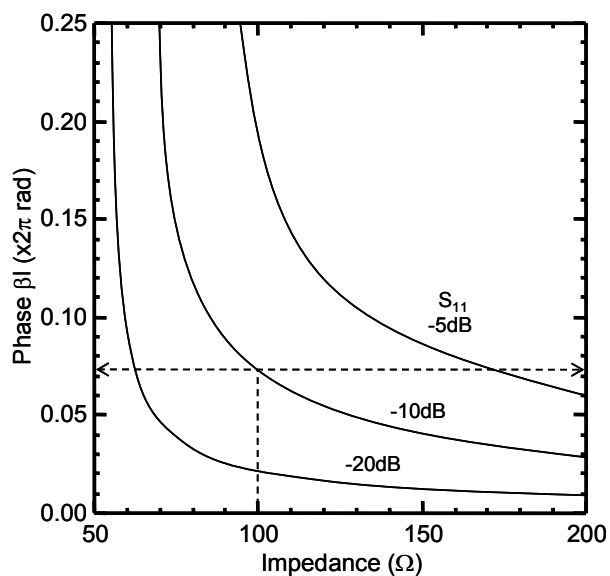
(a) 反射損失



(b) 挿入損失



(c) スミスチャート



(d) 等反射損失となる
インピーダンスと位相関係

図F.4 挿入／反射損失の線路インピーダンス依存性