

# 主 論 文 要 旨

報告番号	甲 乙 第	号	氏 名	八木下 淳史
主 論 文 題 目： CMOS トランジスタにおけるメタル電極・歪チャンネル技術の開発				
(内容の要旨)				
<p>MOSFET(Metal-Oxide-Semiconductor Field-Effect-Transistor)のゲートリーク電流を低減し、ゲート電極の低抵抗化と空乏化防止を達成し、MOSFETの微細化(スケーリング)と高性能化を進めるためには、メタルゲート電極と高誘電率ゲート絶縁膜を導入する必要がある。また、低抵抗で薄い膜厚のソース・ドレインを容易な製造プロセスで形成するために、ソース・ドレイン電極にもメタル材料を導入することが望まれている。</p> <p>そこで本研究では、ゲート電極、ソース・ドレイン電極にメタル材料を導入するための新しい半導体プロセス・デバイス技術および評価技術の提案と開発を行なうことを目的としている。</p> <p>第1章は、序論であり、本研究の背景と研究の位置づけを示し、本論文の構成を明らかにしている。</p> <p>第2章では、メタルゲート電極および高誘電率ゲート絶縁膜をMOS-LSIに導入するために、新しいトランジスタ形成プロセス(ダマシゲートプロセス)を提案し、それを用いて試作したメタルゲートトランジスタの高性能特性を実験で検証した結果について述べている。</p> <p>第3章では、第2章で述べたダマシメタルゲートトランジスタの問題点である閾値電圧ばらつきの原因が、メタルゲートの結晶配向バラツキであることを明らかにし、解決策としてCVD(Chemical Vapor Deposition)プロセスの採用が有効であることを、実験結果をもとに論じている。</p> <p>第4章では、上記メタルゲートトランジスタの閾値電圧を低下させ、高駆動電流を得るために、DT-MOS(Dynamic-Threshold-voltage MOS)FET技術を応用することを提案し、この技術と上記ダマシゲートプロセスを組み合わせることにより、従来よりも0.15V低い閾値電圧のメタルゲートトランジスタが製造可能であることを明らかにしている。</p> <p>第5章では、ソース・ドレイン電極をメタル材料で形成したトランジスタで高駆動電流を実現するために、ソース・ドレインメタルとショットキー接合するシリコンチャンネルに歪を与える技術を提案し、その技術の有効性を非平衡グリーン関数法と界面ダイポール理論に基づいた計算機シミュレーションで検証している。</p> <p>上記歪チャンネル技術の開発のためにはデバイス中の応力分布を正確に知る必要があるため、第6章では、応力の測定技術および理論解析・シミュレーション技術について議論し、デバイス断面の応力評価の際よく用いられるへき開が応力分布に大きな影響を与えること、また、3次元応力シミュレーションを用いればその影響を考慮して正確な応力分布を評価・解析できることを明らかにしている。</p> <p>第7章は結論であり、本研究の成果を総括している。</p>				
				以上