

主 論 文 要 旨

報告番号	甲 乙 第	号	氏 名	緑 川 隆
主 論 文 題 目： スイッチ結合型マルチプロセッサのキャッシュ制御機構に関する研究				
(内容の要旨) クロスバスイッチを多段に結合したMIN (Multistage Interconnection Network)は、全てのメモリを同一コストでアクセス可能であり、全体として高い同時転送容量を持つため、中規模マルチプロセッサのプロセッサ-メモリ接続網として長い間検討が行われていた。一方で、MINは、バスと異なり、各プロセッシングユニット(PU)が互いのメモリモジュール(MM)のアクセスを監視することができないため、スヌープ方式によるキャッシュ一致制御を行うことができず、MINを用いたプロセッサ-メモリ接続法は最近あまり検討されていない。しかし、多数のPUやMMが単一チップ上に実装される時代が近い将来訪れると考えられ、MINを用いたプロセッサ-メモリ接続法は、キャッシュ一致制御の問題が解決されれば、再び検討の対象になると考えられる。 MINを用いたマルチプロセッサによるキャッシュ制御の基本は、MM側にディレクトリを設ける方法である。しかし、完全な共有情報をディレクトリに保持するフルマップ方式では、アドレス空間のサイズに応じて必要なメモリ容量が増えてしまうため、ハードウェアコストの点で問題があり、また、ネットワーク越しにディレクトリが参照されるために、ディレクトリのアクセス時間が増加する。 このため、共有情報を縮約して保持することでディレクトリのハードウェアコストを削減する方法、キャッシュやディレクトリの一部をMINのスイッチ内に設ける方法などが提案されているが、いずれもメモリ容量やアクセス時間の増大を十分に解決できておらず、改善の余地が残されている。 そこで本論文では、MINを構成する各スイッチ内に設けた小容量のディレクトリキャッシュ(DC)のみで共有情報を保持するキャッシュ制御方式MINDIC (MIN with DIrectory Cache switch)を提案する。MINDICでは、各スイッチ内のDCに比較的最近アクセスされたキャッシュラインの共有情報を保持し、共有されたキャッシュラインへの書き込み要求が発生した時に無効化要求をPUの各キャッシュに対して発行する。これにより、キャッシュの一貫性を維持しつつ、MM側にディレクトリを配置する必要性を無くしている。また、この方式は、DCのエントリ不足時にキャッシュ一致制御にエラーを生じる問題点があるため、この問題点を解決する3種類のプロトコルを提案する。 そして、トレースドリブンシミュレータによる3種類のプロトコルの予備評価を行い、最も良い性能を示したEvictionプロトコルに対してクロックレベルシミュレータを構築し、フルマップ方式によるキャッシュ制御方式との比較検討を行う。 その結果、MINDICのDCを2048エントリ程度設けることで、フルマップ方式によるディレクトリ管理方式と同様の効率良いキャッシュ制御を実現できることを示す。また、ディレクトリに必要なメモリ容量を大幅に削減できることを示す。				