

主 論 文 要 旨

報告番号	甲 乙 第	号	氏 名	石川 健一郎
主 論 文 題 目 :				
東データ方式を利用した非同期回路に関する研究				
(内容の要旨)				
<p>回路設計法の主流となっているクロック信号に同期して処理を行う同期式に対し、状態の遷移により処理を行う非同期式が近年、注目を集めている。</p> <p>非同期式には同期式と比較し多くの利点がある。本論文では</p> <ul style="list-style-type: none">・回路の各機能ブロックが同期することなく動作する点・それぞれの処理に応じた実行時間で処理を行うことが可能である点 <p>に注目し、同期式とほぼ同様の回路を使用する東データ方式による非同期設計法をベースとした研究を行った。</p> <p>本論文では以下の2つの研究について述べた。</p> <ol style="list-style-type: none">1. アービトレーション処理とデータ転送処理を分離し、処理を完全非同期で行うスイッチを開発した。このスイッチは独自に開発した特殊な回路を用いることにより、非同期分散アービトレーションによる調停を実現した。ROHM社の0.6μmプロセスを用いチップの作製を行った。シミュレーションにより評価においては全ポートを使用することにより32Gbit/sの転送性能を示した。実チップと評価用ボードを製作し、条件付きながら実際に動作することを確認した。2. 東データ方式による非同期回路において、機能ブロックごとに処理に応じて実行時間を変化させることにより高速な演算を実現する方式としてSpeculative Completionが提唱されている。この方式を同期回路に応用し、サイクル毎にパイプラインの各ステージ（パイプライン構造ではない場合は1ステージのパイプライン構造と見なす）における実行時間の最も長いものにあわせて処理信号を送ることにより、高速な処理を実現する同期Speculative Completionを提唱した。CPUコアに適用し、配線遅延付きシミュレーションにより評価を行ったところ、同期Speculative CompletionによりCPUコアの制御が可能であることが実証された。処理速度の評価では比較用に制作された非同期式CPUの1.74倍、Speculative Completionを採用した非同期式CPUの1.26倍、同期式CPUの1.55倍の性能を示した。 <p>前者の研究は特定の回路を非同期式で制御することにより、より高速な処理が実現可能なことを示した。非同期式回路は回路構成が複雑なため動作のオーバーヘッドが同期式と比較し大きい場合が多いが、適した回路の場合、高速な動作を実現可能である。</p> <p>後者の研究は同期式回路に非同期式回路の手法を導入することにより、より高速な処理が実現可能であることを示した。同期式回路はクリティカルパスの遅延により同期動作する全ての回路の処理時間が決定する。そのため、平均的な処理の遅延と比較し、クリティカルパスの遅延が極端に長い場合同期Speculative Completionは有効に働く。</p> <p>現在、非同期式回路設計法の応用分野は限られているが、全ての回路が同期する必要がある事により性能が低下する、設計が困難になるなどの問題がある場合、クリティカルパスにより処理時間が極端に長くなっている場合などの解決策として今後使われていくことが期待される。</p>				