

チップ間高速 CMOS 通信の
長距離化及び高帯域化に関する研究

2007 年 1 月

富 田 安 基

本論文の構成と内容

大規模集積回路 (LSI) 製造技術の目覚ましい発展に伴い、1つの LSI チップ内で処理される情報量は、指数関数的な増加を続けてきた。一方で、LSI チップに出入りする情報量 (バンド幅) が、内部で処理される情報量の増加に追従できない場合、両者の間に格差が生じ、LSI 全体の性能ボトルネックとなる。この問題を避けるため、様々な研究が行われ、LSI チップ間の信号周波数は 5 GHz まで達し、伝送速度は 10 Gb/s を実現するに至った。しかしながら、信号周波数の向上は、伝送線路において表皮効果や誘電体損失等の周波数依存損失の影響を受け、伝送距離に制限を生じさせるという新たな課題に直面している。そこで、本研究は、現在の信号の最高周波数である 5 GHz において、バックプレーン伝送のような長距離伝送を可能にする波形等価技術、また、その波形等価回路を適応制御するために必要となる波形等価回路を評価するためのチャンネル応答測定技術の実現を、研究の目的としている。さらに、信号の周波数を上げずにバンド幅の高帯域化を実現させる手法として信号を双方向から伝送するための回路技術の研究を目的としている。

第 1 章は序論で、チップ間高速 CMOS 通信の研究の歴史とその必然性を述べ、さらに、チップ間 CMOS 通信のシステム構成を概説することにより、本研究の目的と意義を明確にしている。

第 2 章では、長距離化のための波形等価技術を提案している。フィードバックを利用した広帯域増幅器に、差動対のソース間に容量を挟み込む事と、フィードバックループに極を作り込む事で、高次のゼロ点を、低消費電力かつ小面積で実装できる事を示している。さらに、5 GHz において 20 dB の損失をもつケーブルに通した 10 Gb/s の信号を波形等価し、受信器においてビット誤り率 (BER) が 10^{-12} 以下で受信できる事を実証している。

第 3 章では、波形等価回路の適応制御のために必要となる波形等価回路を評価するためのチャンネル応答測定技術を提案している。サンプリングした現在の信号に含まれる理想信号振幅との誤差と、過去の信号符号との相関を取ることで、波形等価回路を加味した伝送線路のチャンネル応答を測定できる原理を説明している。さらに、その実装方法として、スイッチトキャパシタ方式を応用する事により、低消費電力での実現を示し、チャンネル応答が測定できる事を実証している。

第 4 章では、高帯域化の為の双方向伝送用回路技術を提案している。送信信号と受信信号を分離するハイブリッド回路において、従来必要とされてきたレプリカドライバを用いず、チャンネルに流れる電流と受信端での電圧のみを用いて受信信号を取り出す方式を提案している。さらに、その方式を抵抗と電圧電流変換器を用いて簡易に実

現するハイブリッド回路を提案している。また、従来方式であるレプリカドライバを用いたハイブリッド回路とのバラツキ耐性の比較、消費電力、面積における削減率を定量的に評価している。さらに、20 Gb/s の同時双方向通信において、BER が 10^{-12} 以下で送受信できる事を実証している。

第 5 章は本研究の結論であり、本研究の成果を総括している。

目次

第 1 章 序論	1
1.1 はじめに	2
1.2 LSI の性能向上とピンバンド幅ボトルネック	3
1.3 チップ間高速 CMOS 通信技術	4
1.3.1 バス接続、パラレルリンクから point-to-point 接続、シリアルリンクへ	4
1.3.2 高速 CMOS シリアルリンク技術	6
1.4 本研究の目的	7
1.4.1 本研究の目的	7
1.4.2 送受信器の構成	8
1.5 本論文の構成	9
参考文献、図表	10
第 2 章 高周波波形等価技術	24
2.1 はじめに	25
2.2 波形等価技術	25
2.3 伝送線路損失	27
2.4 回路実装	28
2.4.1 広帯域化技術	28
2.4.2 高次ゼロ点形成技術	30
2.4.3 バッファ段	32
2.5 測定結果	33
2.6 おわりに	34
参考文献、図表	35
第 3 章 チャネル応答測定技術	58
3.1 はじめに	59
3.2 イコライザ評価技術	60
3.3 チャネル応答測定の理論	61
3.4 回路実装	62
3.4.1 チャネル応答測定回路	62

3.4.2	複数周波数クロック発生回路	64
3.5	測定結果	64
3.6	おわりに	65
	参考文献、図表	66
第4章	双方向伝送化技術	80
4.1	はじめに	81
4.2	高帯域化技術	81
4.3	Resistor-Transconductor (R-gm) ハイブリッド	83
4.3.1	同時双方向伝送	83
4.3.2	ハイブリッドにおける入力信号抽出	84
4.3.3	入力信号抽出におけるエラー源	85
4.3.4	回路実装	86
4.3.5	レプリカハイブリッドと R-gm ハイブリッドとの比較	88
4.4	測定結果	89
4.5	おわりに	91
	参考文献、図表	92
第5章	結論	116
5.1	はじめに	117
5.2	高周波波形等価技術（第2章）	117
5.3	チャネル応答測定技術（第3章）	118
5.4	双方向伝送化技術（第4章）	118
5.5	総括	119
5.6	今後の展望	119
	図表	121
	謝辞	124
	著者の文献目録	125

第 1 章

序 論

1.1 はじめに

近年、インターネットの急速な普及により、音声だけでなく画像や大容量ファイルなどが通信回線を通して送られるようになり、通信データ総量が年々増えつづけている。これにより通信容量の増大に対する継続的な要求が発生し、現在では、通信のブロードバンド化として、ADSL や光ファイバーを利用し、数 Mb/s から数百 Mb/s までのデータ速度が家庭向けに達成されている。今後も、この通信容量の増大に対する要求は継続すると見られ、通信基幹回線の大容量化が必須となり、サーバや通信装置などハイエンド向けのネットワークプロセッサやスイッチチップの高性能化、高帯域化が求められる。

また、日常の生活においても、Si CMOS 大規模集積回路 (LSI) が数多く組み込まれるようになってきており、パーソナルコンピュータは勿論の事、テレビ、DVD レコーダや家電、さらには自動車の中にも、様々な機能を 1 つのチップに組み込んだシステム LSI が数十個以上使われている。さらに、そのシステム LSI の性能は、LSI に集積されるトランジスタ数が 2 年で 2 倍になるといういわゆるムーアの法則[1]に伴って、指数関数的な向上を続けており、LSI の性能が向上を続ければ、それに見合っ LSI に入出力する情報の量、つまり、LSI のバンド幅も増加させる必要が生ずる。

これらの要求に応えるため、チップ間高速 CMOS 通信技術は、マイクロプロセッサとメモリ間のインターフェースとして誕生した。当初は、バス接続を基本とし、1 つのクロックに対し多数のデータを並列に送るパラレルリンク方式を採用していた。しかしながら、インターフェースの高帯域化の要求を受けて、パラレルリンクからシリアルリンク、バス接続から point-to-point 接続と方式を変更し、さらに種々の回路技術と組み合わせることで、現在では LSI の 1 ピン当りの伝送速度として、5 GHz の信号周波数を用い、10 Gb/s の伝送速度を達成するに到った。本研究は、その最高周波数における長距離化と、周波数を上げずに 1 ピン当りの伝送速度を更に上げる高帯域化について述べたものである。

本章では、まず、LSI の性能向上について述べ、それによってもたらされたピンバンド幅ボトルネックについて言及する。その後、ピンバンド幅ボトルネックを解消するため必要となったチップ間高速 CMOS 通信技術、特に現在主流となっているシリアルリンクの研究及び技術の変遷と現状について述べる。最後に、本研究の目的を示し、本研究で用いる送受信器の構成について述べ、本論文の構成を示す。

1.2 LSI の性能向上とピンバンド幅ボトルネック

Si CMOS 大規模集積回路 (LSI) は、1960 年代初頭に登場して以来、過去 30 年以上にわたってムーアの法則に従った向上を続けてきた。ムーアの法則とは、1965 年に Gordon Moore 氏によって提唱された経験則で、LSI のスケーリングが進むに従って、1 つの LSI に集積できるトランジスタ数は、2 年で 2 倍になるというものである[1]。

この著しい集積化に伴い、LSI の内部で処理される情報量である性能も指数関数的な成長を遂げている。国際半導体技術ロードマップ (ITRS) [2]及び Digital Systems Engineering[3]に掲載されている値によると、トランジスタ数は年率 49 % という増加率で伸びており、そのトランジスタにおける動作速度は、スケーリングの影響により、年率 15 % で向上を遂げている。LSI の性能は、LSI に搭載される機能の規模 (トランジスタ数) とこれら機能の動作速度 (トランジスタの動作速度) で決定されるので、結果として、LSI の性能の増加率は、年率 71 % ($1.49 \times 1.15 = 1.71$) という高い値になる。Fig. 1. 1 は、現在に至るまでの Intel から発表されたマイクロプロセッサの性能 (MIPS: Million Instructions Per Second) の推移を示したが、ITRS で予測されている年率 71 % の成長を辿っている事が分かる。

このように、LSI の内部で処理される情報量 (性能) が増大してくると、必然的に LSI に入出力するデータ量 (バンド幅) も増大しなければならない。もしチップ入出力ピンのデータ転送速度がチップ性能向上に見合って増加しなければ、入出力がチップ性能全体のボトルネックになってしまう (ピンバンド幅ボトルネック) (Fig. 1. 2)。これを避けるため、何らかの方法で、性能とバンド幅のギャップは埋めなければならない。しかしながら、年率 71 % という値は、あまりに大きく、材料・デバイスから回路、システムを含む総合的な対策が必要になる。

まずシステム的な対策についてだが、チップ性能の向上がそのまま要求されるバンド幅増加に結びつかないように工夫する事が挙げられる。チップ性能 A とバンド幅 B の関係に関しては Rent の法則と呼ばれる経験則[4]が知られており、

$$B = K_R A^\alpha \quad (1-1)$$

が成り立つ。ここで、 K_R は比例定数、 A は性能である。指数 α はデータの局所性を高める特別の配慮をしないチップでは 0.5 から 0.75 の範囲となり、典型的には 0.7 程度になることが知られている。指数 α の値として 0.7 を採ると要求されるバンド幅の増加率は年率 46 % となり性能成長率 71 % よりは小さな値に抑えることができる。

材料、デバイス上の工夫であるが、これは材料の改善（Cu 配線や低誘電率絶縁層の使用など）やトランジスタ性能の向上によりトレンドに乗った速度向上を達成することに尽きる。その目標は、集積回路のピンあたりのデータ転送レートをトランジスタ速度の増加率である年率 15 %で増加させることである。それでも年率 27 % ($1.46/1.15=1.27$) という増加率でチップ性能とバンド幅のギャップは開いていく。この差を埋める手段の一つとしては、ピン数をピンピッチの縮小とチップサイズの増加により増やしていく事である。トレンドどおりにいけばピン数は年率約 11 %で増加できる。したがって、コスト増加を気にせずピン数を増大できる場合にはチップ条件でのバンド幅の成長率を年率 28 % ($1.11 \times 1.15=1.28$) まで上げられる。しかしながら、性能とチップバンド幅の間のギャップに関しては、回路上の工夫で解決する事が望ましい。

最後に、回路的な対策により残りの 27 %の差を縮めなければならない。回路的な対策としては、現在チップ内信号転送より低い周波数で行われているチップ間の信号伝送速度を上げ、チップ内よりむしろ高い周波数に移行することである。しかも、一回きりの増加でなく、チップ性能の成長と同様に継続的な発展を遂げ、入出力ピン当りのデータレートを最大にする事が回路技術の最大の目標となる。

以上述べたように、チップの性能とバンド幅のギャップが広がっていくことは、将来の集積回路技術にとって極めて深刻な問題（ピンバンド幅ボトルネック）をもたらす。しかし、この問題は、材料・デバイス技術に加えて回路からシステムまでのあらゆるレベルで対応すれば解決可能である。チップ間高速 CMOS 通信技術は、このような背景の下に誕生したのである。

1.3 チップ間高速 CMOS 通信技術

1.3.1 バス接続、パラレルリンクから point-to-point 接続、シリアルリンクへ

チップ間高速 CMOS 通信技術は、マイクロプロセッサとメモリ間の信号伝送として研究が始まった[5]。当初は、バス接続とパラレルリンクを用いていた。バス接続とは、一つの伝送線路を複数の LSI で共有する接続方式で、プリント基板の上に信号線とコネクタさえ用意しておけばよく、そこに LSI をつなげる事で、そのシステムを拡張できる理想的な技術であった (Fig. 1.3 (a))。また、パラレルリンクとは、一つのクロック

ク線と多数のデータ線を並列に並べ、同時にクロックとデータを送信する事で、受信器側でのデータとクロックのタイミングを揃える方式である (Fig. 1. 4 (a))。しかしながら、信号伝送の高帯域化が要求される中で、バス接続は、多数の LSI が同じ信号線を共有するため、バスと LSI を接続する配線 (スタブ) によって伝送線路上の特性インピーダンスが変化し、多重反射が生じてしまう。また、パラレルリンクでは、1 本のクロック信号に同期して送る信号の数が多くなり、タイミングの調整が困難になった。

そこで、これらの課題を解決する為に、バス接続から point-to-point 接続、パラレルリンクからシリアルリンクへとチップ間高速 CMOS 通信技術は移行していった[6]。point-to-point 接続とは、隣り合う 2 個の LSI 間を 1 対 1 に直結し、それぞれの LSI において終端を行う事で多重反射の影響を受けにくくする方式であり、ある LSI が故障しても、他の経路を通して信号を送れるので、信頼性を高くするという利点を持つ (Fig. 1. 3(b))。また、シリアルリンクとは、データの多重化を行い、1 信号線当りの速度を高速にする事で少ない信号線で多くのデータ転送を実現し、更に、受信器側でクロックを復元するクロック・データ・リカバリ技術 (CDR) を用いる事で、受信器でのクロックタイミングの問題を回避する方式である (Fig. 1. 4 (b))。

これらの技術を用い、チップ間高速 CMOS 通信技術は、信号の伝送速度の向上を遂げてきた。Fig. 1. 5 は、メモリ用のバス、プリント基板上の LSI 間や、基板同士をつなぐバックプレーンのような内部インターフェース用のバス (Industry Standard Architecture(ISA))、ストレージシステム用のバス (Advanced Technology Attachment(ATA)) 及びイーサネットの各種インターフェースの製品におけるデータ転送速度の推移をプロットしたものである。当初、バス接続、パラレルリンクであった各種のインターフェースは、1995 年頃からメモリや周辺機器を結ぶインターフェースが、2000 年頃から LSI 間接続全てが、point-to-point 接続、シリアルリンクに移行した。そして、シリアルリンクに移行した後は、シリアルリンクの構成要素である多重化回路 (Multiplexor(MUX))、逆多重化回路 (Demultiplexor(DMX))、CDR 等の技術の高速化により、要求されるバンド幅と供給できるバンド幅のギャップ差を埋める年率 46% という高い値で伝送速度を向上させるにいたっている。次項では、そのシリアルリンクの研究における伝送速度向上の歴史、更には新たに乗り越えなければならなくなった現状での課題について述べる。

1.3.2 高速 CMOS シリアルリンク技術

Fig. 1. 6 は、CMOS の高速シリアルリンクの伝送速度の推移を示したものである。CMOS シリアルリンクで最も高速動作を要求される MUX/DMX の推移と、ボード上の数 cm の通信を目的とする短距離用送受信器の推移と、1m のバックプレーン伝送での通信を目的とする長距離用送受信器の推移を示したものである。CMOS におけるシリアルリンクが初めて発表されたのは 1993 年で、その時の伝送速度は 266 Mb/s であった[6]。その後、シリアルリンクの高速化の要求に応える研究が数多く行われ、トランジスタが完全にスイッチングする CMOS 方式を用いて、1994 年には 500 Mb/s[7]、95 年には 1 Gb/s[8]が達成された。その後、CMOS 方式から、電流を用いて小振幅高速動作を実現する Current Mode Logic (CML) 方式に回路トポロジーは移り、96 年、98 年には、オーバーサンプリングを用いた手法により 2.5 Gb/s[9]、4 Gb/s[10]に到達し、最新の研究では、2002 年に 10 Gb/s まで伝送速度を高めるに到っている[11, 12]。さらに、シリアルリンクを構成する MUX、DMX、CDR の要素回路だけの高速化に関する研究に関しては、MUX/DMX においては、面積を犠牲にしながらいンダクタの利用を用いて帯域を延ばすことにより、2003 年に 30Gb/s[13]、40Gb/s[14]、2004 年に 43Gb/s[15]、50Gb/s[16]の 1:2 もしくは 1:4 の MUX/DMX が発表された。最新の研究発表では、2005 年に 40Gb/s の送信器全体を集積したものが発表されている[17]。受信器に必要とされる CDR に関する研究では、2003 年に Bit Error Rate が 10^{-6} と低いながら 40 Gb/s の CDR が発表され[18]、最新の研究成果では、25 Gb/s の CDR が 2006 年に発表された[19]。

しかしながら、信号周波数の増加は、伝送線路媒体における表皮効果や誘電体損失などの周波数依存損失の影響を受け、高周波の信号ほど減衰し、それが隣り合うビット間において干渉する符号間干渉を引き起こす。これらの影響は、信号の周波数が 1 GHz を越えたあたりから顕著に表れ始め、伝送距離やアプリケーションに制限をもたらす結果となる。そこで、送受信器の電力の約 10%を犠牲にしながらも、この伝送線路の損失を補償する波形等価技術が使われるようになった。この波形等価技術に関する詳細は、第 2 章で述べる。

1.4 本研究の目的

1.4.1 本研究の目的

チップ性能とバンド幅との速度向上のギャップを埋める為にチップ間高速 CMOS 通信技術が必要となったこと、しかしながら、高周波の信号は周波数依存損失の影響により減衰するため距離が制限されてしまう事は、前節までで既に述べた。そこで、本研究では、現在のチップ間高速 CMOS 通信の最高信号周波数である 5 GHz において、伝送線路の損失を補償し、バックプレーン伝送のような長距離化を実現する波形等価技術を研究の目的とした。また、その波形等価回路を適応制御するために、波形等価された高周波信号から波形等価を評価するチャンネル応答測定技術の実現を研究の目的とした。さらに、今後、信号周波数を上げずにバンド幅を向上させる高帯域化技術として、信号を双方向から伝送するための回路技術を研究の目的とした。

具体的には、本研究は、ハイエンドサーバネットワーク向けのインターフェースチップの実現を研究目標とした。それは、LSI におけるピンバンド幅ボトルネックが最初に顕在化するのが、性能が高く要求バンド幅が大きなハイエンド向けチップだからである。このチップが使われるシステムは、プロセッサ+メモリからなる複数のプロセッサ要素で構成されたサーバマシン（大規模アプリケーション向けコンピュータ）である（Fig. 1. 7）。複数のプロセッサ要素のそれぞれは互いのメモリに高速インターフェースを用いた信号チャンネルを通してアクセスする。プロセッサ要素間の接続は、複数の信号出入り口（ポート）を持つスイッチチップで信号チャンネルを接続して構成されたメッシュ状ネットワークで行われる。このようなサーバインターフェースでは、一種類のインターフェース回路でプリント基板上の伝送から同一筐体内のバックプレーン伝送までカバーすることが求められる。そこで、最も損失が大きいバックプレーン伝送での損失まで補償できる回路の実現を目指した。

また、今後、この複数のプロセッサから構成されるシステムに求められるバンド幅を Fig. 1. 8 に示した。これは、ITRS ロードマップ[2]で予測されるハイエンドサーバネットワーク向けインターフェースチップに求められる総バンド幅とピン数をプロットしたものである。それによると、2010 年には、1000 ピンを用いて、10 Tb/s が要求されると予測されている。これを、通常用いられている差動信号を用いて実現するためには、1 差動対当り 20 Gb/s の伝送速度が必要となる。そこで、本研究では、信号周波数は 5 GHz のままで双方向伝送化技術を用いる事によって、1 信号線対当り 20 Gb/s

を達成する事を目標とした。

1.4.2 送受信器の構成

本節では、本研究で実装した送受信器の全体構成について述べる。本研究では、設計の時間を短縮するため、2003年に発表された10 Gb/s送受信器[20]を改良し、高周波波形等価技術、チャンネル応答測定技術、双方向伝送化技術のための回路を付加した。Fig. 1. 9に送受信器全体のブロックダイアグラムを示した。本研究で実装した同時双方向伝送用送受信器は、送信器、受信器、入出力信号を分離するハイブリッド回路から構成される。送信器は、擬似ランダム符号(PRBS)の $2^{23}-1$ パターンを生成するPRBS発生器、64:1多重器、nMOSの差動対からなる2タップのプリエンファシス用の出力バッファから構成される。プリエンファシスに必要なデータは、メインのデータ経路から、信号が2.5 Gb/sの段階で分岐され、メインのデータ経路に比べ1ビット遅延したデータがもう一つのバッファに送られ、送信端でメインバッファのデータと組み合わせられる。このプリエンファシスは、5 dBまでの高周波損失を補償する事が出来る。送信器の出力信号は、ハイブリッド回路の抵抗から成る分圧器を通過した後、伝送線路に出力される。この抵抗分圧器は、受信器にとっては終端抵抗の役割を果たす。第4章で詳しく述べるが、ハイブリッド回路は、受信端電圧 V と抵抗分圧器から生成した電圧 V_s から入力信号を抽出し、波形等価回路(イコライザ)に信号を送る。波形等価回路は、伝送線路で生じた高周波信号損失を補償し、受信器に信号を渡す(第2章)。受信器は、判定器、1:32逆多重器、クロック・リカバリ・ユニット(CRU)から構成される。波形等価回路からの出力は、2倍のオーバーサンプリングをデータの中心と境界において行い、クロックリカバリに利用する。送受信器は、波形等価回路を適応制御するために必要となる、波形等価回路の性能を評価するチャンネル応答測定回路(ISI Monitor)を備えている(第3章)。この測定回路は、波形等価回路の出力と、受信器の逆多重化後の出力をもらい、相関を計算する事によって、伝送線路及び波形等価回路込みのチャンネル応答を測定する。また、この測定回路において最適なタイミングで波形等価回路の出力をサンプリングするために、CRUからリカバリされたクロックを位相補完器(PI)に通過させたものを利用している。

Fig. 1. 10及びFig. 1. 11は、送信器及び受信器のフロントエンド部分におけるトランジスタレベルでの回路実装図を示したものである。送信器では、32:4の多重化は

CMOS を利用したクロック同期のセレクタが用いられ、4 相の 2.5 Gb/s データが作成される。この 4 相データは、INV-NOR ゲートに送られ、4 相の 2.5 GHz のクロックと重ねあわされる事により、100 ps のデータパルスを生成する。そのデータパルスは、後続の 4:1 多重器において重ね合わされ、出力バッファに送られる (Fig. 1.10)。受信器では、ダイナミック NOR を用い 100 ps のクロックパルスが生成され、それが受信器のフロントエンドである積分器において、波形等価回路の出力をデータ 1 個の時間分 (100 ps) 積分する。その積分によって増幅された信号は、後続の判定回路において、0 又は 1 のデジタル信号に変換され、その後、CMOS を利用したフリップフロップを用いて、32bit まで逆多重化される。

1.5 本論文の構成

最後に本研究のフローチャートを Fig. 1.12 に示す。第 1 章では、本研究に至った背景および研究目的について述べた。第 2 章では、バックプレーン伝送のような長距離伝送を実現するための高周波波形等価技術について述べる。第 3 章では、第 2 章で述べた高周波波形等価回路の適応制御を行うのに必要となる、波形等価回路の性能を評価するためのチャネル応答を測定する理論を示し、その実装回路を用い評価を行う。第 4 章では、周波数を上げずに高帯域化を実現するための双方向伝送用回路技術について述べる。

参考文献（第 1 章）

- [1] G. Moore, "VLSI: Some Fundamental Challenges," *IEEE Spectrum*, vol. 16, pp. 30-37, 1979.
- [2] International Technology Roadmap for Semiconductors. 2005 Update. Semiconductor Industry Association, 2005.
<http://www.itrs.net/Common/2005ITRS/ExecSum2005.pdf>
- [3] W. J. Dally and J. W. Poulton, "Digital Systems Engineering," *Cambridge University Press*, 1998.
- [4] B. Landman and R. L. Russo, "On a Pin vs. Block Relationship for Partitioning of Logic Graphs," *IEEE Transactions on Computers*, C-20, vol. 12, pp. 1469-1479, 1971.
- [5] N. Kushiyama, S. Ohshima, D. Stark, H. Noji, K. Sakurai, S. Takase, T. Furuyama, R. M. Barth, A. Chan, J. Dillon, J. A. Gasbarro, M. M. Griffin, M. Horowitz, T. H. Lee and V. Lee, "A 500-Megabyte/s Data-Rate 4.5M DRAM," *IEEE J. Solid-State Circuits*, vol. 28, no. 4, pp. 490-498, Apr. 1993.
- [6] D. Chen and R. Waldron, "A Single-Chip 266Mb/s CMOS Transmitter/Receiver for Serial Data Communications," in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 100-101, Feb. 1993.
- [7] S. Sidiropoulos, C. K. Yang and M. Horowitz, "A CMOS 500 Mb/s/pin synchronous point to point link interface," in *IEEE Symp. VLSI Circuits*, Dig. Tech. Papers, pp. 43-44, Jun. 1994.
- [8] J. F. Ewen, A. S. Widmer, M. Soyuer, K. R. Wrenner, B. Parker, H. A. Ainspan, "Single-Chip 1062Mbaud CMOS Transceiver for Serial Data Communication," in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 32-33, Feb. 1995.
- [9] C. K. Yang and M. A. Horowitz, "A 0.8- μm CMOS 2.5 Gb/s Oversampling Receiver and Transmitter for Serial Links," *IEEE J. Solid-State Circuits*, vol. 31, no. 12, pp. 2015-2023, Dec. 1996.
- [10] C. K. Yang, R. Farjad-Rad and M. A. Horowitz, "A 0.5- μm CMOS 4.0-Gbit/s Serial Link Transceiver with Data Recovery Using Oversampling," *IEEE J. Solid-State Circuits*, vol. 33, no. 5, pp. 713-722, May. 1998.
- [11] J. Cao et al., "OC-192 Receiver in Standard 0.18 μm CMOS," in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 250-251, Feb. 2002.

- [12] M. M. Green et al., "OC-192 Transmitter in Standard 0.18 μ m CMOS," in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 248-249, Feb. 2002.
- [13] A. Rylyakov, S. Rylov, H. Ainspan and S. Gowda, "A 30Gb/s 1:4 Demultiplexer in 0.12 μ m CMOS," in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 176-177, Feb. 2003.
- [14] D. Kehrer, H. Wohlmuth, H. Knapp, M. Wurzer and A. L. Scholtz, "40-Gb/s 2:1 Multiplexer and 1:2 Demultiplexer in 120-nm Standard CMOS," *IEEE J. Solid-State Circuits*, vol. 38, no. 11, pp. 1830-1837, Nov. 2003.
- [15] T. Yamamoto, M. Horinaka, D. Yamazaki, H. Nomura, K. Hashimoto, H. Onodera, "A 43Gb/s 2:1 Selector IC in 90nm CMOS Technology," in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 238-239, Feb. 2004.
- [16] D. Yamazaki, T. Yamamoto, M. Horinaka, H. Nomura, K. Hashimoto, H. Onodera, "A 25GHz Clock Buffer and a 50Gb/s 2:1 Selector in 90nm CMOS," in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 240-241, Feb. 2004.
- [17] J. Kim, J-K. Kim, B-J. Lee, M-S. Hwang, H-R. Lee, S-H. Lee, N. Kim, D-K. Jeong and W. Kim, "Circuit Techniques for a 40Gb/s Transmitter in 0.13 μ m CMOS," in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 150-151, Feb. 2005.
- [18] J. Lee and B. Razavi, "A 40Gb/s Clock and Data Recovery Circuit in 0.18 μ m CMOS Technology," in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 242-243, Feb. 2003.
- [19] C. Kromer, G. Sialm, C. Menolfi, M. Schmatz, F. Ellinger and H. Jackel, "A 25Gb/s CDR in 90nm CMOS for High-Density Interconnects," in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 326-327, Feb. 2006.
- [20] H. Takauchi, H. Tamura, S. Matsubara, M. Kibune, Y. Doi, T. Chiba, H. Anbutsu, H. Yamaguchi, T. Mori, M. Takatsu, K. Gotoh, T. Sakai and T. Yamamura, "A CMOS Multichannel 10-Gb/s Transceiver," *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2094-2100, Dec. 2003.

图表

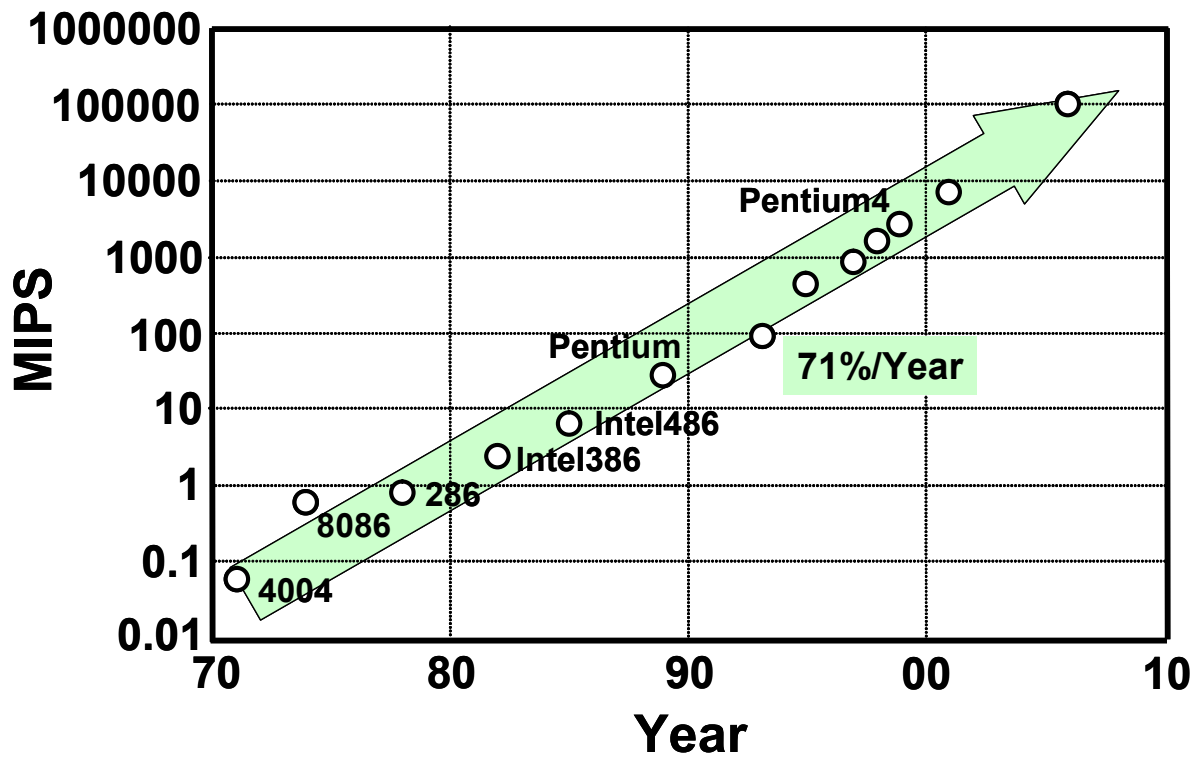


Fig. 1. 1: Performance of processors.

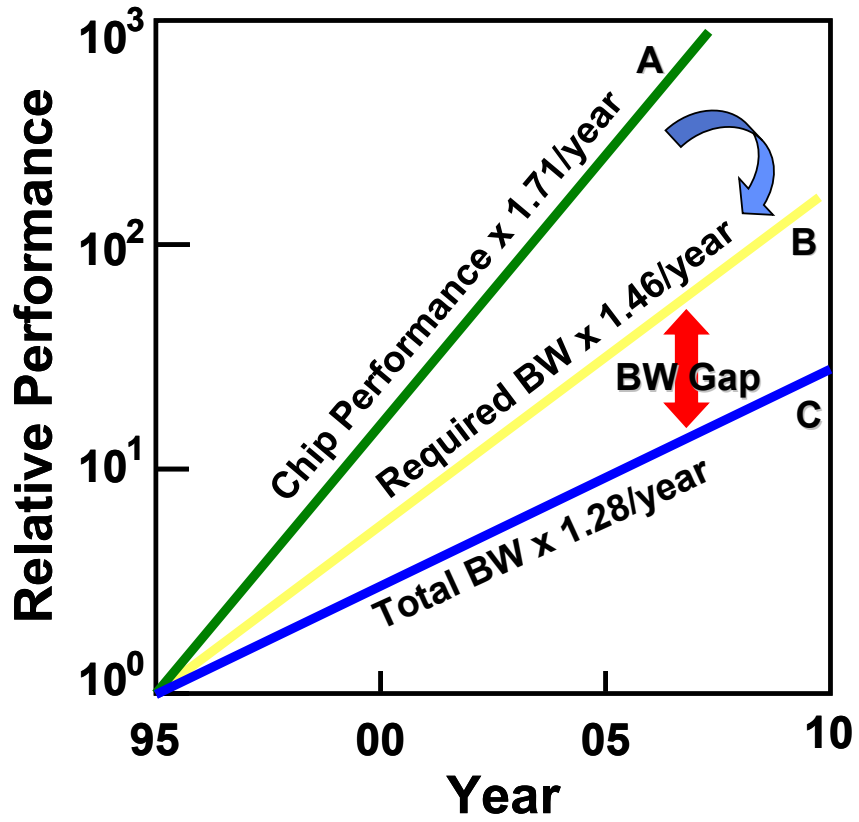
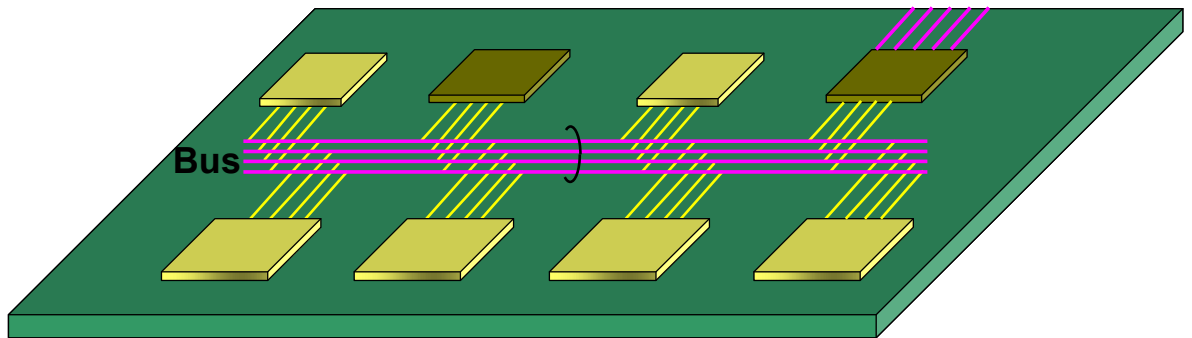
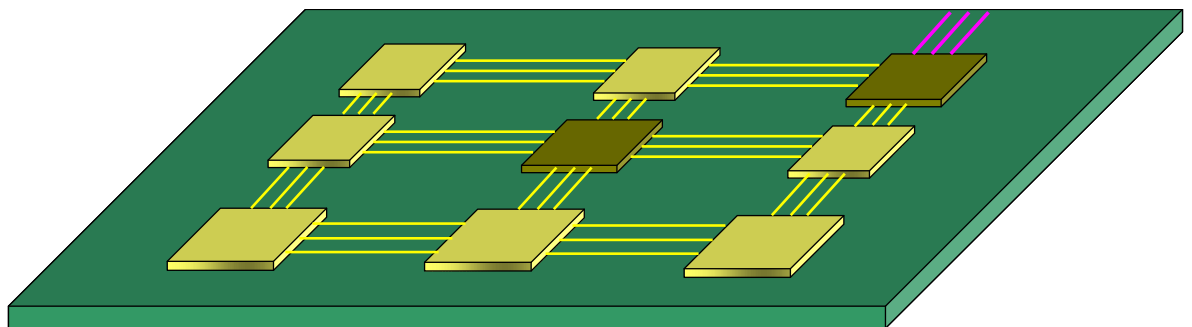


Fig. 1. 2: Pin bandwidth bottleneck.

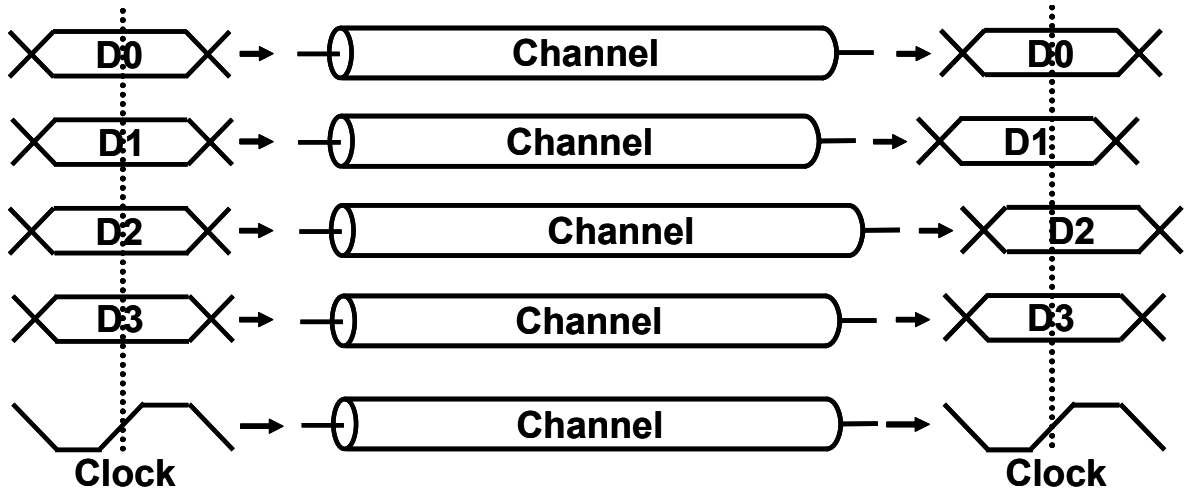


(a) Bus connection

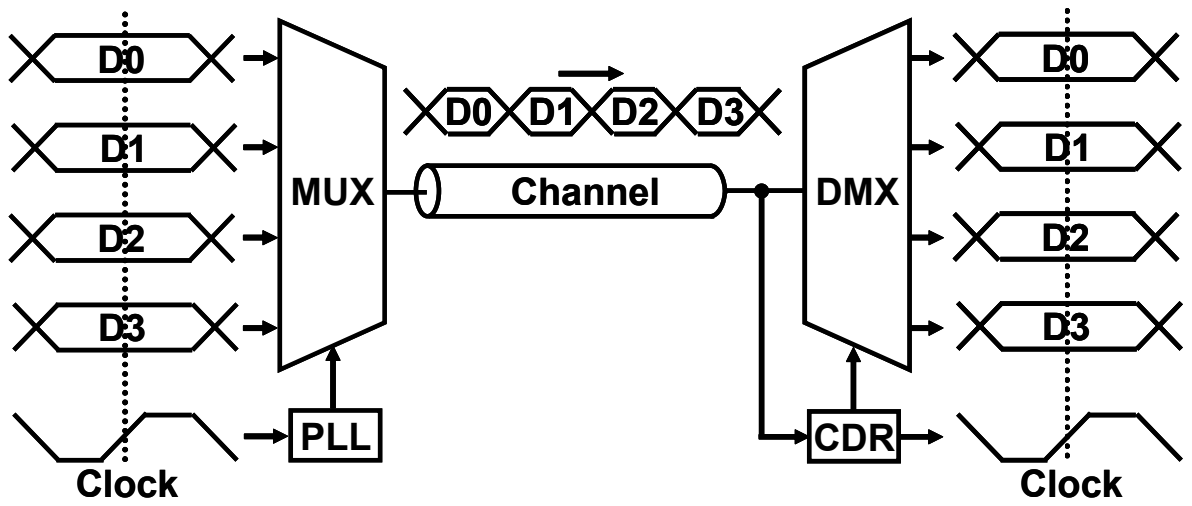


(b) Point-to-point connection

Fig. 1. 3: Architecture of (a) Bus connection, and (b) Point-to-point connection.



(a) Parallel link



(b) Serial link

Fig. 1. 4: Architecture of (a) Parallel link signaling, and (b) Serial link signaling.

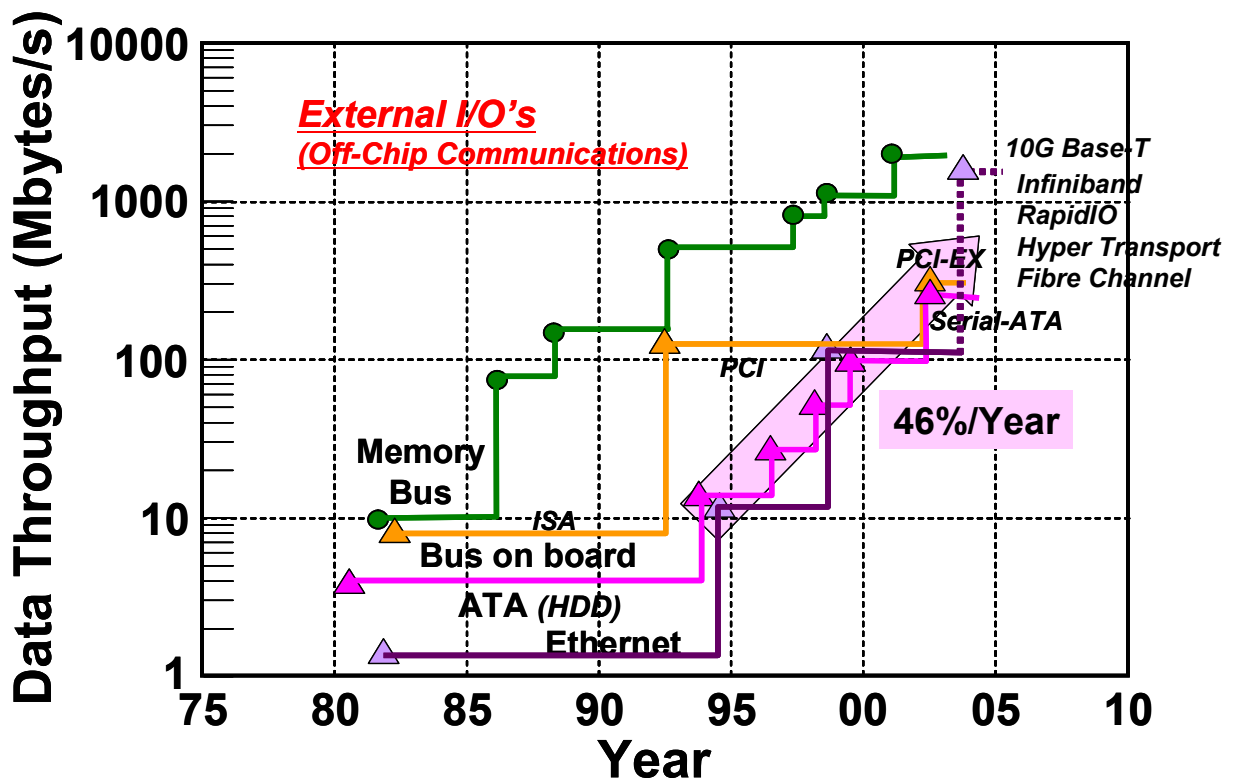


Fig. 1. 5: Data rates of the off-chip interfaces.

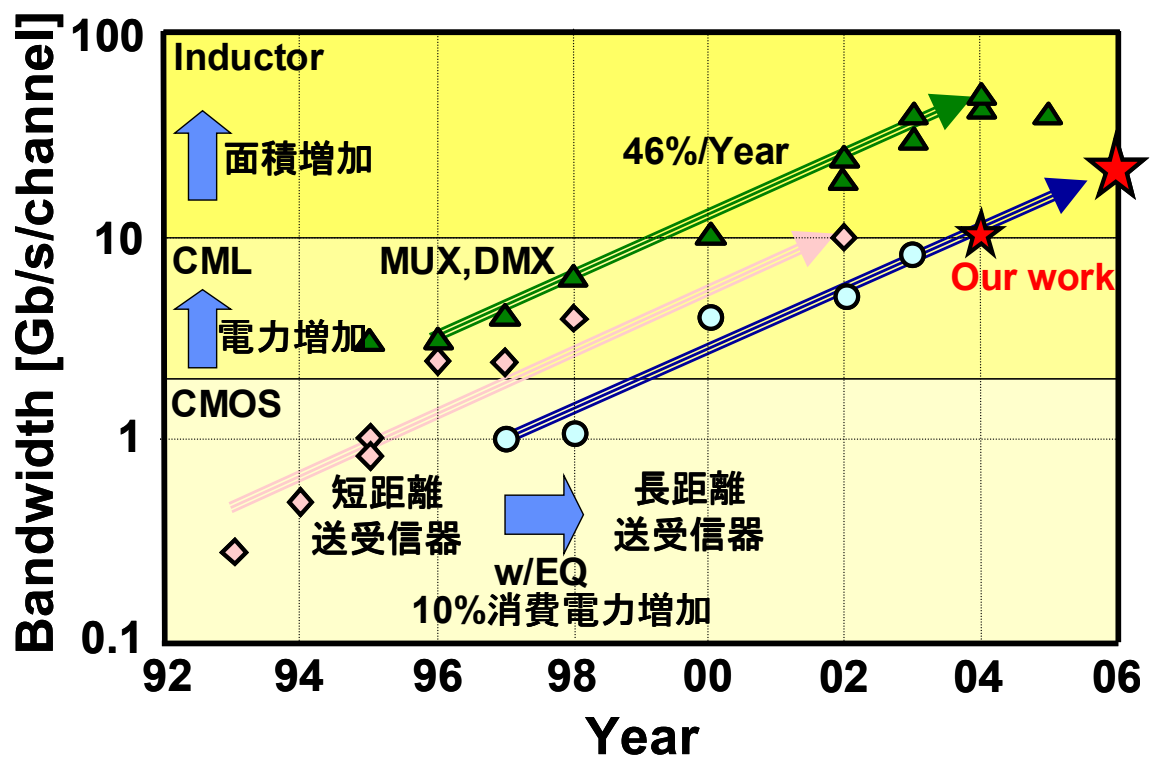


Fig. 1. 6: Data rates of CMOS serial links.

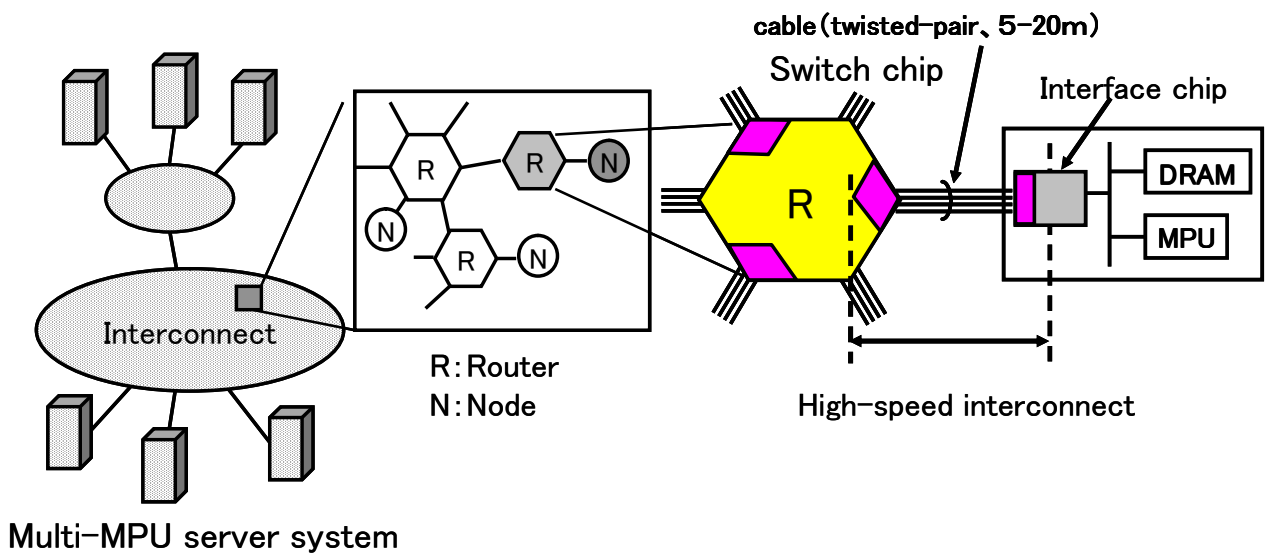


Fig. 1. 7: Multi-MPU server system.

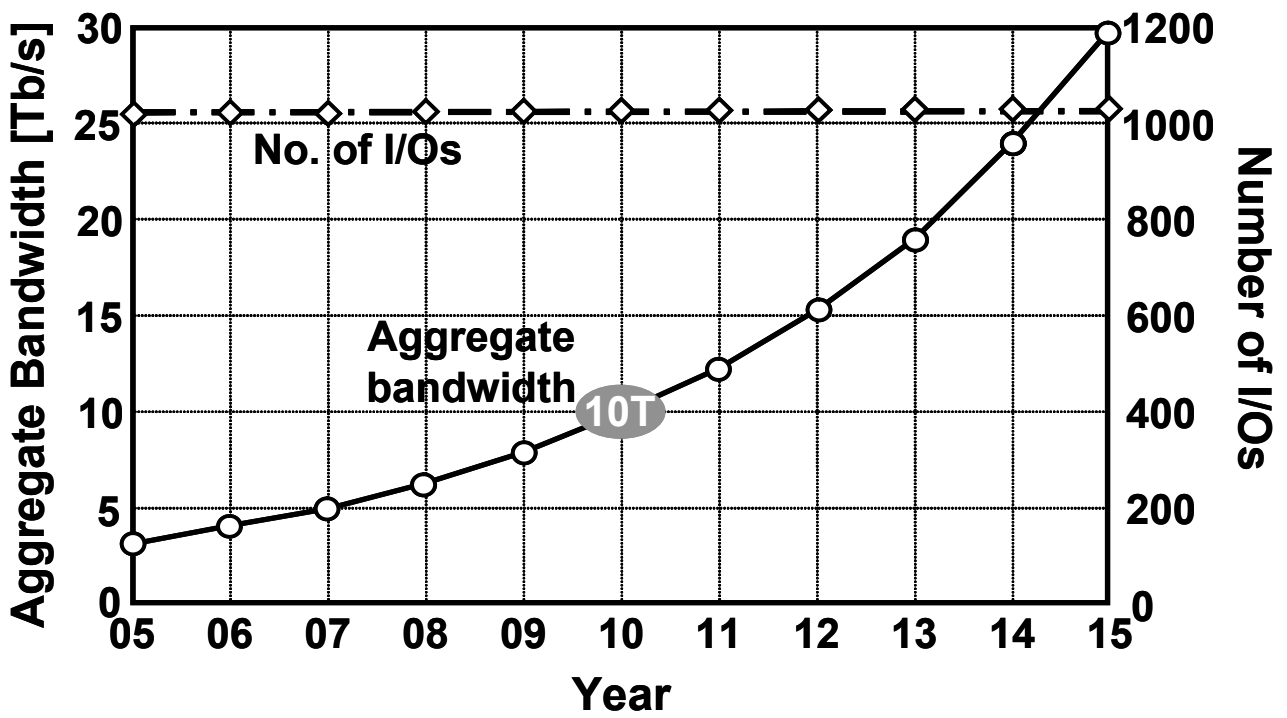


Fig. 1. 8: Prospects of the aggregate bandwidth and Number of I/Os.

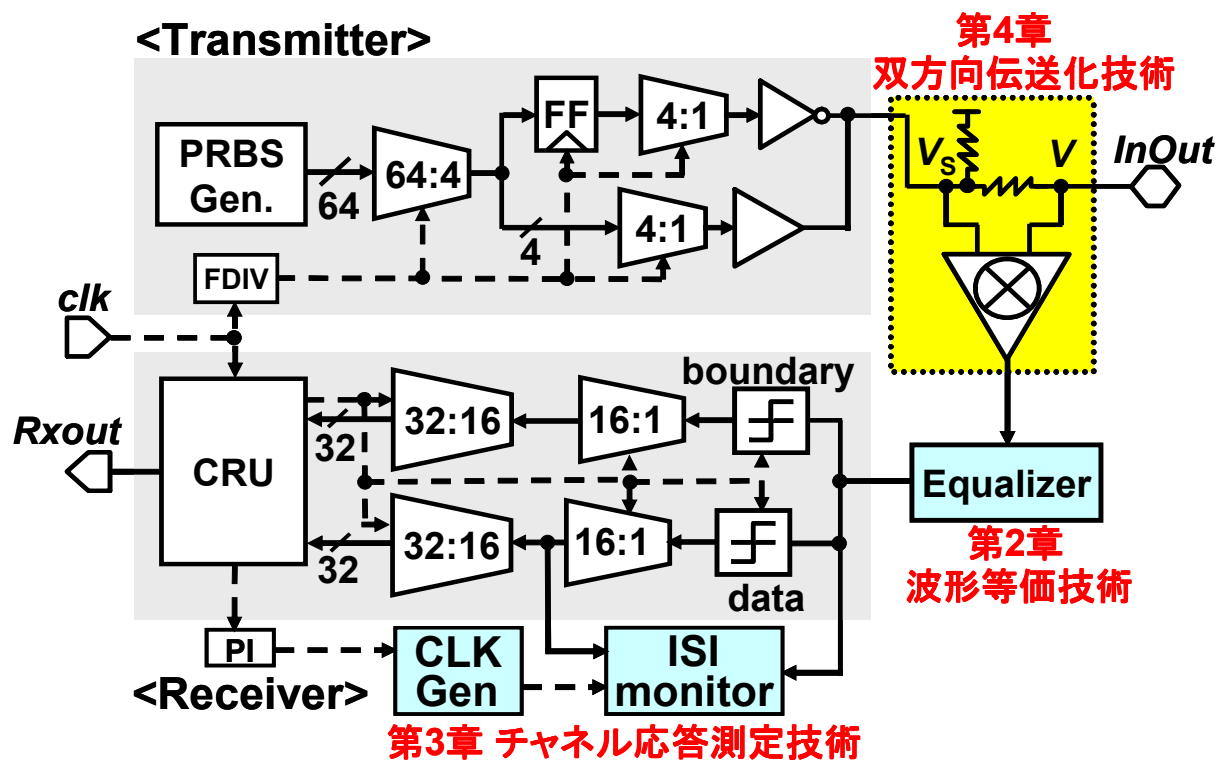


Fig. 1. 9: Transceiver block diagram.

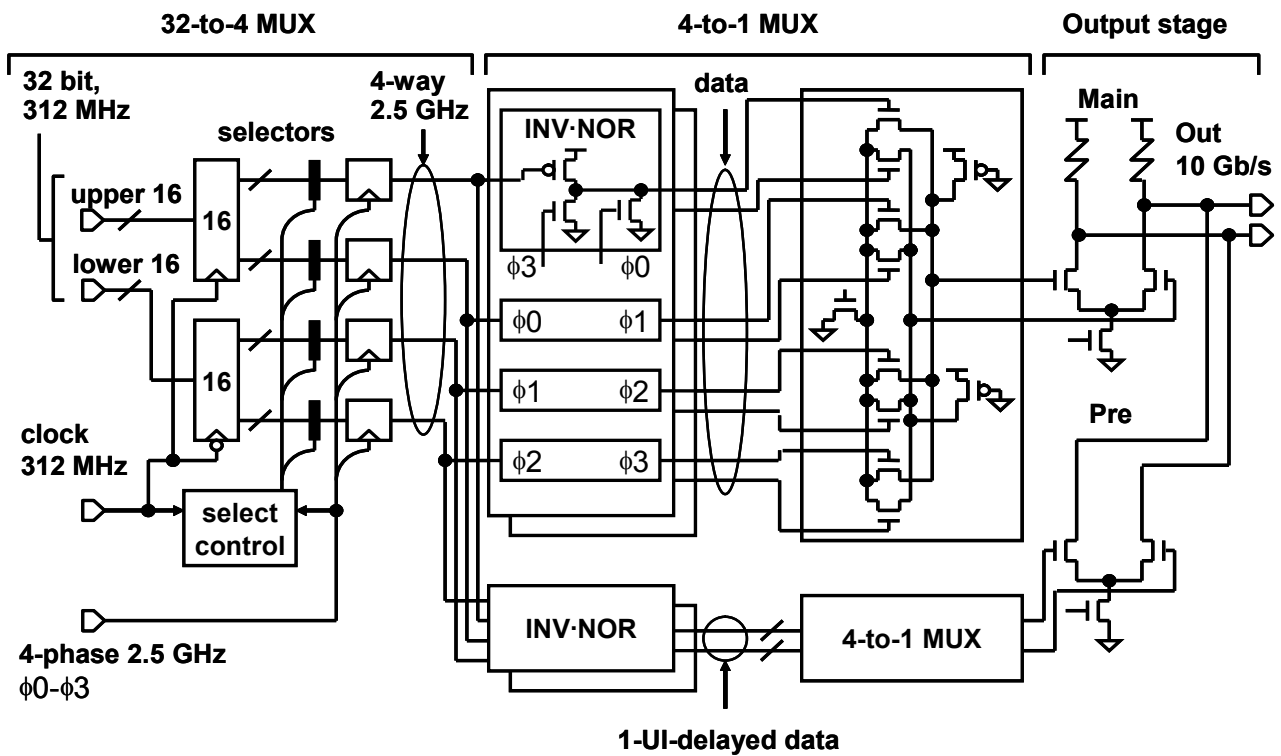


Fig. 1. 10: Circuit implementation of the multiplexer and the output stage.

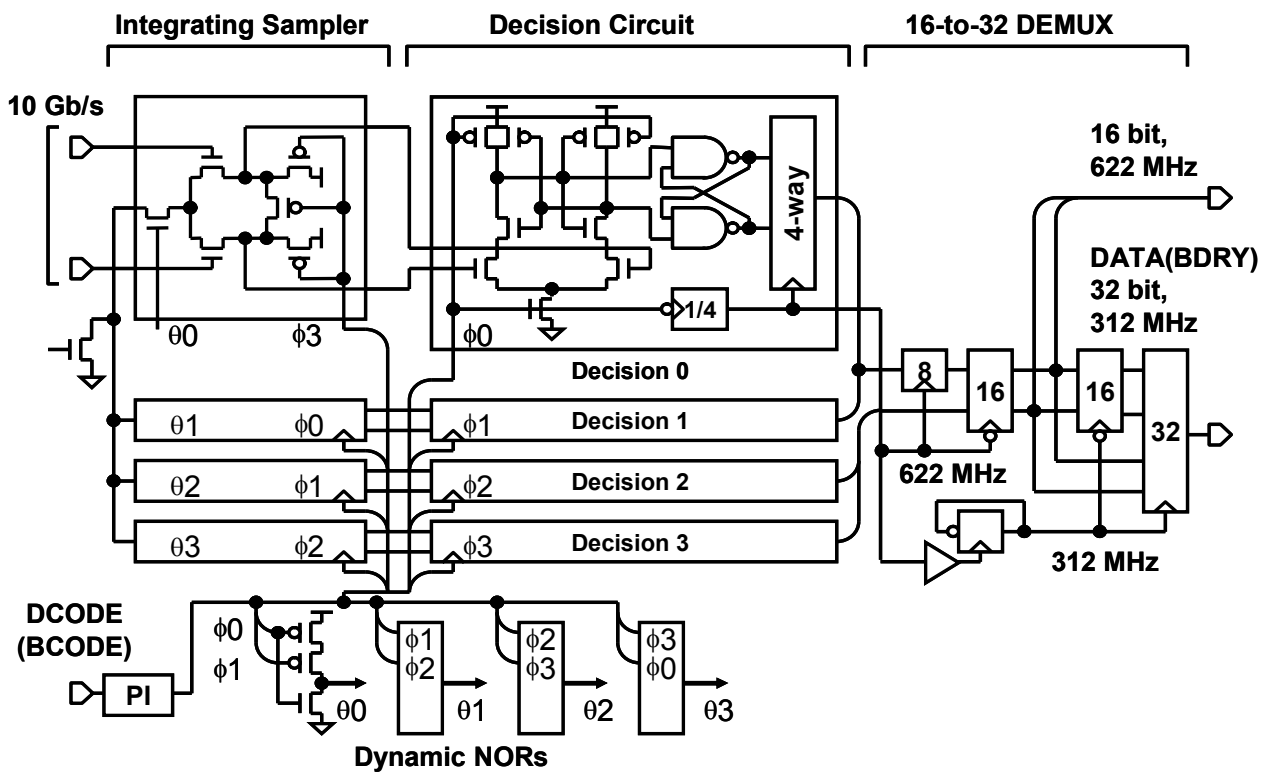


Fig. 1. 11: Circuit implementation of the sampler and the decision circuit.

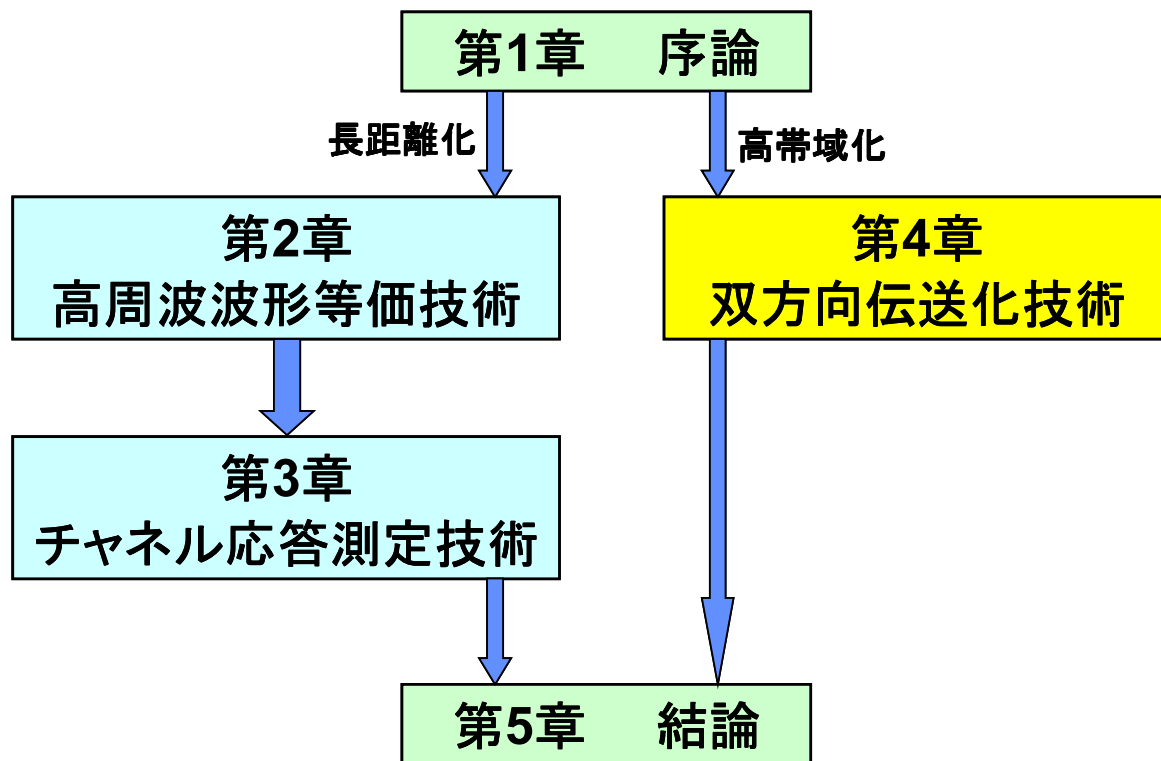


Fig. 1. 12: Flowchart of this dissertation.

第 2 章

高周波波形等価技術

2.1 はじめに

LSI のスケーリングが進むにつれて、LSI の性能とバンド幅とのギャップが広がり、バンド幅がシステム全体のボトルネックとなるピンバンド幅ボトルネックが顕在化するようになってきた。このボトルネックを避けるため、チップ間高速 CMOS 通信の研究が行われ、信号線に通す信号の周波数を向上させる事により、1 信号線当りの伝送速度を高めてきた。しかしながら、高周波の信号は、プリント基板中の配線と基板間の容量により高周波信号のエネルギーが吸収されてしまう誘電体損失や、高周波信号は伝送線路の表皮のみを流れて抵抗が高くなるという表皮効果等の周波数依存損失により減衰するため、信号波形が劣化し、隣り合うビット間において符号間干渉を引き起こし、受信器においてエラーを招いてしまう。そのため、低いビット誤り率で高周波の信号の送受信を行うためには、伝送線路の距離を制限し損失を少なくするか、周波数依存損失を補償する回路技術を導入する必要がある。

本研究では、チップ間高速 CMOS 通信用送受信器において 5 GHz までの周波数依存損失を補償し、長距離化を実現する高周波波形等価技術について述べる。本研究で目指す長距離伝送とは、複数のプロセッサから成るサーバで利用されるバックプレーン伝送を意味しており、本研究で提案する高周波波形等価技術は、そのバックプレーン伝送に相当する損失を補償する事を研究の目的としている。

本章では、まず波形等価技術の歴史について述べ、本研究の位置づけを行う。その後、ターゲットとするバックプレーン伝送線路の損失に関して述べ、5 GHz までの周波数依存損失を補償できる高周波波形等価回路（イコライザ）に用いられた広帯域化技術、さらに、高次ゼロ点形成技術について、回路実装図を示しながら、理論及びその解析を行う。最後に、実装したイコライザ付き受信器の測定結果を示し、結論を持って閉じる。

2.2 波形等価技術

波形等価（イコライズ）とは、伝送線路（チャンネル）の特性と逆の特性を掛け合わせる事により、周波数特性を均等化する事である（Fig. 2. 1）。有線通信における波形等価技術は、始めはハードディスク等の磁気の影響が残る Read channel[1-4]、またはイーサネットの 10 BaseT や 100 BaseTx という 10 Mb/s、100 Mb/s の低周波数だが、長

距離（100m）伝送[5-8]を行うアプリケーションに用いられてきた。そして、LSI 間の通信の伝送速度が 1 GHz を越えてきた近年では、多くの送受信器において波形等価技術が必要となってきた。

波形等価技術によって、伝送線路において生じた損失を補償するものには、送信器側で行うもの[9-12]、受信器側で行うもの[14, 17, 23, 26, 27]、送受信器の両方で行うもの[15, 16, 22, 24]がある。送信器側で行う波形等価技術には、伝送線路において高周波成分が減衰するので、予め高周波成分を強調しておくプリエンファシス技術[9]と直流成分が減衰させるデエンファシス技術[10-12]がある。いずれの技術も、FIR フィルタを形成し、伝送線路のノイズと無関係に波形等価を行う事が出来るが、伝送線路の温度等による伝送線路の特性変化に対する適応制御を行う場合、受信器側からフィードバック信号が必要となり、フィードバック信号用に信号線を増やすか、データ信号線のコモンモード電圧をフィードバック信号に利用する等の技術[13]が必要となってしまう。そのため、送信器での波形等価技術は、固定された量の損失を補償するに留まり、伝送線路の特性変化に対する適応制御には受信器側で行う事が望ましい。

受信器側で行う波形等価技術には、フィードフォワード型とフィードバック型があり、フィードフォワード型はさらに連続時間タイプと離散時間タイプに分類される。フィードバック型のイコライザとは、主に Decision Feedback Equalizer (DFE) を指しており、判定回路の出力を利用し、現在の信号との線形演算を行う事でノイズに無関係な波形等価を行う事が出来る[14]。しかしながら、DFE は判定回路の出力を演算に戻すまでにかかる遅延が、速度を制限してしまう。その為、DFE の最高伝送速度は、2003年の4値振幅変調技術を用いて2.5 GHzでの10 Gb/s[15]、2006年によく binary 信号でも5 GHzで10 Gb/sを達成したばかりである[16]。フィードフォワード型で離散時間タイプのイコライザは、入力をサンプリングし、そのサンプリングした信号を FIR フィルタによって線形演算する事により波形等価を行う[17, 18]。しかしながら、サンプリングを行うサンプラーの帯域制限により、2004年に報告された8 Gb/sまでしか伝送速度が延びていない。

したがって、高周波信号を波形等価するイコライザは、フィードフォワード型の連続時間タイプのイコライザが適している。このタイプのイコライザには、LC 遅延線を用いたアナログ Transverse フィルタ型のものと、増幅器を利用したものがある。Transverse フィルタ型イコライザは、LC 遅延線により波形を保持する事で、サンプリングと同じ働きをし、その遅延線から得られる信号を用いて線形演算を行う。このイコライザは、LC 遅延線の帯域が波形等価できる帯域となるので、高周波信号を波形

等価する事が出来る。実際、2003年には BiCMOS を用いて 10 Gb/s[19]、2005年には CMOS で 10 Gb/s[20]、30 Gb/s[21]を達成するイコライザが報告されている。しかしながら、LC 遅延線のインダクタによる面積が非常に大きい事が問題として挙げられる。最後に、増幅器を利用したフィードフォワード型連続時間イコライザについてだが、初期のイコライザは、並列アナログフィルタを利用し、フィルタリングされた信号をコンバイナで足し合わせる事によって波形等価を行っていた。しかしながら、信号を組み合わせるコンバイナにおける負荷容量により帯域を失ってしまい、高周波信号の波形等価に困難を生じた[22-24]。

そこで、本研究では、8 Gb/s まで達成した直列型イコライザ[25]を応用し、広帯域化技術によりイコライザの帯域を延ばし、さらにその広帯域増幅器に高次ゼロ点形成技術を用いる事で、低消費電力かつ小面積で 10 Gb/s までの波形等価を達成した[26]。なお、現在では、本研究の手法に、さらにインダクタピーキングを利用する事により、20 Gb/s まで波形等価できる技術が報告されている[27]。

2.3 伝送線路損失

本研究は複数のプロセッサから構成されるハイエンドネットワークサーバ用のインターフェースチップの実現を目指している。このようなサーバインターフェースでは、プリント基板上の配線からバックプレーン伝送までを考慮する必要がある。バックプレーンとは、Fig. 2. 2 に示すような構造をしており、ラインカードとラインカードを接続する為の伝送線路である。つまり、バックプレーンは、配線とコネクタのみを持つプリント基板のことであり、剛性の専用ケーブルと考えることができる。

信号周波数が GHz 帯に入る以前は、伝送線路全般にわたるインピーダンス整合が主たる問題であったが、近年の 1 GHz を越える高周波数では、既存の問題に加えて誘電体損失、表皮効果という問題が顕著になってきた。誘電体損失とは、伝送線路上の導体（信号線）とグラウンド線のためのプリント配線基板の絶縁材料が誘電体として振る舞う事で、信号のエネルギーが損失してしまう現象である。また、表皮効果とは、信号の周波数が高くなるにつれ、電流が導体の表面部分にしか集まらなくなり、結果として導体に電流が流れにくくなる現象である。これらの損失は、誘電体損失が周波数、表皮効果が周波数の平方根の関数として表される事が知られており、伝送線路における損失の大きさ $|T(f)|$ は、距離 l の関数として次式のように表現される。

$$|T_f| = \exp(-\alpha_1 l \sqrt{f} - \alpha_2 lf) \quad (2-1)$$

ここで、 α_1 及び α_2 は、プリント基板の材質に依存した値である。

本研究では、バックプレーン伝送のシミュレーション用モデルを作成するために、Fig. 2.2 のような実際のバックプレーンからネットワークアナライザを用い、S パラメータを取得し、シミュレーション用の SPICE モデルに変換した。このモデルでは、ラインカード上のチップからの信号は、Bump、FCBGA (Flip Chip Ball Grid Array) パッケージを通して出力され、ラインカード内のプリント基板配線 (15 cm)、コネクタ、バックプレーン内のプリント基板配線、コネクタ、ラインカード内のプリント基板配線 (15 cm) の順に通過し、再び FCBGA パッケージ、Bump を通して、受信側のチップに信号が伝達されると想定し、ラインカード及びバックプレーンに用いられるプリント基板配線用の配線材料としては、megtron5 という低誘電体材料を用いた。Fig. 2.3 は、そのシミュレーション用に変換されたバックプレーン伝送の SPICE モデルから得られた周波数特性を示したものである。バックプレーン内の PCB 配線の長さが、0.3 m、0.8 m、1.3 m、1.8 m、2.3 m、2.8 m にそれぞれ設定した時のものを示した。Fig. 2.4 は、10 Gb/s(5 GHz)におけるバックプレーン伝送モデルの損失量をプロットしたものである。この図より、バックプレーン伝送に必要な距離である PCB 配線 1 m 時の損失の量は、5 GHz において 25 dB であり、イコライザはその損失を補償しなければならない事がわかる。

2.4 回路実装

前節で述べたように、イコライザには 5 GHz において 25 dB 相当の損失の補償が要求される。その要求に応えるためには、イコライザは、5 GHz までの帯域を確保し、高次のゼロ点を形成する必要がある。本節では、提案する高周波用イコライザの広帯域化技術、及び、そのイコライザにおける高次のゼロ点形成技術について回路実装図を示し、解析を行う。

2.4.1 広帯域化技術

イコライザを実現するのに増幅器を利用する場合、増幅器の帯域はイコライザを設

計する上で重要な役割を果たす。もし、増幅器の帯域が信号周波数よりも低ければ、イコライザは波形等価をするどころか、さらに信号を劣化させてしまい、符号間干渉を増大させてしまうからである。広帯域化を容易に達成する手法としては、インダクタを用いた series-peaking、shunt-peaking[28]等がよく知られている。しかしながら、インダクタの利用は、5GHz の増幅器内で用いる場合、インダクタ 1 個当たりの面積として $250 \mu\text{m}^2$ という莫大な面積を要するので出来る限り避ける方が望ましい。そこで、本研究では、インダクタを用いない広帯域化の技術として、利得を犠牲にすることにより帯域を引き伸ばすフィードバック原理を用いた Cherry-Hooper 回路[29]を利用した。本節では、広帯域化のために用いた、イコライザの構成要素の基礎である Cherry-Hooper 回路の解析について述べる。

まず Cherry-Hooper 回路のトランジスタレベルでの回路実装図を Fig. 2.5 に示した。この回路は、通常の差動増幅器を直列に繋いだものに、さらに差動増幅器によるフィードバックをかけたものであり、フィードバックの方式は、出力電圧を検出して、電流にしてフィードバックをかける電圧検出電流出力型のフィードバックである。この回路では、出力から見えるフィードバックの為の容量が、MOS トランジスタのゲート容量のみなので、フィードバックによる負荷のオーバーヘッドを小さくでき、フィードバックによる帯域増加の影響を大きくしている。また、インダクタを用いずトランジスタのみの構成なので、小面積で実現されている。

この Cherry-Hooper 回路の伝達特性は、Fig. 2.5 を半回路化した等価回路である Fig. 2.6 を用いる事により求める事ができる。まず各差動対では、入力の電圧に比例した電流が出力される電圧電流変換が行われる。

$$i_{X1} = V_{IN} \times g_{m1} = V_{IN} \times G_{m1} \quad (2-2)$$

$$i_{X2} = V_X \times g_{m2} = V_X \times G_{m2} \quad (2-3)$$

$$i_{X3} = V_{OUT} \times g_{m3} = V_{OUT} \times G_{m3} \quad (2-4)$$

ここで、 V_X は初段の差動増幅器と次段の差動増幅器の間のノード電圧である。次に、変換された電流は負荷インピーダンスと掛け合さる事によって各ノードにおいて電圧に変換し戻される。

$$V_X = (i_{X1} - i_{X3}) \times Z_1 \quad (2-5)$$

$$V_{OUT} = i_{X2} \times Z_2 \quad (2-6)$$

ここで、各段の負荷インピーダンスはそれぞれ $Z_1 = \frac{R_1}{1 + j\omega C_1 R_1}$, $Z_2 = \frac{R_2}{1 + j\omega C_2 R_2}$ である。

これら式 (2-2) から (2-6) を利用すると、Cherry-Hooper 回路の伝達関数は以下の式

のように表される。

$$\frac{V_{OUT}}{V_{IN}} = \frac{Z_1 Z_2 G_{m1} G_{m2}}{1 + Z_1 Z_2 G_{m2} G_{m3}} = \frac{\frac{G_{m1}}{G_{m3}}}{1 + \frac{1}{R_1 R_2 G_{m2} G_{m3}} (1 + j\omega C_1 R_1)(1 + j\omega C_2 R_2)} \quad (2-7)$$

本研究で実装した Cherry-Hooper 回路では、差動増幅器を 2 段並べたものに対し、フィードバックにより利得を 11 dB(3 倍)失い、カットオフ周波数における帯域を 6.3 倍延ばしている。

2.4.2 高次ゼロ点形成技術

本研究ではバックプレーン伝送で 1 m の距離を伝送させた時生じる 5 GHz で 25 dB の損失を想定している。通常、一つの極（ゼロ点）により生じる損失（補償）は 20 dB/decade なので、この伝送におけるイコライザは複数のゼロ点を持つ高次のイコライザでなければならない。本研究では、前節の Cherry-Hooper 方式を応用し、回路内部に 2 個のゼロ点を作り込む事で、2 次のハイパスフィルタの伝達特性を持つ小面積、低消費電力で実現できるイコライザを実現した (Fig. 2. 7)。

1 つ目のゼロ点は、初段の差動増幅器において source-degeneration として、並列に容量 C_c と抵抗 R_N を挟むことによって作られている。これは高周波では容量の働きにより通常の差動増幅器の働きを果たす。一方で、低周波では容量部分が開放され、初段の差動増幅器は、差動対の間に抵抗を挟む形になり、差動対に流れる電流を抵抗で消費するため利得が下がる。結果として、この差動増幅器は DC の利得を下げる事により、ハイパスフィルタとして動作する。抵抗は、小面積化と広い制御範囲を要求するため、NMOS 抵抗で実現した。後で証明するが、DC ゲインと 1 次のゼロ点の周波数は、この NMOS 抵抗のゲート電圧 V_{RN} によって制御することができる。さらに、この制御は、他の MOS トランジスタのバイアス条件には影響を与えずに制御できる利点を持っている。この段の電流源としては、cascade 型のカレントミラーが用いられている。これは、電流源の内部インピーダンスを増やし、DC 利得の最小値を下げる働きをし、イコライザの利得として 30 dB のダイナミックレンジを補償する役割を果たしている。

2 つ目のゼロ点は、フィードバックループに直列に PMOS 抵抗 R_p を挟み、この抵抗とフィードバックのための差動増幅器の入力容量によって、極を作ることによって実現して

いる。これは、フィードバックに使われる信号の遅延を最適なタイミングにする事で、5 GHzにおける利得を最大化する役割を果たしている。このゼロ点の周波数は、PMOS抵抗のゲート電圧 V_{RP} を調節することで制御することができる。この調節も NMOS抵抗の時と同様に、回路のバイアス条件には影響を与えずに制御する事が可能である。

このイコライザの解析をするために伝達関数を求める事にする。イコライザの伝達関数は、Cherry-Hooper回路を基にしているので、式(2-7)を用いることで容易に求めることができる。具体的には、式(2-7)において、 G_{m1} 、 G_{m3} の部分をイコライザ回路用に置換するだけで良い。Cherry-Hooper回路の時と同様に、イコライザの半回路化した等価回路を Fig. 2. 8 に示した。この回路より、初段の差動増幅器における G_{m1} は以下のように導かれる。

$$\frac{V_X}{V_{IN}} = \frac{g_{m1}Z_1}{1 + g_{m1}\left(\frac{R_N}{1 + j\omega C_C R_N}\right)} = \frac{(1 + j\omega C_C R_N)Z_1}{R_N + \frac{1 + j\omega C_C R_N}{g_{m1}}} \quad (2-8)$$

ここで、 $1 + j\omega C_C R_N \ll g_{m1}R_N$ が成り立つ時、上式は以下のように簡略化される。

$$\frac{V_X}{V_{IN}} \approx \underbrace{\left(\frac{1}{R_N} + j\omega C_C\right)}_{G_{m1}} \times Z_1 \quad (2-9)$$

また、フィードバックに用いられている差動増幅器における G_{m3} も Fig. 2. 8 から以下のように表すことができる。ここで、 C_{in} は差動増幅器の入力のゲート容量を示している。

$$\frac{V_{OUT}}{V_X} = \underbrace{\frac{g_{m3}}{1 + j\omega C_{in} R_p}}_{G_{m3}} \times Z_1 \quad (2-10)$$

これらの式(2-9)、(2-10)をCherry-Hooper回路の伝達関数である式(2-7)に代入すると、イコライザの伝達関数は以下ようになる。

$$\frac{V_{OUT}}{V_{IN}} = \frac{\left(\frac{1}{R_N} + sC_C\right)(1 + sC_{in}R_p)\frac{1}{g_{m3}}}{1 + (1 + sC_1R_1)(1 + sC_2R_2)(1 + sC_{in}R_p)\frac{1}{R_1R_2g_{m2}g_{m3}}} \quad (2-11)$$

ここで、ループゲイン $R_1R_2g_{m2}g_{m3}$ が十分に大きいと仮定すると、イコライザの伝達関数は最終的に次式のように簡略化する事ができる。

$$\frac{V_{OUT}}{V_{IN}} \approx \frac{1}{g_{m3}R_N}(1+sC_C R_N)(1+sC_{in}R_P) \quad (2-12)$$

この式から、DC ゲインと 1 次のゼロ点の周波数が R_N によって調節でき、2 次のゼロ点の周波数が R_P によって調節でき、さらにこれらの調節が独立に行えることがわかる。

Fig. 2. 9 は、イコライザの制御性を示す為に行った SPICE シミュレーションの周波数特性を示している。Fig. 2. 9 (a) は、NMOS 抵抗のゲート電圧 V_{RN} を振ったものであり、Fig. 2. 9 (b) は、PMOS 抵抗のゲート電圧 V_{RP} を振った時のものである。Fig. 2. 9 (a) より、 V_{RN} の制御により DC ゲインと 1 次のゼロ点の位置が調節されている事がわかる。また、NMOS 抵抗を使うことにより幅広い制御が可能となっており、利得の制御範囲は 30 dB 確保できている事が示せた。Fig. 2. 9 (b) では、 V_{RP} の制御により、DC ゲインと 1 次のゼロ点に影響を与える事無く、2 次のゼロ点の位置が調節できていることが分かる。また、周波数特性の傾きが +40 dB/dec となる周波数は 900 MHz から 7 GHz まで調節可能な事も見てとれる。このように、イコライザはその周波数特性に二つの独立したゼロ点を持っているので、様々な伝送線路の周波数特性による損失を補償する事ができる。

2.4.3 バッファ段

イコライザは、DC での利得を落とすことにより、伝送線路で生じた高周波への信号損失を補償する。そのため、イコライザの後段において、波形等価後の信号を増幅する必要がある。その増幅の為、イコライザの出力は、Cherry-Hooper 方式を用いた 2 段のバッファに送られる (Fig. 2. 7)。最初のバッファは、可変利得増幅器である。イコライザは、DC ゲインを落とすことによって波形を等価するので、損失が大きい伝送線路を通した信号のイコライザ出力は振幅が小さくなる。一方で、ほとんど損失が無い伝送線路を通過した信号は、DC 利得を落とす必要が無いので、大きい振幅のまま出力される。そこで、この両方の出力信号に対応した増幅が必要となる。利得の可変には、バッファの出力に PMOS の可変抵抗を挟む事により制御できるようにした。これは、回路のバイアス条件に変化を与えずに制御できる利点を持っている。可変利得増幅器の利得の調節範囲は、0 dB から 9 dB となるようにした。

二つ目のバッファは、後段に続く CDR の入力容量を駆動するために作成されたバッファである。CDR は、50 Ω 入力線から駆動されるように設計されているものを再

利用した為、400 fF という、トランジスタ 1 個 ($L=0.11 \mu\text{m}$, $W=3 \mu\text{m}$) あたりのゲート容量(30fF)に比べて巨大な入力容量がついてしまっている。CDR を含めた最適化を行えば、バッファのサイズは小さくなり、より小面積で低電力なイコライザ回路を作成できるが、設計時間の制約の為、本研究ではそのまま使用した。

2.5 測定結果

本研究で設計したイコライザ付き受信器は、0.11- μm CMOS プロセスを用いて試作した。Fig. 2. 10 に、その受信器のブロックダイアグラムを示す。伝送線路を通り減衰した入力信号は、off-chip 容量を通してコモンモード電圧を除去される。その後、入力信号はチップ内で poly 抵抗により終端され、参照電圧 v_{ref} によりイコライザにとって最適なコモンモード電圧を与えられる。イコライザは伝送線路で損失した信号を波形等価し、後続のクロックデータリカバリ (CDR) とチャネル応答測定回路 (ISI monitor : 3 章で詳細を述べる) に信号を渡す。クロックデータリカバリ回路は、以前我々が作成した受信器を再利用した[30]。Fig. 2. 11 には、試作した受信器のチップ写真を示した。受信器全体の面積は 1.044 mm^2 であり、消費電力は 133 mW であった。イコライザによるオーバーヘッドは、面積において $47 \mu\text{m} \times 85 \mu\text{m}$ 、消費電力において 13.2 mW であり、これはそれぞれ受信器全体の 0.5 %、10 %に相当する。Fig. 2. 12 は、測定のセットアップを示したものである。測定はプローブカードを用いて行われた。パルスパターン発生器 (PPG) は、振幅が 600 mV peak-to-peak である $2^{23}-1$ パターンの擬似ランダム信号 (PRBS) を発生させ (Fig. 2. 13)、伝送線路を通過させ、受信器に信号を入力する。伝送線路は、本来はバックプレーンでの伝送実験を行う事が望ましいが、測定装置の都合上、AWG28 ワイヤが代替として用いられた。また、受信器の出力は bit error rate (BER) を測定するために Bit Error Rate Tester (BERT) に渡されている。

Fig. 2. 14 は、イコライザ回路の入力にあたるワイヤ出力の eye ダイアグラムを示したものである。伝送線路としては、AWG28 ワイヤを使用しており、ワイヤの長さ及び 5 GHz における損失は 3 m (5 dB)、7 m (10 dB)、10 m (14 dB)、16m (21.7 dB) のものである。したがって、イコライザまでの合計の損失は、プローブカード、コネクタとして 3 dB の損失が付け加わったものになる。Fig. 2. 15 には、Fig. 2. 14 で示した波形をイコライザに入力した時のイコライザ回路の出力における eye ダイアグラムである。この eye ダイアグラムは、イコライザ回路の後ろに出力バッファをつけた別

のテストチップから得られたものである。見て分かるように、伝送線路の出力では、全く eye が開いていなかったものが、イコライザ回路後では、しっかり開いており、0 dB から 25 dB にかけて波形等価出来ることが示せた。そして、伝送線路が 20 dB の時のイコライザ出力信号の振幅は、CDR において BER が 10^{-12} で受信できる 80mVp-p であり、また、その信号のジッターは、29.8 ps peak-to-peak であった。

最後に、受信器のバスタブカーブを Fig. 2. 16 に示した。伝送線路の損失が 0 dB から 20 dB の時の BER を測定した。イコライザのパラメータ V_{RN} と V_{RP} は、Fig. 2. 15 を取得する際に利用した値を基に手動で調節した。BER が 10^{-12} 以下を保証するタイミングマージンは、20 dB の伝送線路損失の時 35 ps であった。Fig. 2. 16 には、イコライザの入力信号でのタイミングマージンと出力信号でのタイミングマージンの関係を示す。イコライザは、伝送線路の損失が 10 dB 以上の時にタイミングマージンを増やす働きを示し、特に、伝送線路の損失が 20 dB の時では、40 %のタイミングマージンの改善を達成した。最後に、測定したイコライザ回路の性能を、参考文献のイコライザ回路の性能と比較したものを、Table. 2. 1 にまとめた。見て分かるように、本研究で提案したイコライザは、小面積かつ低消費電力で実現できている。

2.6 おわりに

本章ではバックプレーン伝送及び長距離伝送を可能にする高周波波形等価技術について述べた。提案するイコライザは、インダクタを用いない広帯域化手法として Cherry-Hooper 回路を利用し、高次のゼロ点形成については、source-degeneration 技術とフィードバックループに極を作る事で、2 次のゼロ点作成を、小面積かつ低消費電力で実現した。これらのゼロ点は、独立に制御可能である事を示し、最長 20 dB までの様々な伝送距離に対応できる事を示した。また、このイコライザを受信器と共に実装し、BER が 10^{-12} 以下で受信できる事を示した。

参考文献 (第 2 章)

- [1] G. T. Uehara and P. R. Gray, "A 100 MHz A/D Interface for PRML Magnetic Disk Read Channels," *IEEE J. Solid-State Circuits*, vol. 29, no. 12, pp. 1606-1613, May. 1994.
- [2] N. P. Sands, M. W. Hauser, G. Liang, G. Groenewold, S. Lam, C. Lin, J. Kuklewicz, L. Lang and R. Dakshinamurthy, "A 200Mb/s Analog DFE Read Channel," in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 72-73, Feb. 1996.
- [3] R. B. Staszewski, K. Muhammad and P. Balsara, "A 550-MSample/s 8-Tap FIR Digital Filter for Magnetic Recording Read Channels," *IEEE J. Solid-State Circuits*, vol. 35, no. 8, pp. 1205-1210, Aug. 2000.
- [4] D. C. Wei, D. Q. Sun and A. A. Abidi, "A 300-MHz Fixed-Delay Tree Search-DFE Analog CMOS Disk-Drive Read Channel," *IEEE J. Solid-State Circuits*, vol. 36, no. 11, pp. 1795-1807, Nov. 2001.
- [5] J. Everitt, J. F. Parker, P. Hurst, D. Nack and K. R. Konda, "A CMOS Transceiver for 10-Mb/s and 100-Mb/s Ethernet," *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 2169-2177, Dec. 1998.
- [6] O. Shoaie, A. Shoval and R. Leonowich, "A 3V Low-Power 0.25 μ m CMOS 100Mb/s Receiver for Fast Ethernet," in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 308-309, Feb. 2000.
- [7] N. P. Kelly, D. L. Ray and D. W. Vogel, "A Mixed-Signal DFE/FFE Receiver for 100Base-TX Applications," in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 310-311, Feb. 2000.
- [8] P. Roo, S. Sutardja, S. Wei, F. Aram and Y. Cheng, "A CMOS Transceiver Analog Front-End for Gigabit Ethernet over CAT-5 Cables," in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 310-311, Feb. 2001.
- [9] J. Kim, H. Hatamkhani and C. K. Yang, "An 8Gb/s Transformer-Boosted Transmitter with $>V_{DD}$ Swing," in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 94-95, Feb. 2006.
- [10] A. Fiedler, R. Mactaggart, J. Welch and S. Krishnan, "A 1.0625Gbps Transceiver with 2x-Oversampling and Transmit Signal Pre-Emphasis," in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 238-239, Feb. 1997.
- [11] R. Farjad-Rad, C. K. Yangi, M. A. Horowitz and T. H. Lee, "A 0.4- μ m CMOS 10-Gb/s

- 4-PAM Pre-Emphasis Serial Link Transmitter,” *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp. 580-585, May. 1999.
- [12] C. Menolfi, T. Tolfi, R. Reutemann, M. Ruegg, P. Buchmann, M. Kossel, T. Morf and M. Schmatz, “A 25Gb/s PAM4 Transmitter in 90nm CMOS SOI,” in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 72-73, Feb. 2005.
- [13] A. Ho, V. Stojanovic, F. Chen, C. Werner, G. Tsang, E. Alon, R. Kollipara, J. Zerbe and M. A. Horowitz, “Common-mode Backchannel Signaling System for Differential High-speed Links,” in *IEEE Symp. VLSI Circuits*, Dig. Tech. Papers, pp. 352-355, Jun. 2004.
- [14] B. Song and D. C. Soo, “NRZ Timing Recovery Technique for Band-Limited Channels,” *IEEE J. Solid-State Circuits*, vol. 32, no. 4, pp. 514-520, Apr. 1997.
- [15] J. Zerbe, C. W. Werner, V. Stojanovic, F. Chen, J. Wei, G. Tsang, D. Kim, W. F. Stonecypher, A. Ho, T. P. Thrush, R. T. Kollipara, M. A. Horowitz and K. S. Donnelly, “Equalization and Clock Recovery for a 2.5-10-Gb/s 2-PAM/4-PAM Backplane Transceiver Cell,” *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2121-2130, Dec. 2003.
- [16] M. Meghelli, S. Rylov, J. Bulzacchelli, W. Rhee, A. Rylyakov, H. Ainspan, B. Parker, M. Beakes, A. Chung, T. Beukema, P. Pepeljugoski, L. Shan, Y. Kwark, S. Gowda and D. Friedman, “A 10Gb/s 5-Tap-DFE/4-Tap-FFE Transceiver in 90nm CMOS,” in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 80-81, Feb. 2006.
- [17] H. Tamura, K. Gotoh, H. Araki, S. Wakayama, T. S. Cheung, M. Saito, J. Ogawa, Y. Kato, T. Nishi, M. Kawano, M. Taguchi and T. Imamura, “PRD-Based Global-Mean-Time Signaling for High-Speed Chip-to-Chip Communications,” in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 164-165, Feb. 1998.
- [18] J. E. Jaussi, G. Balamurugan, D. R. Johnson, B. Casper, A. Martin, J. Kennedy, N. Shanbhag and R. Mooney, “8-Gb/s Source-Synchronous I/O Link With Adaptive Receiver Equalization, Offset Cancellation and Clock De-Skew,” *IEEE J. Solid-State Circuits*, vol. 40, no. 1, pp. 80-88, Jan. 2005.
- [19] H. Wu, J. A. Tierno, P. Pepeljugoski, J. Schaub, S. Gowda, J. A. Kash and A. Hajimiri, “Integrated Transversal Equalizers in High-Speed Fiber-Optic Systems,” *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2131-2137, Dec. 2003.
- [20] S. Reynolds, P. Pepeljugoski, J. Schaub, J. Tierno and D. Beisser, “A 7-Tap Transverse Analog-FIR Filter in 0.13 μ m CMOS for Equalization of 10Gb/s Fiber-Optic Data Systems,” in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 330-331, Feb. 2005.

- [21] J. Sewter and A. C. Carusone, "A CMOS Finite Impulse Response Filter With a Crossover Traveling Wave Topology for Equalization up to 30 Gb/s," *IEEE J. Solid-State Circuits*, vol. 41, no. 4, pp. 909-917, Apr. 2006.
- [22] Y. Kudoh, M. Fukaishi and M. Mizuno, "A 0.13- μ m CMOS 5-Gb/s 10-m 28AWG Cable Transceiver With No-Feedback-Loop Continuous-Time Post-Equalizer," *IEEE J. Solid-State Circuits*, vol. 38, no. 5, pp. 741-746, May. 2003.
- [23] J. Choi, M. Hwang and D. Jeong, "A 0.18- μ m CMOS 3.5-Gb/s Continuous-Time Adaptive Cable Equalizer Using Enhanced Low-Frequency Gain Control Method," *IEEE J. Solid-State Circuits*, vol. 39, no. 3, pp. 419-425, Mar. 2004.
- [24] H. Higashi, S. Masaki, M. Kibune, S. Matsubara, T. Chiba, Y. Doi, H. Yamaguchi, H. Takauchi, H. Ishida, K. Gotoh and H. Tamura, "A 5-6.4-Gb/s 12-Channel Transceiver With Pre-Emphasis and Equalization," *IEEE J. Solid-State Circuits*, vol. 40, no. 4, pp. 978-985, Apr. 2005.
- [25] R. Farjad-Rad, H. Ng, M.-J. E. Lee, R. Senthinathan, W. J. Dally, A. Nguyen, R. Rathi, J. Poulton, J. Edmondson, J. Tran and H. Yazdanmehr, "0.622-8.0Gbps 150mW Serial IO Macrocell with Fully Flexible Preemphasis and Equalization," in *IEEE Symp. VLSI Circuits*, Dig. Tech. Papers, pp. 63-66, Jun. 2003.
- [26] Y. Tomita, M. Kibune, J. Ogawa, W. W. Walker, H. Tamura and T. Kuroda, "A 10-Gb/s Receiver With Series Equalizer and On-Chip ISI Monitor in 0.11- μ m CMOS," *IEEE J. Solid-State Circuits*, vol. 40, no. 4, pp. 986-993, Apr. 2005.
- [27] J. Lee, "A 20Gb/s Adaptive Equalizer in 0.13 μ m CMOS Technology," in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 92-93, Feb. 2006.
- [28] S. Galal and B. Razavi, "40-Gb/s Amplifier and ESD Protection Circuit in 0.18- μ m CMOS Technology," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2389-2396, Dec. 2004.
- [29] E. M. Cherry and D. E. Hooper, "The design of wide-band transistor feedback amplifier," *Proc. Inst. Elec. Eng.*, vol. 110, pp. 375-389, Feb. 1963.
- [30] H. Takauchi, H. Tamura, S. Matsubara, M. Kibune, Y. Doi, T. Chiba, H. Anbutsu, H. Yamaguchi, T. Mori, M. Takatsu, K. Gotoh, T. Sakai and T. Yamamura, "A CMOS Multichannel 10-Gb/s Transceiver," *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2094-2100, Dec. 2003.

图表

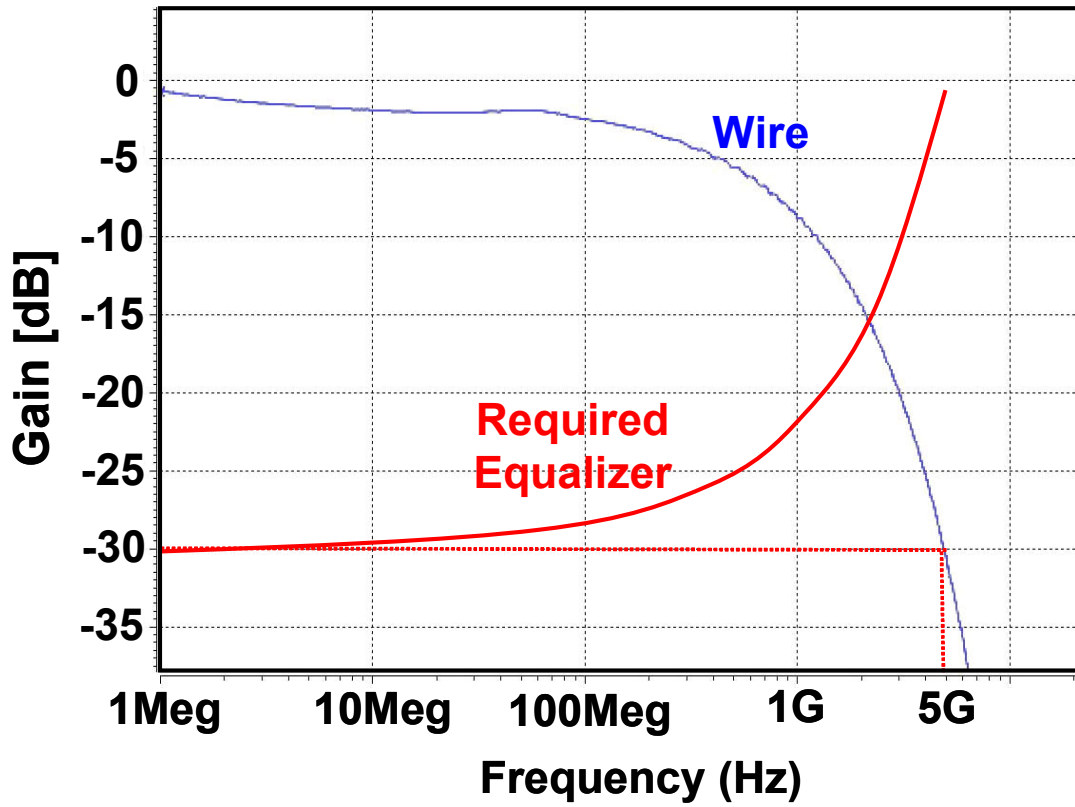


Fig. 2. 1: Principle of equalization.

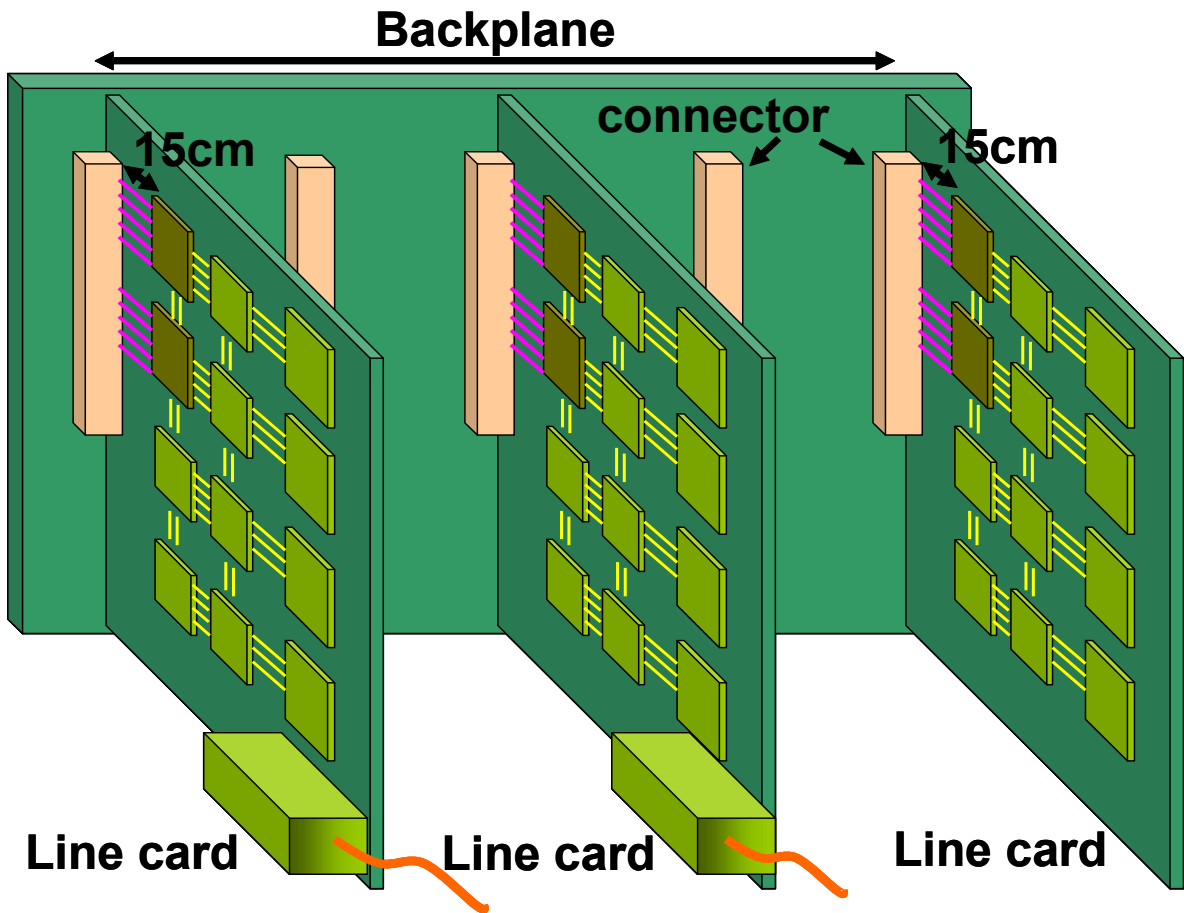


Fig. 2. 2: Backplane transmission model.

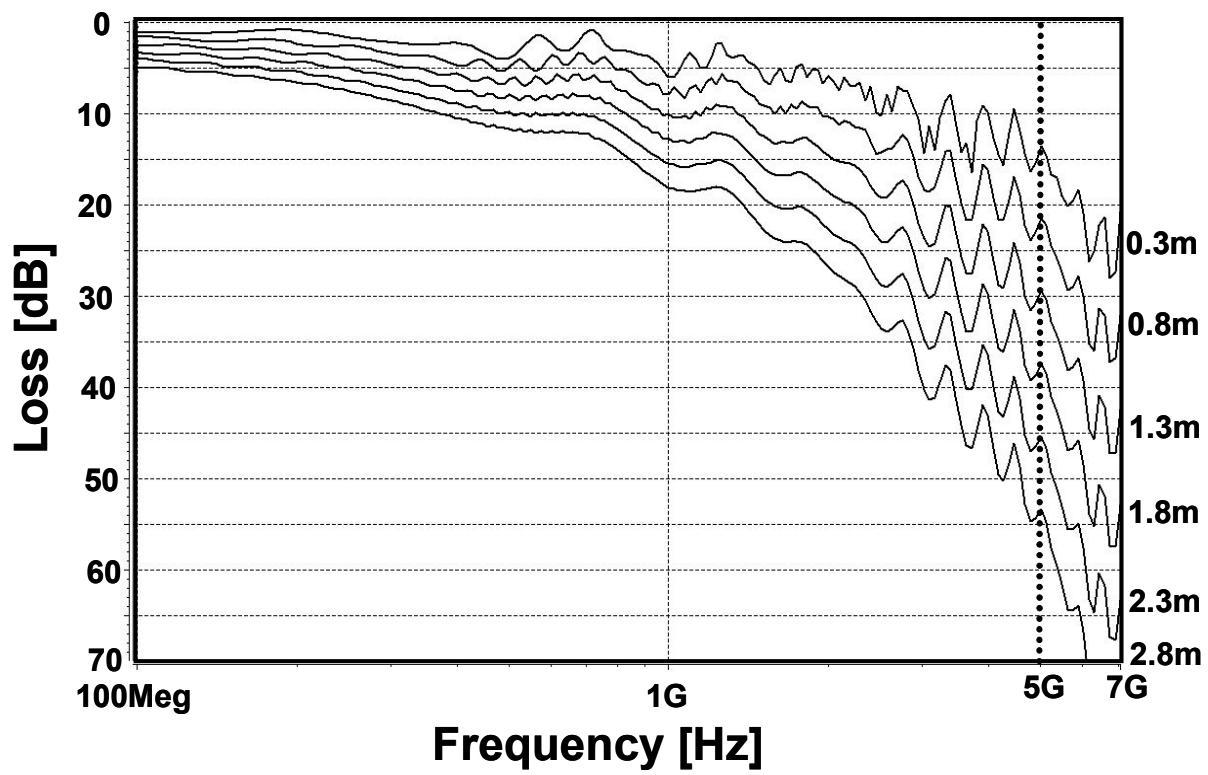


Fig. 2. 3: Frequency characteristics of backplane transmission model.

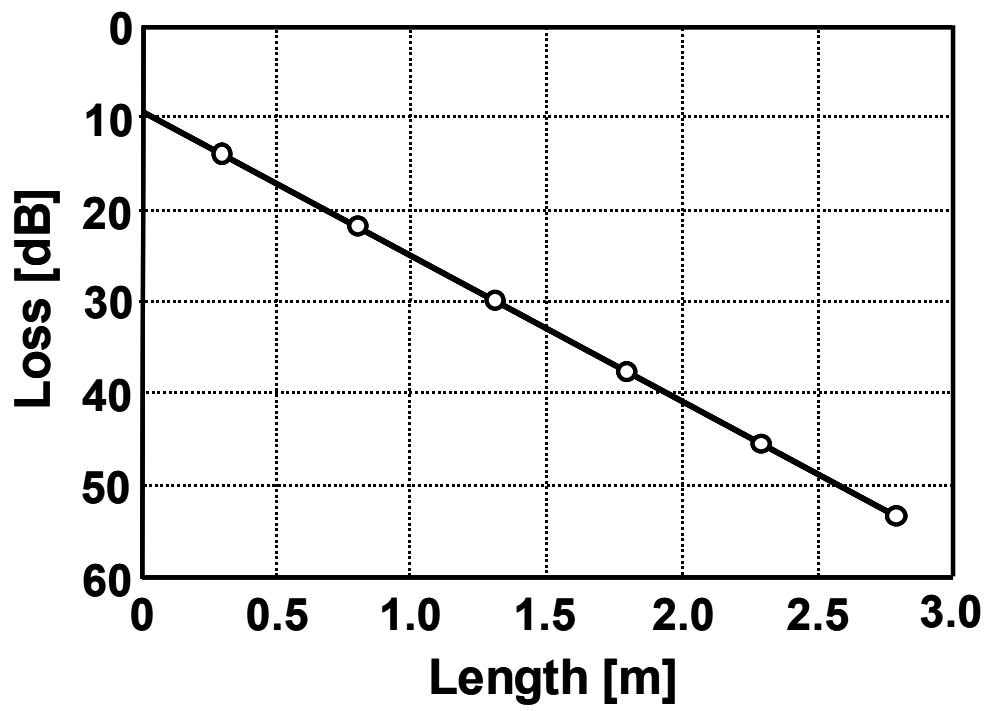


Fig. 2. 4: Loss at 5 GHz of backplane transmission model.

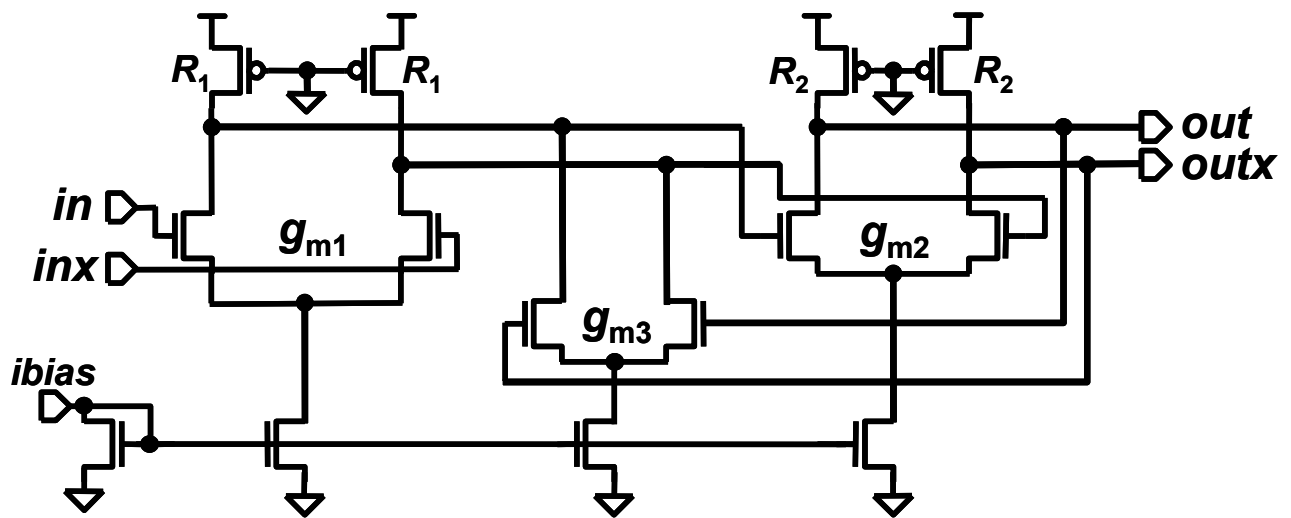


Fig. 2. 5: Cherry-Hooper circuit implementation.

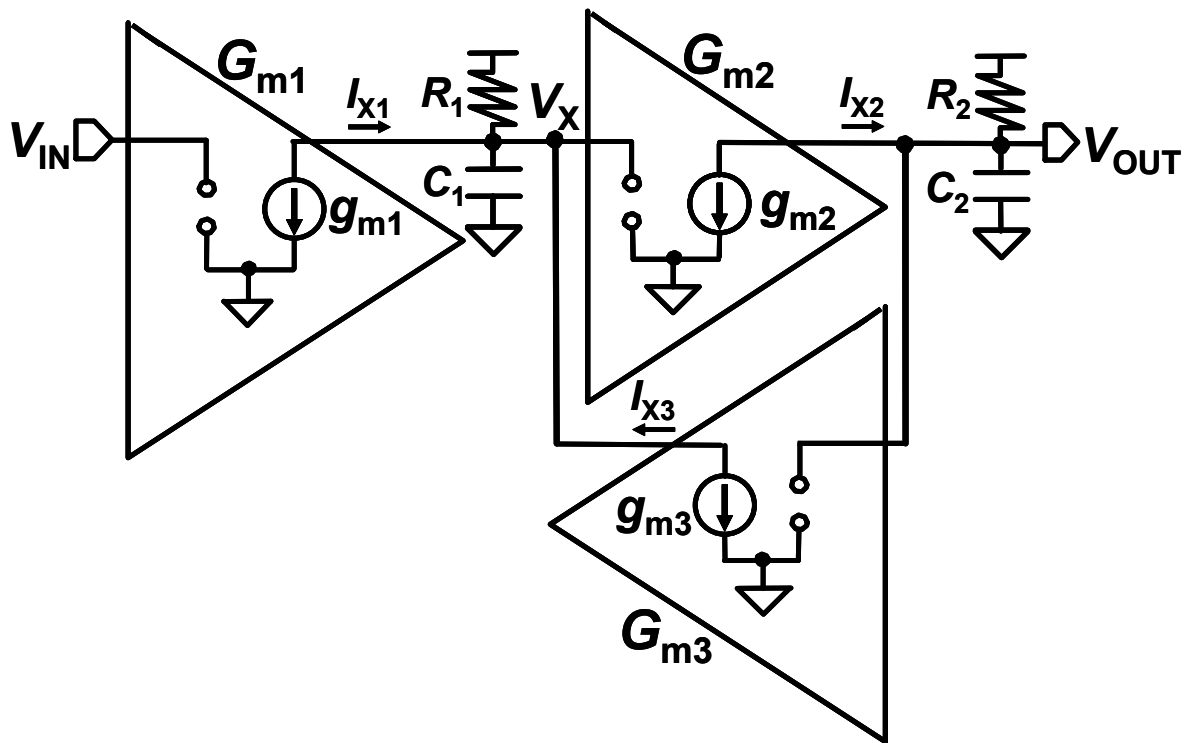


Fig. 2. 6: Equivalent circuit of Cherry-Hooper circuit.

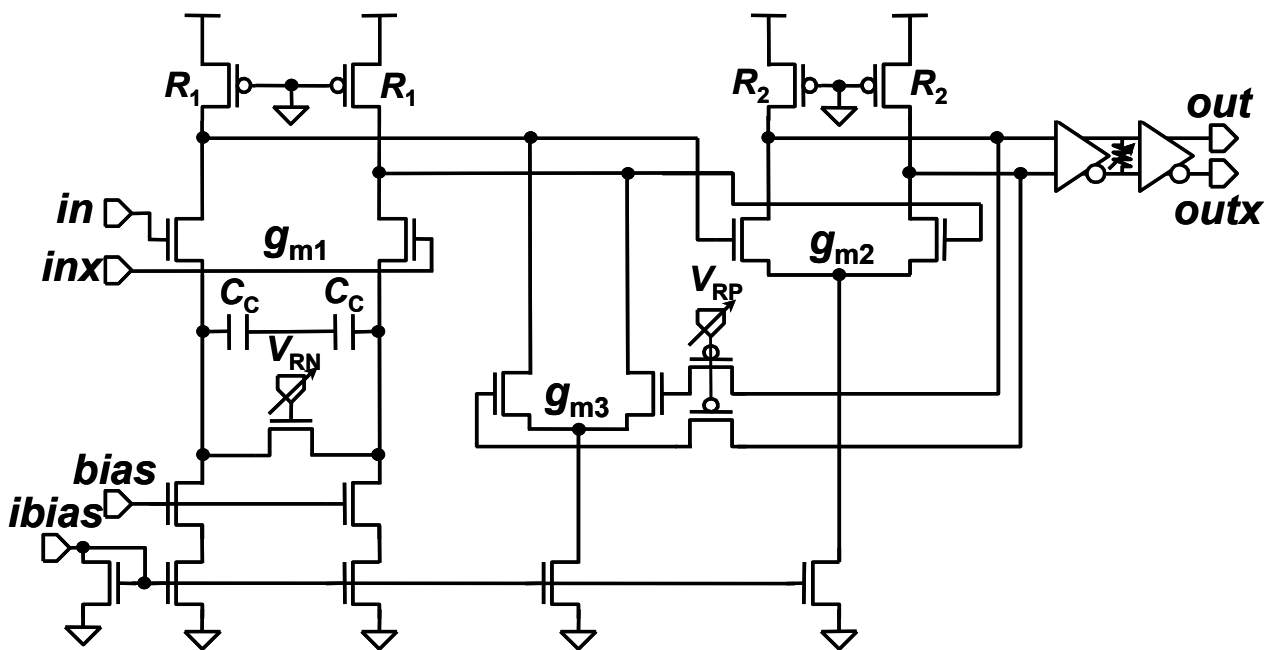


Fig. 2. 7: Proposed equalizer circuit implementation.

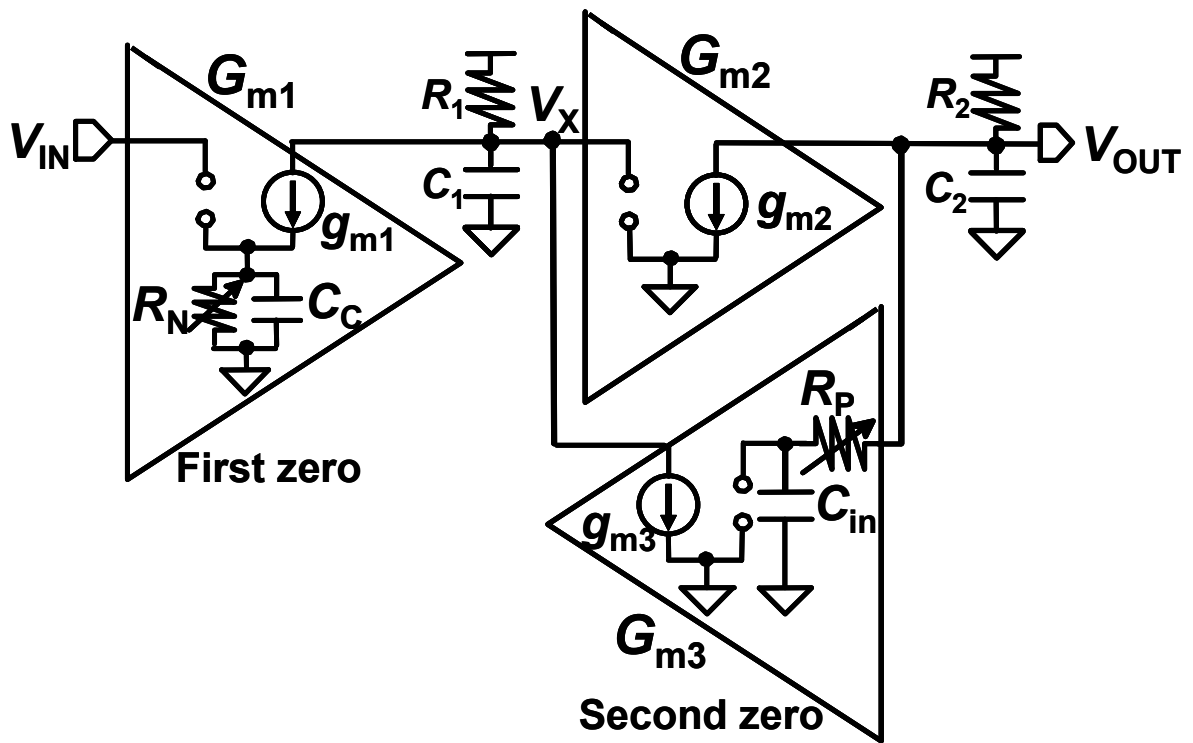
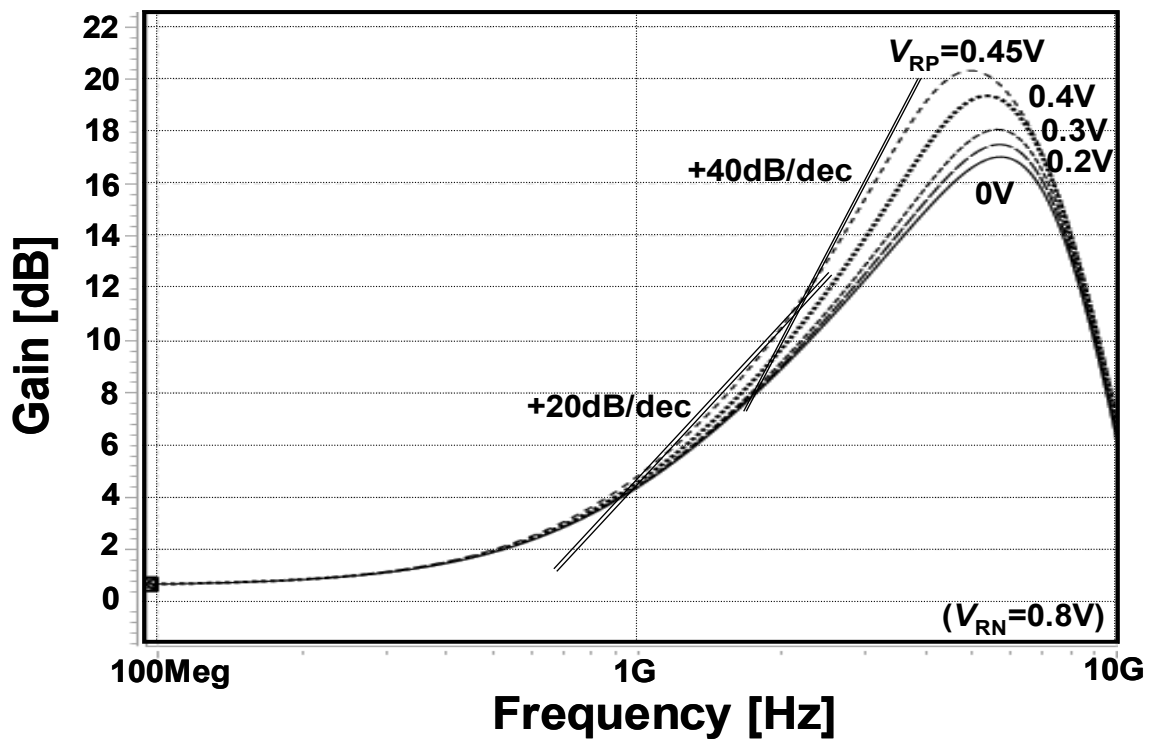
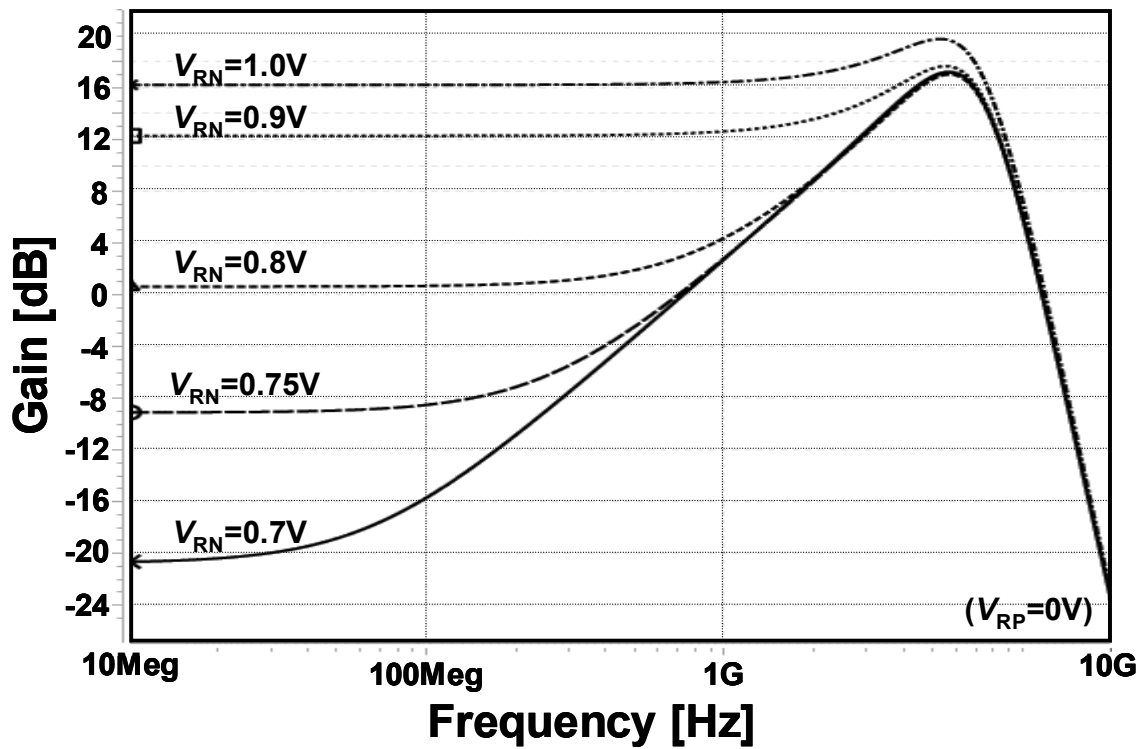


Fig. 2. 8: Equivalent circuit of equalizer circuit.



(a)



(b)

Fig. 2. 9: Frequency response of equalizer circuit of (a) NMOS control, (b) PMOS control.

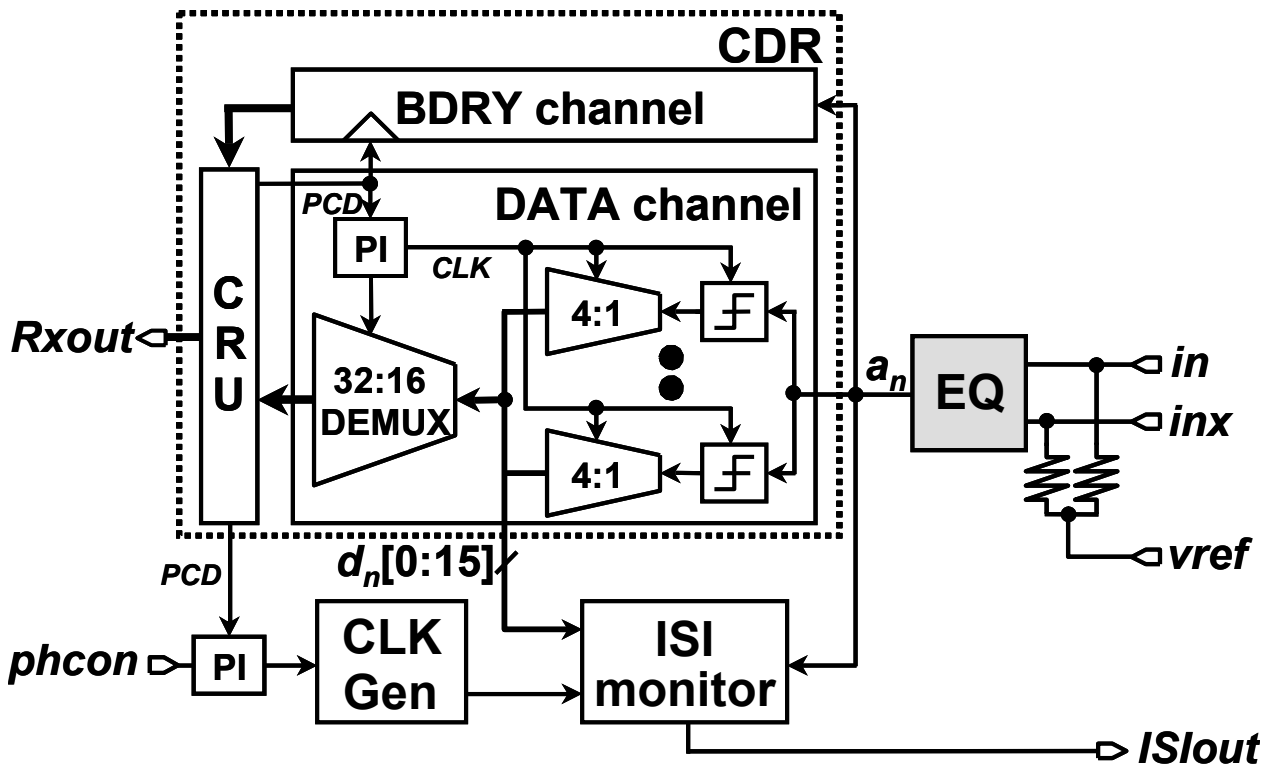


Fig. 2. 10: Receiver block diagram.

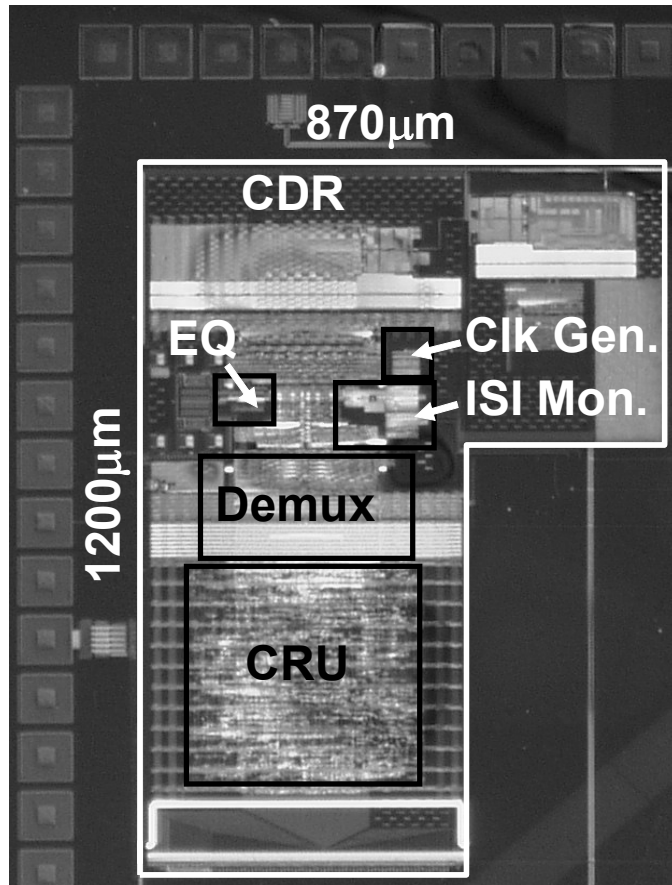


Fig. 2. 11: Chip photomicrograph.

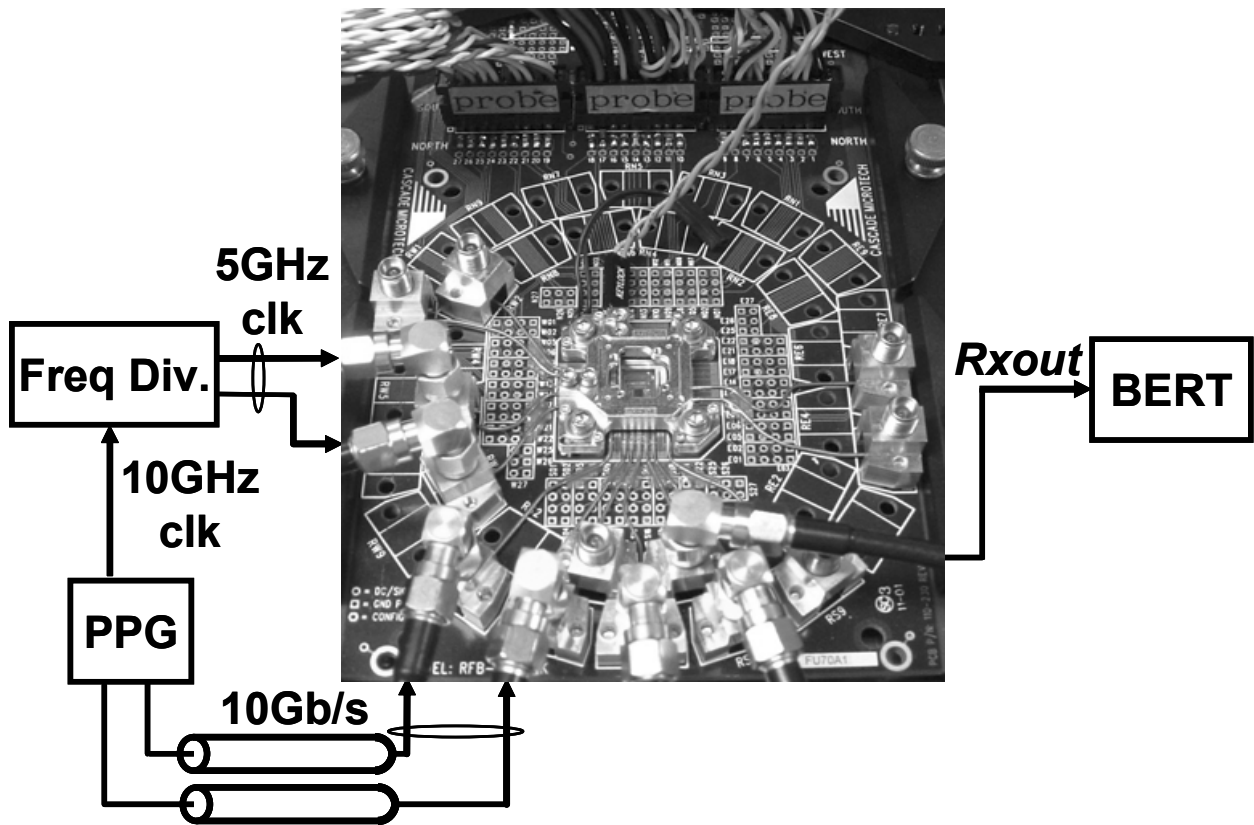


Fig. 2. 12: Measurement environment.

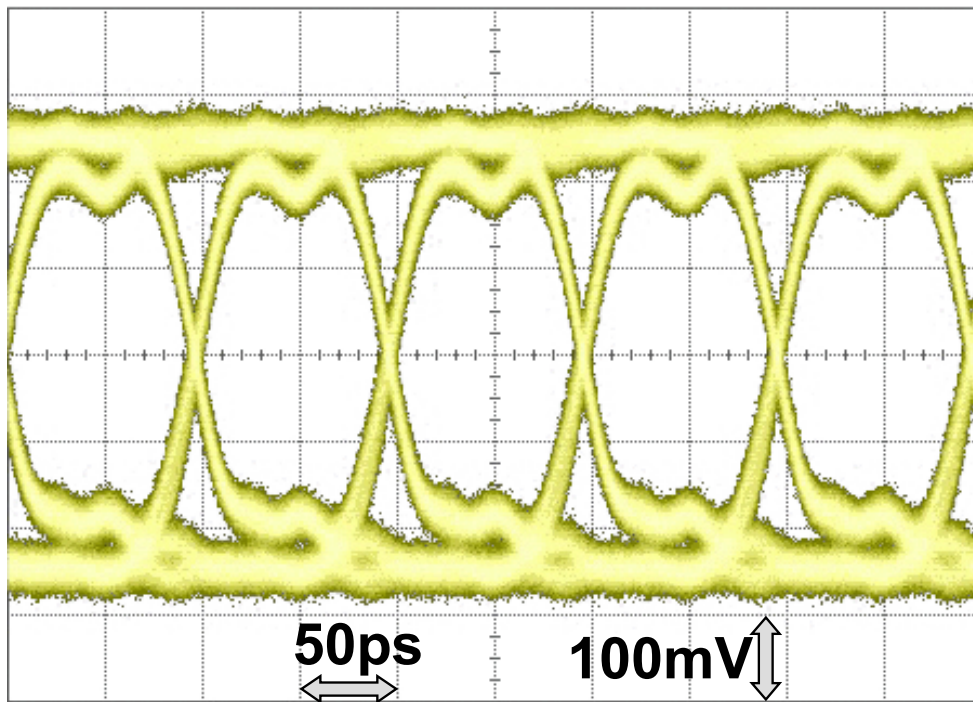
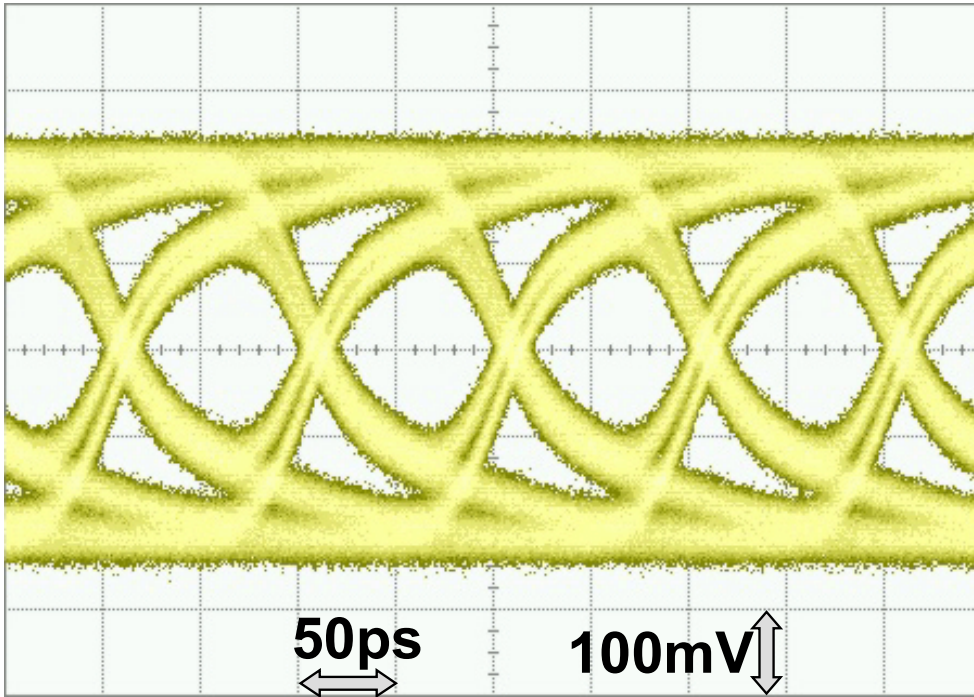
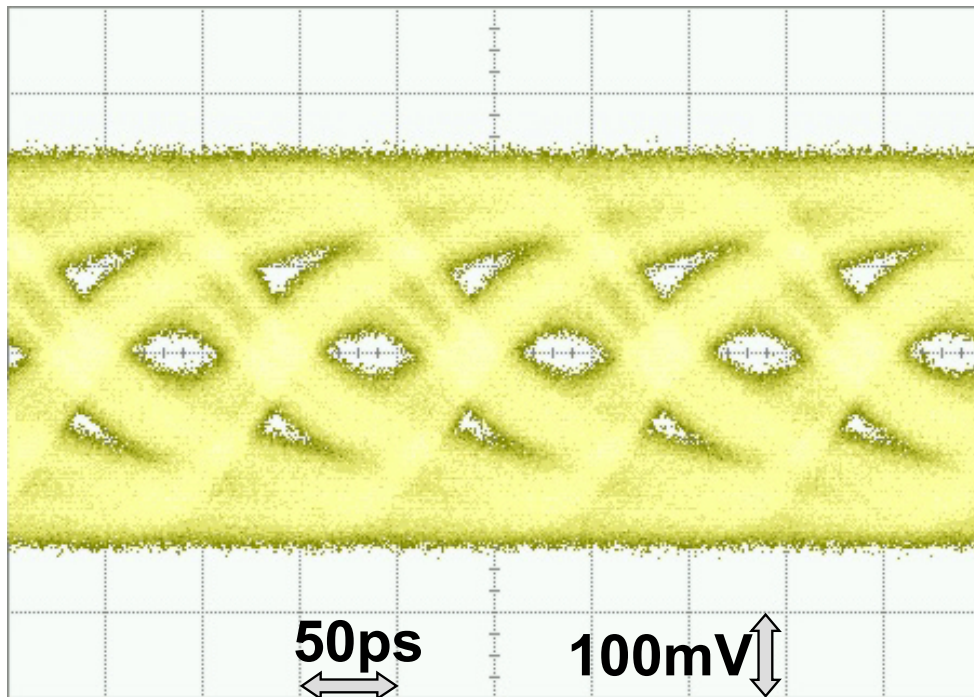


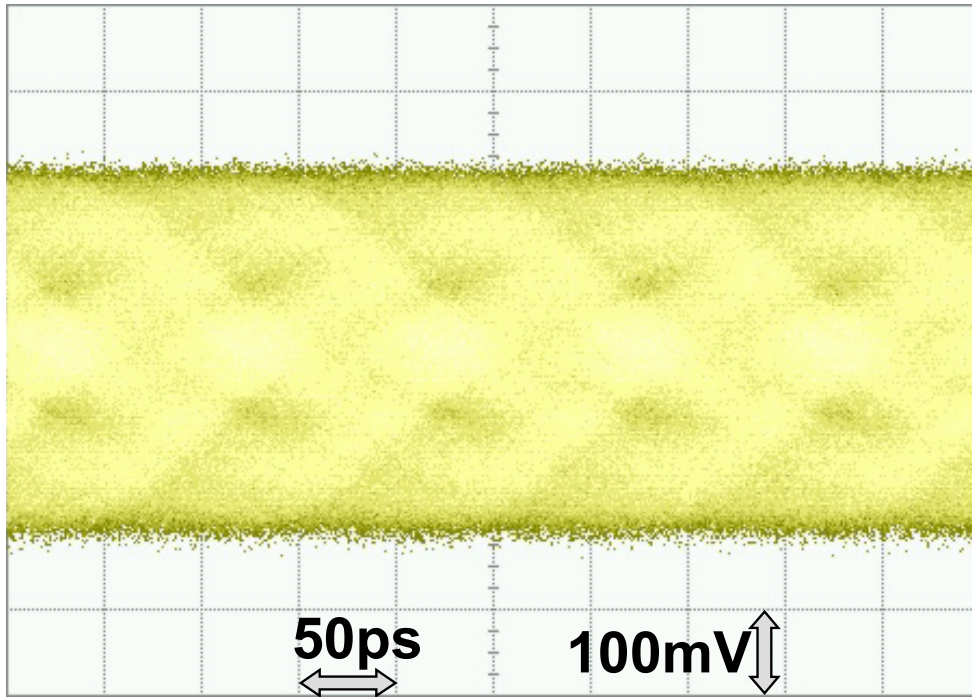
Fig. 2. 13: Eye diagram of transmitter output.



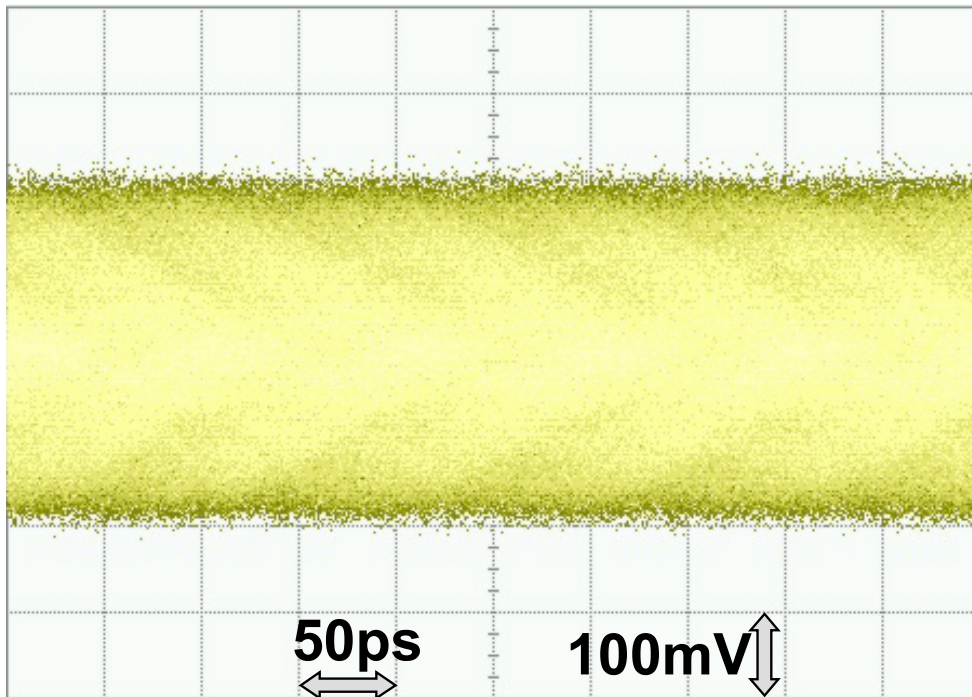
(a) $L = 3 \text{ m}$ (Loss = 5 dB)



(b) $L = 7 \text{ m}$ (Loss = 10 dB)

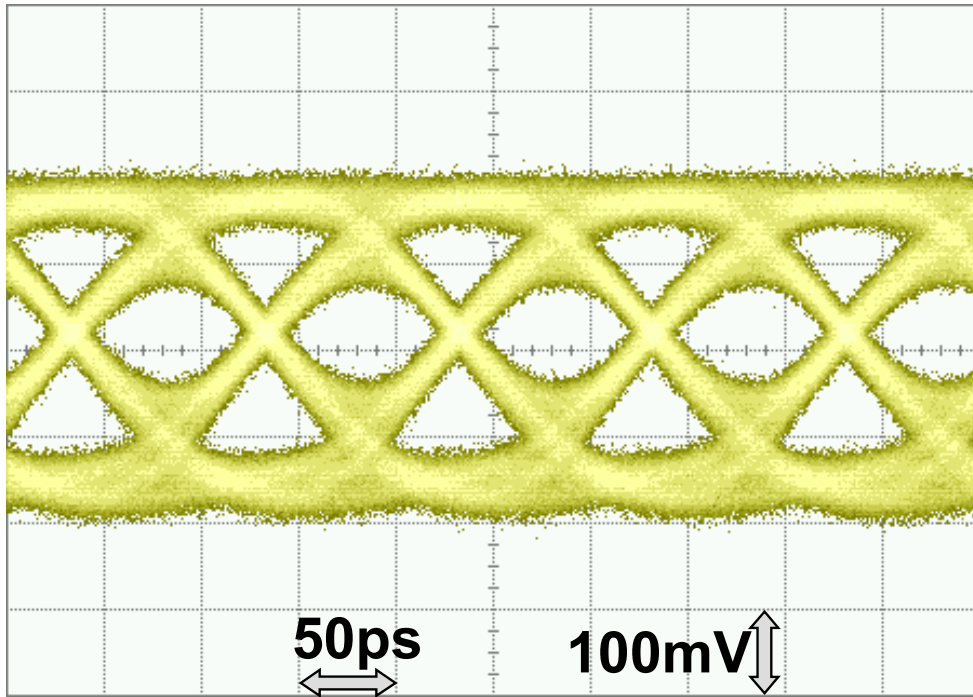


(c) $L=10\text{ m}$ (Loss= 14 dB)

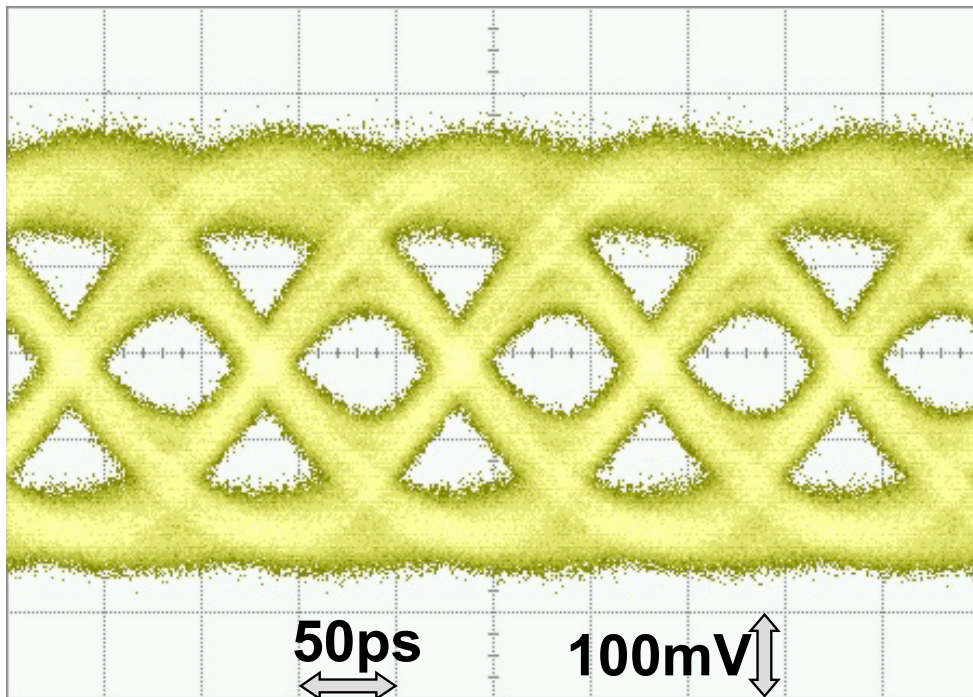


(d) $L=16\text{ m}$ (Loss= 21.7 dB)

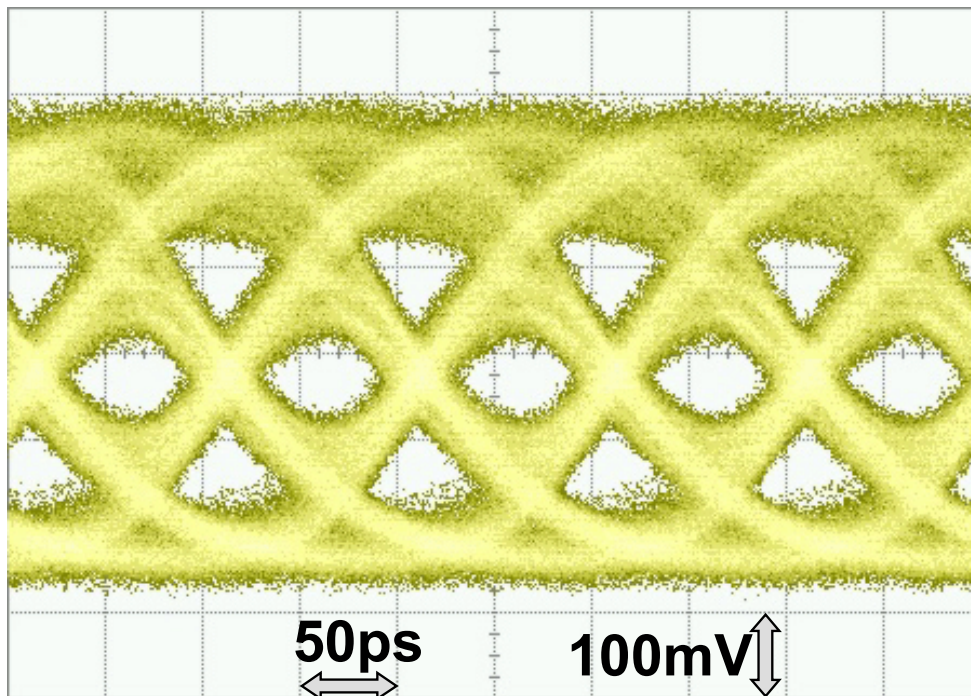
Fig. 2. 14: Eye diagrams of equalizer input at each losses.



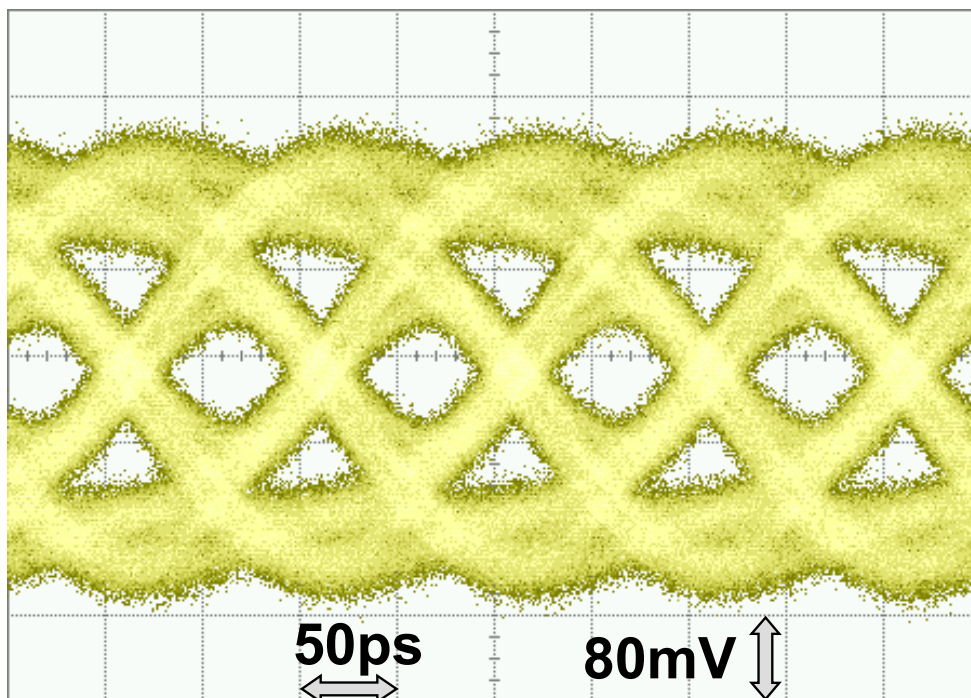
(a) $L = 3 \text{ m}$ (Loss = 5 dB)



(b) $L = 7 \text{ m}$ (Loss = 10 dB)



(c) $L=10\text{ m}$ (Loss= 14 dB)



(d) $L=16\text{ m}$ (Loss= 21.7 dB)

Fig. 2. 15: Eye diagrams of equalizer output at each losses.

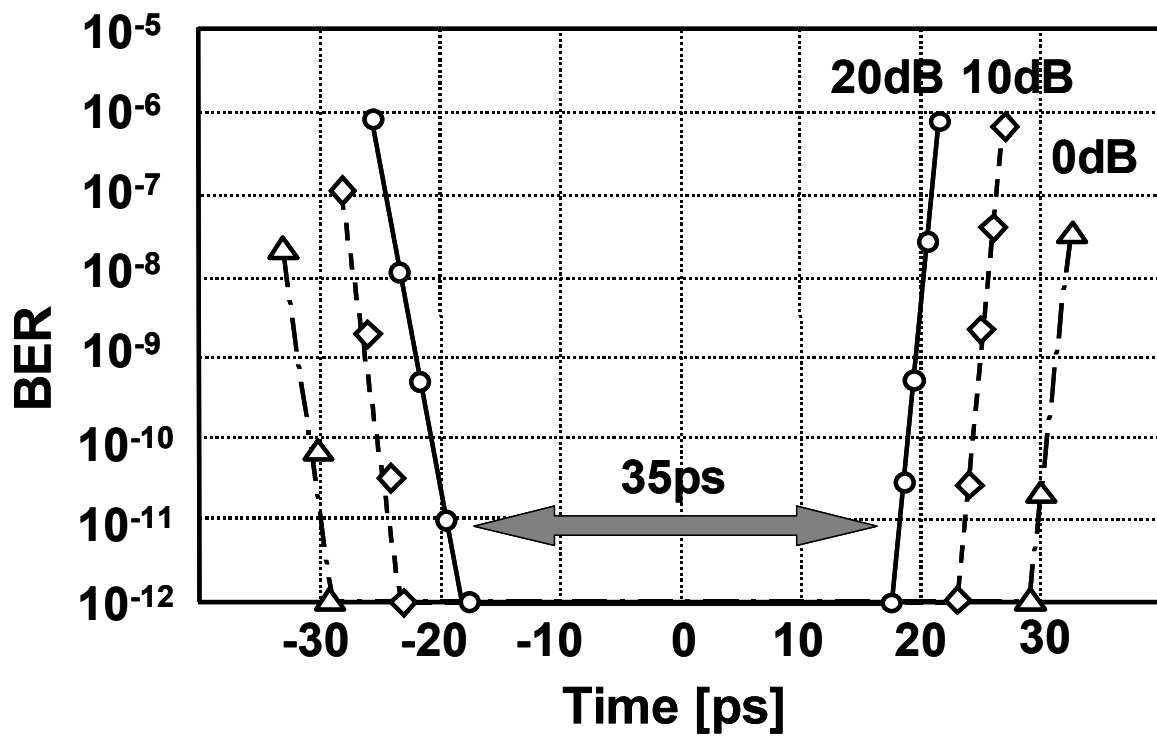


Fig. 2. 16: Bathtub curve.

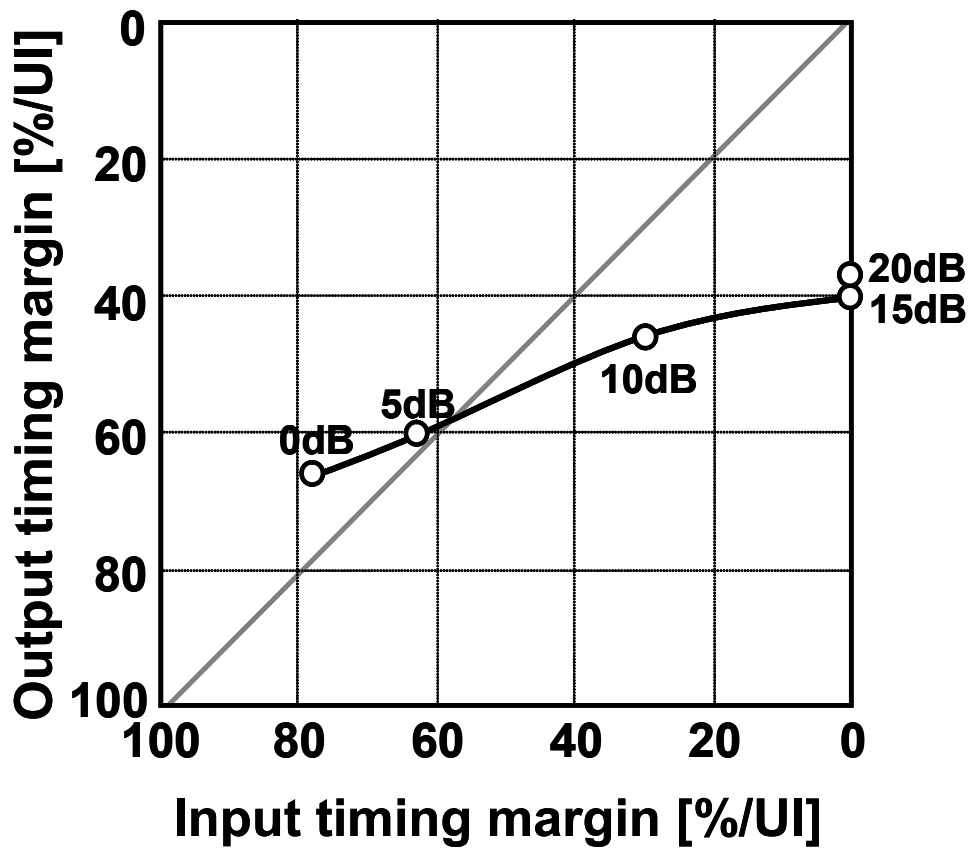


Fig. 2. 17: Timing improvement.

Table. 2. 1: Performance summary.

	Ref. [23]	Ref. [25]	This work	Ref. [27]
Data rate	3.5 Gb/s	8 Gb/s	10 Gb/s	20 Gb/s
Supply voltage	1.8 V	1.2 V	1.2 V	1.5 V
Tech.	0.18-μm CMOS	0.13-μm CMOS	0.11-μm CMOS	0.13-μm CMOS
BER	< 10⁻¹²	< 10⁻¹²	< 10⁻¹²	< 10⁻¹⁵
Jitter	110 ps	29.6 ps	35 ps	14 ps
Area	0.48x0.73 mm²	N/A	0.047x0.085 mm²	0.8x0.25 mm²
Power	80 mW	6 mW	13.2 mW	60 mW
Equalize	< 16 dB	< 7 dB	< 25 dB	< 20 dB

第 3 章

チャネル応答測定技術

3.1 はじめに

近年、チップ内部において信号を測定する技術が注目されている。一つは、ノイズ等の微小信号を測定する技術である。LSIの高集積化、トランジスタの高速化が進み、回路が生じさせるノイズの量は増加する一方で、電源電圧は低くなり、システム全体に与えられるノイズマージンは減少している。そのため、電源ノイズ[1-3]や基板ノイズ[4]を測定する技術が重要となっている。最近の研究成果では、サブサンプリングを用いた電源ノイズ測定手法[1]やインダクタカップリングを用いた電源の di/dt ノイズ測定手法[2]が報告されている。もう一つは、GHzを超える高速な信号を測定する技術である。LSIの高性能化によりチップ内部で扱う信号の周波数が高速化しているため、チップ外に信号を取り出す際、信号が劣化してしまう恐れがある。そこで、測定したい信号をチップ外に取り出すのではなく、チップ内で測定する必要性が生じる。最近の研究成果では、オーバーサンプリングを用いて 1 ps の解像度を持つジッター測定手法[5]、チップ内で判定回路のしきい値とクロックタイミングを変えるオシロスコープ技術[6]が報告されている。

本研究では、波形等価回路（イコライザ）の性能を評価する手法として、チップ内で伝送線路（チャンネル）とイコライザのチャンネル応答を測定する回路技術[7]について述べる。これは、この測定回路から得られたチャンネル応答と理想的なパルス応答を比較し、その差分が最小になるようにイコライザの制御電圧をコントロールする制御回路と組み合わせる事によって、適応制御型イコライザの実現に重要な役割を果たす（Fig. 3.1）。イコライザの出力信号は、10 Gb/s と高速であると同時に、チップ外部に出力するためにバッファを通すとその周波数特性が加味されてしまい、イコライザの正確な特性を評価する事が出来ない。そこで、チップ内に、受信器の判定回路に直接渡されるイコライザの出力信号を測定する回路が必要となる。本研究では、チャンネル応答測定理論をスイッチト・キャパシタ方式を用いて実装する事により低消費電力でチャンネル応答を測定する回路を提案している。

本章の構成は次の通りである。始めにイコライザを評価する様々な従来技術について述べ、その中で、本研究が果たす役割を言及し、本研究の位置づけを行う。その後、本研究で実装されたチャンネル応答測定回路の理論を説明し、さらに、そのチャンネル応答測定回路とそれに必要となるクロックを発生させる複数周波数クロック発生回路について、トランジスタレベルでの回路実装を示す。最後に、実装したチャンネル応答測定回路を含む受信器の測定結果を示し、結論を述べる。

3.2 イコライザ評価技術

前節で述べたように、チップ内でイコライザの出力信号を評価する事は重要である。従来のイコライザの特性を評価する方法としては、アナログフィルタを利用し、チャネル及びイコライザの周波数特性を得るもの[8-12]と、デジタルシグナルプロセッシングを用いるもの[13-18]がある。アナログフィルタを利用するものは、初期はハイパスフィルタのみを利用し、イコライザの出力と判定回路を通した後の理想的な矩形波との高周波成分での比較を行うものであった[8, 9]。しかし、これは直流成分にも損失がある場合、適切な波形等価が行なわれない為、ハイパスフィルタとローパスフィルタの両方を用いる手法が検討された[10, 11]。さらに、2006年には、従来の手法で速度のボトルネックとなっていた判定回路を用いず、理想的なランダム信号の周波数特性とイコライザ出力の周波数特性を比較する方法が提案され、20 Gb/s までのイコライザの適応制御を達成している[12]。しかしながら、アナログフィルタを用いた手法は、抵抗や容量といったアナログ回路素子に絶対値が要求されるため、プロセスバラツキに弱いといった課題が挙げられる。また、ローパスフィルタを作成するために、大きな容量が使われ、面積が大きくなるといった課題もある。デジタルシグナルプロセッシングを用いる手法[13-18]では、イコライザ後の波形と判定回路後の理想的なイコライザ出力との波形の差を、ADC を用いてデジタル信号化し最小二乗法 (LMS) 等の信号処理を用いて収束させる方式[15, 16]や、イコライザ出力を、ADC を用いてデジタル信号化し同様に信号処理によりチャネル応答を計算する方式がある[17, 18]。しかし、いずれの手法も高速な ADC、Digital Signal Processor (DSP) が必要とされ、大きな消費電力が要求される。

本研究は、チャネル応答を測定する手法を、アナログ回路、特にスイッチト・キャパシタ方式を用いて実装したものである[7]。この方式は、スイッチト・キャパシタを構成する容量間の比が重要であり、アナログフィルタの手法のようにアナログ素子の絶対値を必要としないので、プロセスバラツキに強く、また、スイッチト・キャパシタ方式を用いて電荷を再利用する事で、低消費電力で動作する利点を持っている。

3.3 チャネル応答測定の理論

本節では、チャネル応答を測定するための原理について述べる。チャネル応答とは、「伝送線路（チャネル）にインパルスを入力した時に得られるチャネルの出力（インパルス応答）」の事である。送信器がある信号列を入力すると、信号列は1個1個のインパルスの集合体として捉えられるので、受信端での波形というのは、このチャネル応答の重ね合わせで作られる。したがって、周波数依存損失があり、チャネル応答が鈍っている伝送線路に信号列を入力すると、伝送線路を通過した後の波形は、過去の信号の影響が強く残った波形が出力される（Fig. 3. 2）。この波形の鈍りにより、受信器において信号のサンプリングを行うと、サンプリングした信号の前のビット（未来）と後のビット（過去）影響により、信号エラーが生じてしまう。これが符号間干渉（Inter-symbol interference(ISI)）と呼ばれる現象である。本研究では、伝送線路とイコライザを含んだチャネル応答を測定する事で、イコライザの特性を評価する事を研究の目的とする。

Fig. 3. 3 を用いて、チャネル応答測定の理論について述べる。送信器が、伝送線路にビット列 d_n を送信したと仮定する。ビット列 d_n の値は、1 または -1 を取り、受信器の Bit Error Rate (BER) が高くない限り、クロックデータリカバリ (CDR) を用いて最適なタイミングで検出できるとする。ここで、CDR 内部の判定回路で d_n を検出する最適なタイミングを、 $t = nT$ とし、 T はシリアルデータの単位長当たりの時間とする。

前述したように伝送線路とイコライザの特性を加えたチャネル応答 h_n は、

$$p_n = \begin{cases} 1 & (n=0) \\ 0 & (n \neq 0) \end{cases} \quad (3-1)$$

で表現されるインパルスを入力した時の $t = nT$ で観測されるチャネルの出力として定義され、受信器で検出されるイコライザの出力 a_n は、そのチャネル応答の組み合わせとして表現されるので次式のように表す事ができる。

$$a_n = \sum_{m=-\infty}^{\infty} h_m d_{n-m} \quad (3-2)$$

もし伝送線路とイコライザ込みのチャネル応答が、帯域制限されており波形がなまっている場合、イコライザの出力は本来の理想値との誤差 e_n を生じさせ、そのエラーは次式のように表される。

$$e_n = a_n - Ad_n \quad (3-3)$$

$$= \left(\sum_{m=-\infty}^{\infty} h_m d_{n-m} \right) - A d_n \quad (3-4)$$

ここで、 A は判定回路に要求される最適な信号振幅、つまり、イコライザに求められる信号振幅である。

したがって、伝送線路から生じる符号間干渉のほとんどが線形だと仮定すると、過去または未来の $n-k$ ビット目から n ビット目で生じる誤差 e_n への寄与分 c_k は、 $n-k$ ビットの信号 d_{n-k} と誤差 e_n との相関を取る事で抽出する事ができる。

$$c_k = \langle d_{n-k} \cdot e_n \rangle \quad (3-5)$$

$$= \left\langle d_{n-k} \cdot \left(\sum_{m=-\infty}^{\infty} h_m d_{n-m} - A d_n \right) \right\rangle = \begin{cases} h_0 - A & (k=0) \\ h_k & (k \neq 0) \end{cases} \quad (3-6)$$

ここで、 $\langle \rangle$ は期待値を表している。そして、 c_k の値は、伝送線路とイコライザを含んだ理想のチャネル応答と実際のチャネル応答の差を意味している。チャネル応答測定回路は、 a_n をサンプリングし、スイッチト・キャパシタ方式を用いて式 (3-5) を実現する事により、理想と実際のチャネル応答の差である c_k の値を出力する。

3.4 回路実装

本節では、前節で述べたチャネル応答測定技術の原理を基にチャネル応答測定回路の実装について述べる。また、チャネル応答測定回路を駆動するのに必要となる特有なクロック群を生成する複数周波数クロック発生回路についても述べる。

3.4.1 チャネル応答測定回路

Fig 3.4 は、前節の原理を基にしたチャネル応答測定回路のトランジスタレベルでの回路実装図である。イコライザの出力信号は、 a_n を作り出すサンプラー (samp) によって、サンプリングされ、30 fF の容量 C_{sa1} または C_{sa2} に蓄えられる。このサンプラーは、イコライザの出力ノードでの寄生容量を減らすため、PMOS のみのスイッチにより実装された。また、そのサンプラーのスイッチングにより CDR の入力にグリッジが乗らないように、サンプラーは 2 相の動作するようにしている。

イコライザの出力信号は、サンプラーに渡される他に、CDR 内の判定器によって受信され 16 相のデジタル信号として出力される。この出力信号から d_n selector と d_{n-k}

selector によって、相関演算に必要なデジタル値 d_n 及び d_{n-k} が選択、抽出される。 d_{n-k} selector は、1.25 GHz で動作する 3 個の flip-flop を内蔵しており、相関を取る範囲として k は -7 から 16 までのビットを保持し選ぶことが出来る。この k の範囲は、損失が 20 dB を持つ伝送線路でも未来からの符号間干渉 (pre-cursor ISI) 用に 5 ビット、過去からの符号間干渉 (post-cursor ISI) 用に 15 ビットもあれば充分であるというシミュレーション結果を基に決められている。

次に、 Ad_n の生成についてだが、Current-Mode Logic (CML) 回路を基に作成された 1 bit デジタル・アナログ変換器(DAC)によって実現した。その変換された信号は、アナログ信号 a_n と同様に PMOS スイッチで実装されたサンプラー (samp) により、サンプリングされ、容量 C_{sd} に蓄えられる。

最後に、相関演算を行うポラリティスイッチ (pol switch) についてだが、スイッチト・キャパシタ方式の原理を利用して、電荷を C_{sa1} または C_{sa2} と C_{sd} から C_{int} (200 fF) に移動させる時に、 $d_{n-k} \cdot a_n$ と $-d_{n-k} \cdot Ad_n$ の相関演算と減算を同時に行う。このポラリティスイッチのポラリティは、 d_{n-k} selector によって選択されたデジタル値 d_{n-k} によって制御され、制御クロック信号(pol clk)にしたがって、ある一定時間のみ周期的に on する。このポラリティスイッチの為の信号は、polarity clock generator (pol clk gen) によって作られている。ポラリティスイッチは、off している時は両方とも High が供給され、on する時は出力のどちらか一方が High になることが要求される事から、Sense-Amplifier を基にした回路によって実現した。

Fig 3.5 は、チャネル応答測定回路のタイミングダイアグラムを示している。イコライザ出力に付いているサンプラーは、あるタイミング (0 UI) でイコライザの出力信号をサンプルし、その電荷を a_0 として、容量 C_{sa1} に蓄える。CDR は、サンプラーが a_0 をサンプリングするタイミングと同時に、 a_0 を検出し、CDR 内のデマルチプレクサを通過した (8 UI) 後に、16 相デジタル信号 d_0 として出力される。 d_0 は、1 bit DAC によってアナログ信号 Ad_0 に変換され、dig clk の立ち上がりエッジのタイミング (16 UI 後) で、 a_0 と同様な方法でサンプリングされ容量 C_{sd} に蓄えられる。

a_0 、 Ad_0 の信号が容量に蓄えられ、値が落ち着いた (24 UI) 後、 d_{n-k} selector によって選ばれた d_{n-k} が polarity clock generator に送られ、pol clk と同期して polarity clock を発生させる。この polarity clock により、 C_{sa1} 、 C_{sd} から C_{int} への経路が決定され、4UI の間にスイッチト・キャパシタ方式の原理で電荷の移動が行われ、乗算による相関計算及びデジタルとアナログ信号との減算が行われる。

そして、最初の a_0 がサンプリングされた 32 UI 後、イコライザ出力に付いているサ

ンプラーの他方が動作し、容量 C_{sa2} に電荷が蓄えられ、 C_{sa1} に電荷が蓄えられた時と同様にして相関計算が繰り返される。

3.4.2 複数周波数クロック発生回路

前節で示したチャネル応答測定回路は、同期した複数の周波数のクロックを必要とする。本節では、そのための複数周波数クロック発生回路について述べる。Fig. 3. 6 にそのクロック発生回路のトランジスタレベルの回路実装図を示した。多周波数クロック発生回路は、分周期の役割を果たす 2 個の 2 bit Johnson Counter から構成されており、CDR でリカバリされたクロックの位相に追従できるように、PI で位相調節された 2.5 GHz のクロックを用いて、1.25 GHz、624 MHz、312 MHz (dig clk/clcx) 、156 MHz (ana clk/clcx) の周波数の同期したクロック信号を生成している。各クロックの出力は、flip-flop で打ち直される事により、全てのクロックが同期して出力されるように設計されている。

Fig. 3. 7 には、この 2bit Johnson Counter の内部ノード及び出力のタイミングダイアグラムを示した。

3.5 測定結果

本研究で設計したチャネル応答測定回路は、前節で述べたイコライザ付き受信器と同様に 0.11- μm CMOS プロセスを用いて試作した。Fig. 3. 8 に、その受信器全体のブロックダイアグラムを示し、Fig. 3. 9 に、そのチップ写真を示した。この受信器は、以前我々が作成した受信器を再利用したものである[19]。チャネル応答測定回路 (ISI monitor) は、イコライザ出力 a_n 、CDR から 1:16 デマルチプレクサの出力であるデジタル信号 d_n を受け取り、チャネル応答に相当する信号 ISI_{out} を出力する。また、複数周波数クロック発生回路 (CLK Gen) は、CDR でリカバリされたクロックの位相に追従できるように、PI で位相調節された 2.5 GHz のクロックをもらい、発生させた複数の周波数クロックをチャネル応答測定回路に渡す。受信器全体の面積は前節でも述べたように 1.044 mm^2 であり、消費電力は 133 mW である。チャネル応答測定用回路およびその為のクロック発生回路によるオーバーヘッドは、面積において 80 μm x 145 μm 、45 μm x 55 μm であり、消費電力は 10 mW と 6 mW であり、これはそれぞれ受信

器全体の面積の 1.1 %、0.2 %、電力においては 7.5 %、4.5 %に相当する。Fig. 3. 10 は、測定のセットアップを示したものである。測定はイコライザの時と同様のセットアップで行われ、チャンネル応答測定回路の出力は、**voltage multi-meter** を用いて測定した。

Fig. 3. 11 は、チャンネル応答測定回路の出力を遅延指数 k についてプロットしたものである。円と実線は、イコライザが最適な状態に最適化され、BER が 10^{-12} 以下を達成している時の実測及びシミュレーションの値を示している。ひし形と破線はイコライザを止め、伝送線路の波形がそのまま出力されている時の実測及びシミュレーションの値を示している。 $k=0$ の時は、チャンネル応答測定回路の出力ではなく、伝送線路とイコライザ込みのチャンネル応答を示せるよう信号の振幅を計算したものをプロットした。このチャンネル応答測定回路の結果では、 $k=0$ のプロット点とシミュレーションとの波形の頂点の位置が一致していないが、これは CDR からリカバリしたクロックの位相と、チャンネル応答測定回路内でデータをサンプルするのに用いたクロックの位相とが、一致していないためである。最後に、測定したチャンネル応答測定回路の性能を、アナログフィルタを用いた方式、ADC を用いた方式との性能と比較して Table. 3.1 にまとめた。面積は、チャンネル応答測定回路とそれに必要なクロックを生成する回路の面積の和を示し、電力は他の文献との比較をするため、イコライザ込みでの消費電力を算出し提示した。これにより、本研究で提案したイコライザ評価技術が小面積、低消費電力によって実現されていることが見てとれる。

3.6 おわりに

本章では、適応制御イコライザを実現するための、イコライザの特性評価の手法としてチャンネル応答測定回路を提案した。チャンネル応答測定技術は、現在の信号エラーと過去または未来の信号との相関を計算することにより実現できる事を示した。また、その実装方法として、スイッチト・キャパシタ方式を用いるチャンネル応答測定回路を、それに必要な複数周波数クロック発生回路とともに実装した。測定では、このチャンネル応答測定回路付き受信器は、0.11- μm CMOS プロセスを用いて試作し、イコライザの評価に重要なチャンネル応答を低消費電力で測定できる事を示した。

参考文献（第3章）

- [1] M. Takamiya, M. Mizuno and K. Nakamura, "An On-chip 100GHz-Sampling Rate 8-channel Sampling Oscilloscope with Embedded Sampling Clock Generator," in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 182-183, Feb. 2002.
- [2] T. Nakura, M. Ikeda and K. Asada, "Power Supply di/di Measurement using On-chip di/dt Detector Circuit," in *IEEE Symp. VLSI Circuits*, Dig. Tech. Papers, pp. 106-109, Jun. 2004.
- [3] E. Alon, V. Stojanovic and M. Horowitz, "Circuits and Techniques for High-Resolution Measurement of On-Chip Power Supply Noise," *IEEE J. Solid-State Circuits*, vol. 40, no. 4, pp. 820-828, Apr. 2005.
- [4] K. Shimazaki, M. Nagata, T. Okumoto, S. Hirano and H. Tsujikawa, "Dynamic Power-Supply and Well Noise Measurement and Analysis for High Frequency Body-Biased Circuits," in *IEEE Symp. VLSI Circuits*, Dig. Tech. Papers, pp. 102-105, Jun. 2004.
- [5] K. Nose, M. Kajita and M. Mizuno, "A 1ps-Resolution Jitter-Measurement Macro Using Interpolated Jitter Oversampling," in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 520-521, Feb. 2006.
- [6] B. Analui, A. Rylyakov, S. Rylov, M. Meghelli and A. Hajimiri, "A 10-Gb/s Two-Dimensional Eye-Opening Monitor in 0.13- μm Standard CMOS," *IEEE J. Solid-State Circuits*, vol. 40, no. 12, pp. 2689-2699, Dec. 2005.
- [7] Y. Tomita, M. Kibune, J. Ogawa, W. Walker, H. Tamura and T. Kuroda, "A 10-Gb/s Receiver With Series Equalizer and On-Chip ISI Monitor in 0.11- μm CMOS," *IEEE J. Solid-State Circuits*, vol. 40, no. 4, pp. 986-993, Apr. 2005.
- [8] A. J. Baker, "An Adaptive Cable Equalizer for Serial Digital Video Rates to 400Mb/s," in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 174-175, Feb. 1996.
- [9] J. N. babanezhad, "A 3.3V Analog Adaptive Line-Equalizer For Fast Ethernet Data Communication," in *Proc. IEEE Custom Integrated Circuit Conference*, pp. 343-346, May. 1998.
- [10] J. Choi, M. Hwang and D. Jeong, "A 0.18- μm CMOS 3.5-Gb/s Continuous-Time Adaptive Cable Equalizer Using Enhanced Low-Frequency Gain Control Method," *IEEE J. Solid-State Circuits*, vol. 39, no. 3, pp. 419-425, Mar. 2004.
- [11] S. Gondi, J. Lee, D. Takeuchi and B. Razavi, "A 10Gb/s CMOS Adaptive Equalizer for Backplane Applications," in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp.

328-329, Feb. 2005.

[12] J. Lee, "A 20Gb/s Adaptive Equalizer in 0.13- μ m CMOS Technology," in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 92-93, Feb. 2006.

[13] G. Balamurugan, J. Jaussi, D. R. Johnson, B. Casper, A. Martin, J. Kennedy, R. Mooney and N. Shanbhag, "Receiver Adaptation and System Characterization of an 8Gbps Source-Synchronous I/O Link using On-die Circuits in 0.13 μ m CMOS," in *IEEE Symp. VLSI Circuits*, Dig. Tech. Papers, pp. 356-359, Jun. 2004.

[14] N. Krishnapura, M. Barazande-Pour, Q. Chaudhry, J. Khoury, K. Lakshmikumar and A. Aggarwal, "A 5Gb/s NRZ Transceiver with Adaptive Equalization for Backplane Transmission," in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 60-61, Feb. 2005.

[15] N. P. Sands, M. W. Hauser, G. Liang, G. Groenewold, S. Lam, C. Lin, J. Kukiewicz, L. Lang and R. Dakshinamuthy, "A 200Mb/s Analog DFE Read Channel," in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 72-73, Feb. 1996.

[16] J. Kim, J. Yang, S. Byun, H. Jun, J. Park, C. Conroy and B. Kim, "A Four-Channel 3.125-Gb/s/ch CMOS Serial-Link Transceiver With a Mixed-Mode Adaptive Equalizer," *IEEE J. Solid-State Circuits*, vol. 40, no. 2, pp. 462-471, Feb. 2005.

[17] W. Gai, Y. Hidaka, Y. Koyanagi, J. Jiang, H. Osone and T. Horie, "A 4-Channel 3.125Gb/s/ch CMOS Transceiver with 30dB Equalization," in *IEEE Symp. VLSI Circuits*, Dig. Tech. Papers, pp. 138-141, Jun. 2004.

[18] H. Higashi, S. Masaki, M. Kibune, S. Matsubara, T. Chiba, Y. Doi, H. Yamaguchi, H. Takauchi, H. Ishida, K. Gotoh and H. Tamura, "A 5-6.4-Gb/s 12-Channel Transceiver With Pre-Emphasis and Equalization," *IEEE J. Solid-State Circuits*, vol. 40, no. 4, pp. 978-985, Apr. 2005.

[19] H. Takauchi, H. Tamura, S. Matsubara, M. Kibune, Y. Doi, T. Chiba, H. Anbutsu, H. Yamaguchi, T. Mori, M. Takatsu, K. Gotoh, T. Sakai and T. Yamamura, "A CMOS Multichannel 10-Gb/s Transceiver," *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2094-2100, Dec. 2003.

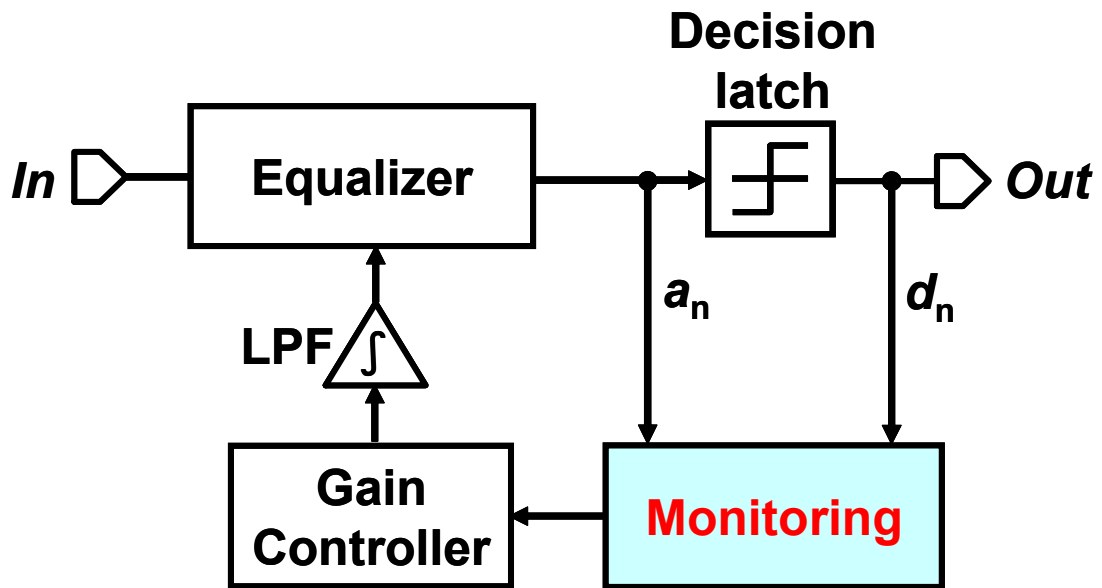


Fig. 3. 1: Adaptive equalizer.

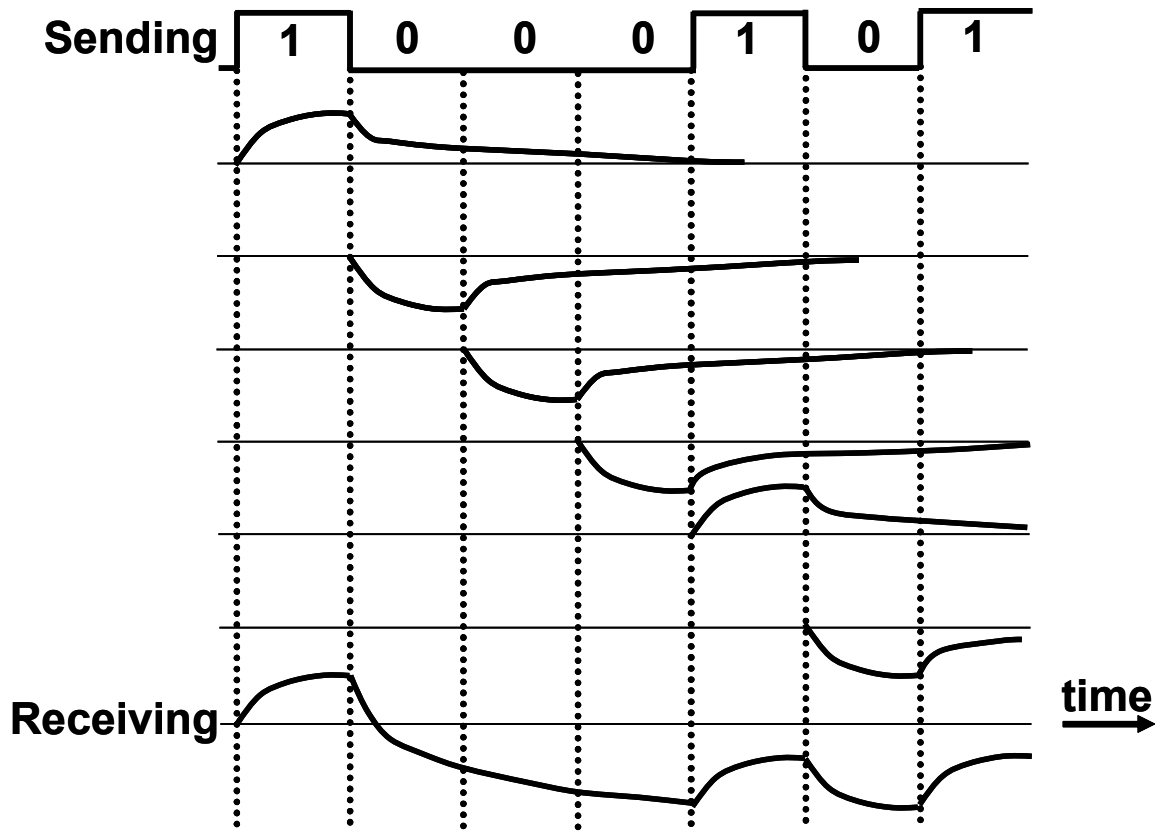


Fig. 3. 2: Transmission of bandwidth limited channel.

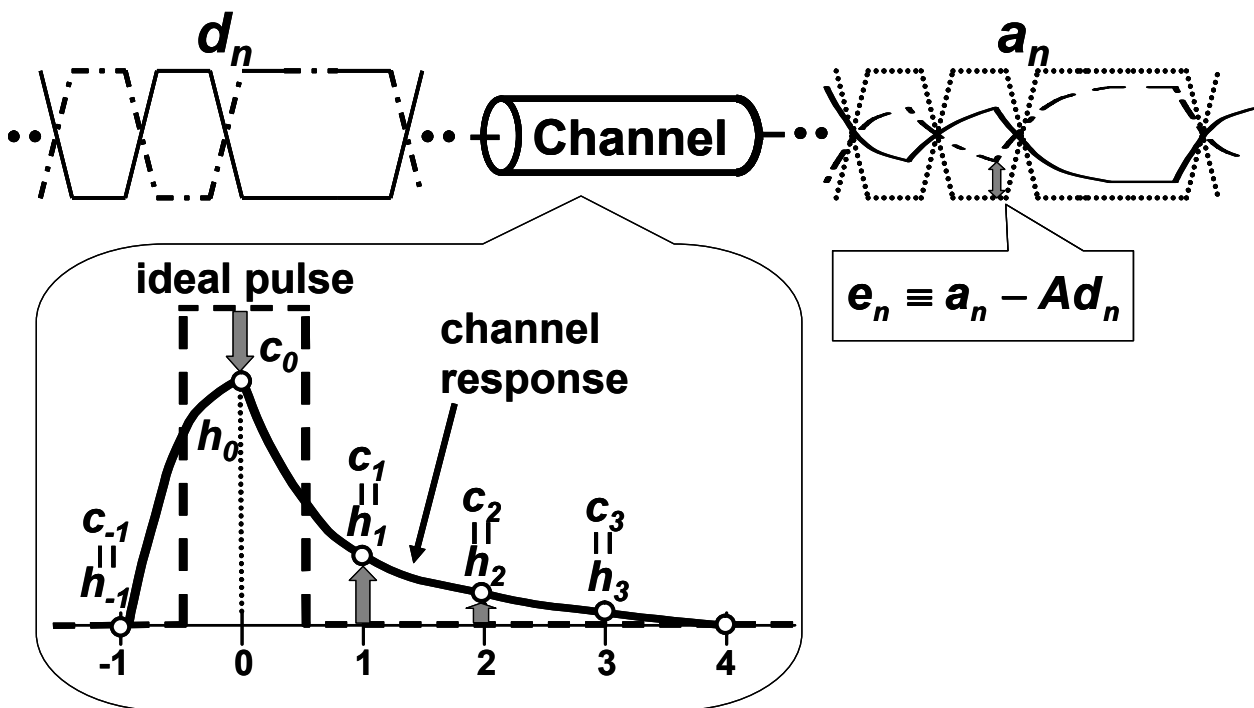


Fig. 3. 3: Principle of channel response monitor.

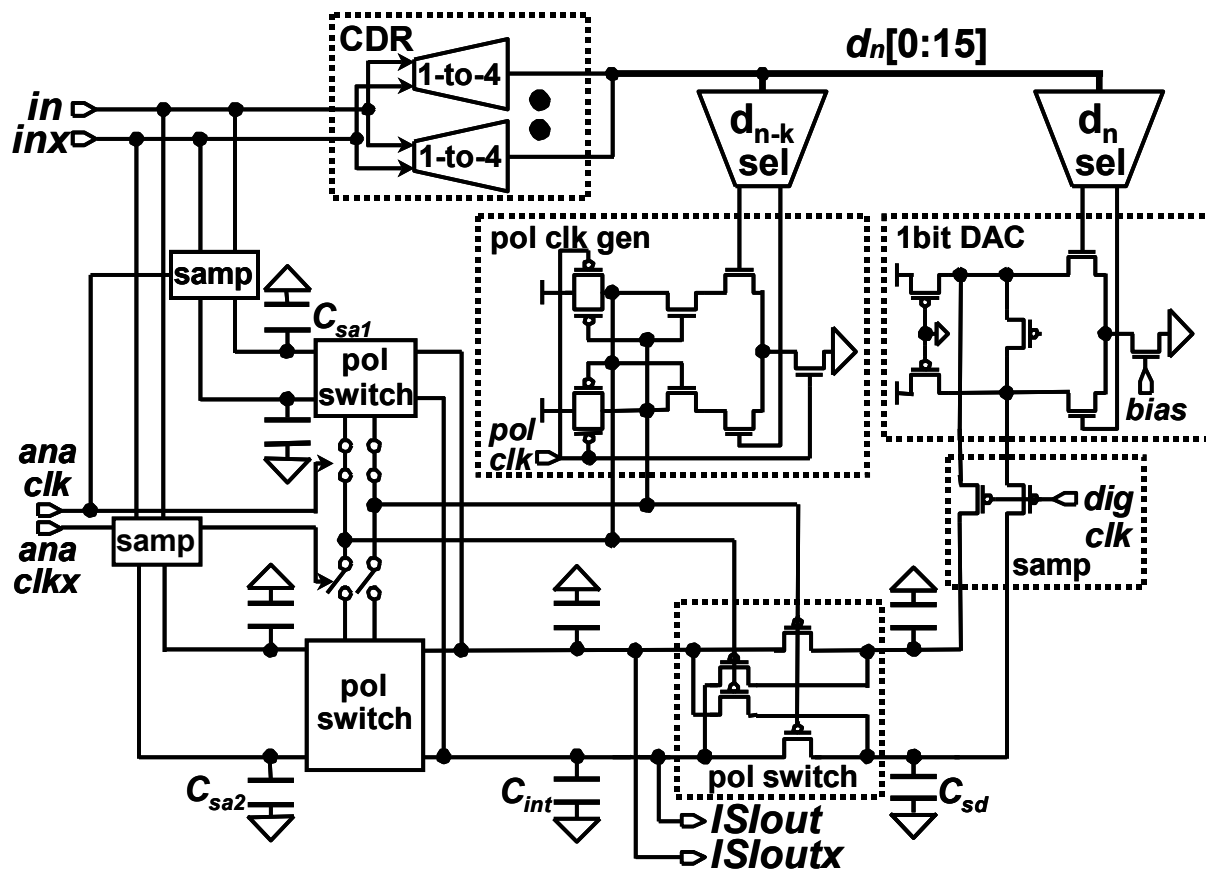


Fig. 3. 4: Channel response monitor circuit.

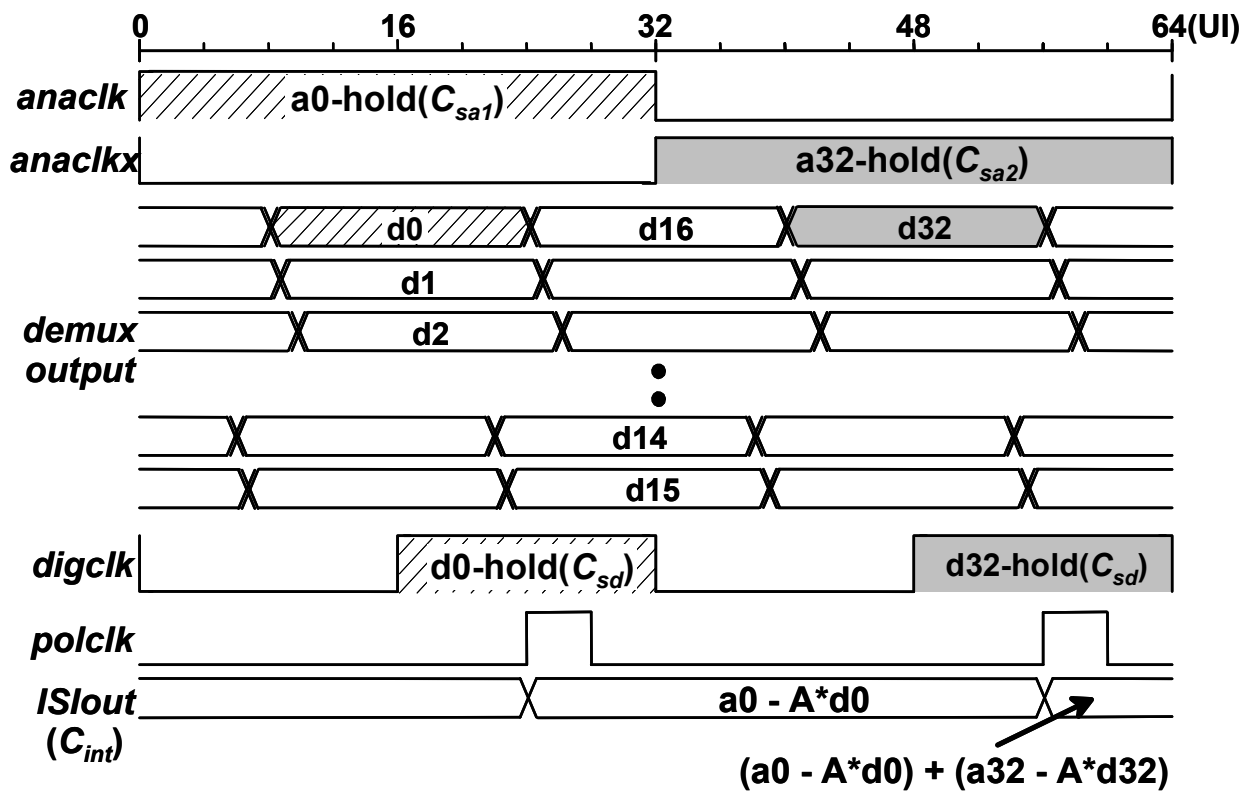


Fig. 3. 5: Timing diagram of channel response monitor.

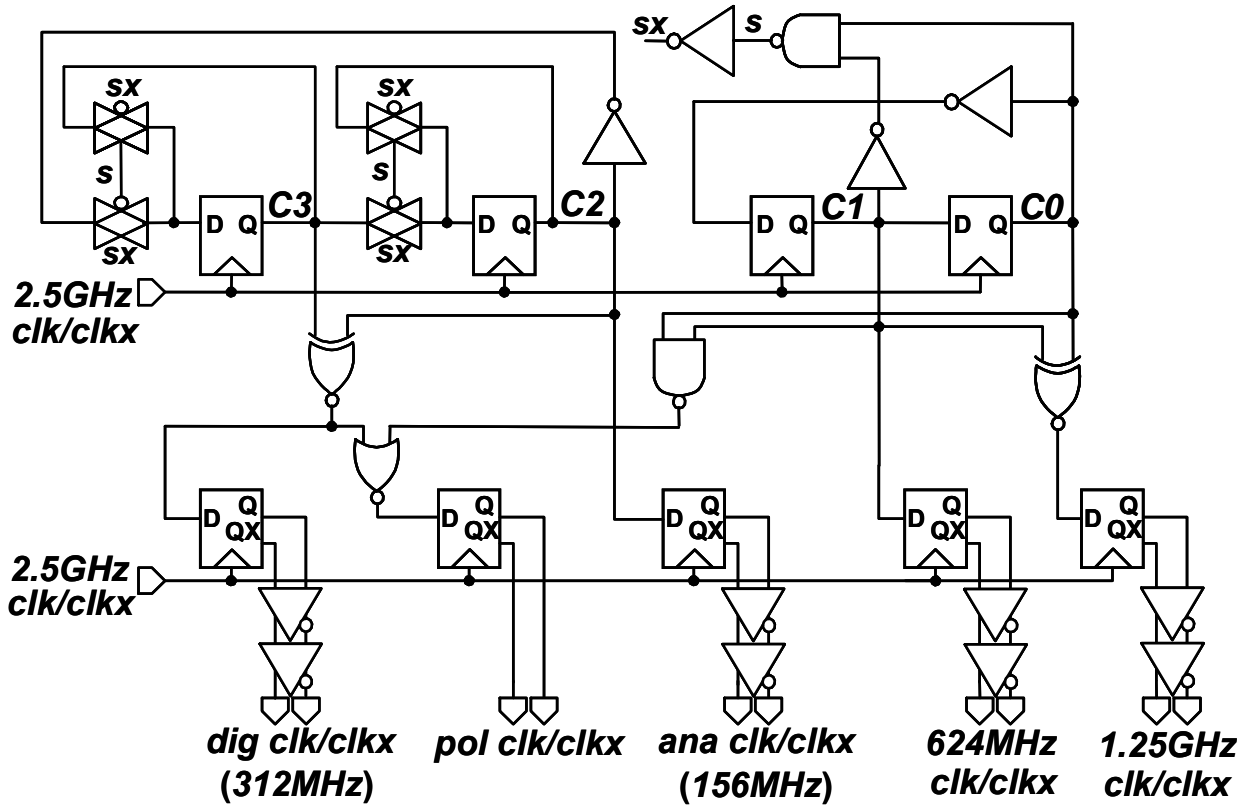


Fig. 3. 6: Multiple frequency clock generator circuit.

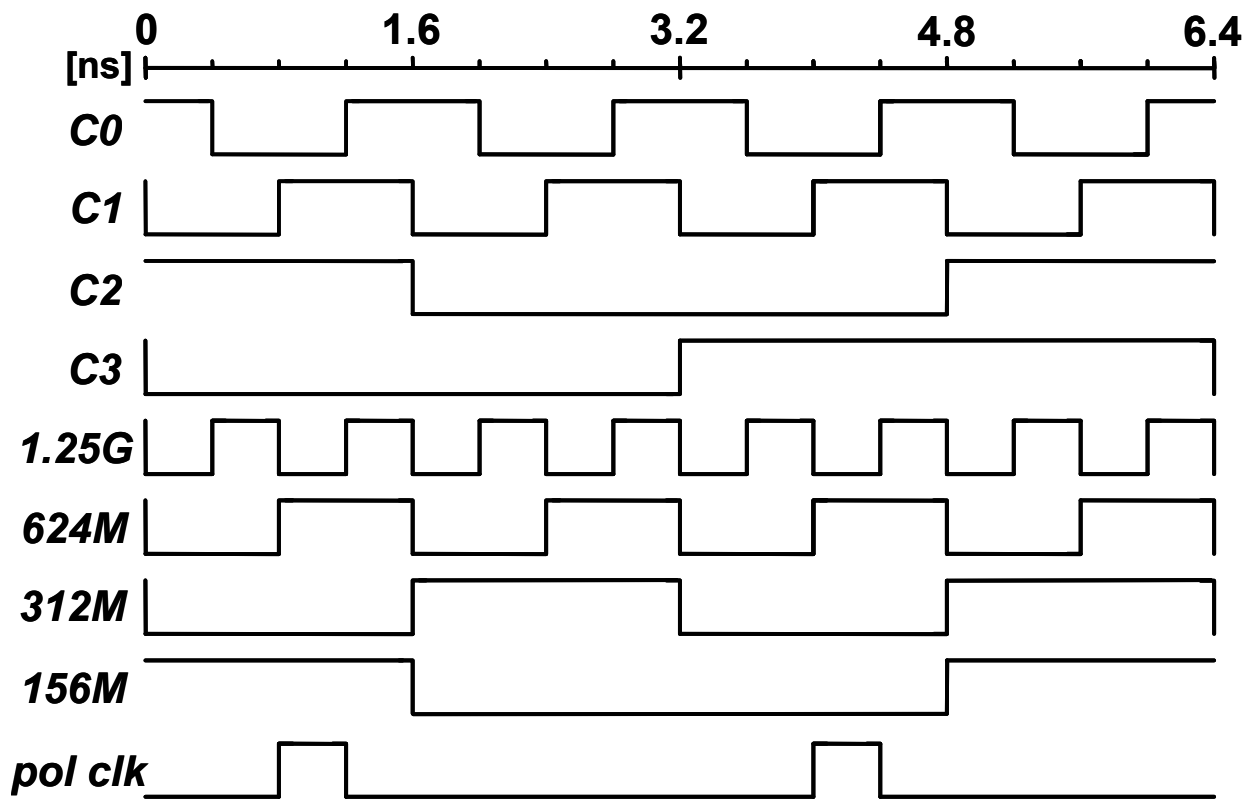


Fig. 3. 7: Timing diagram of multiple frequency clock generator.

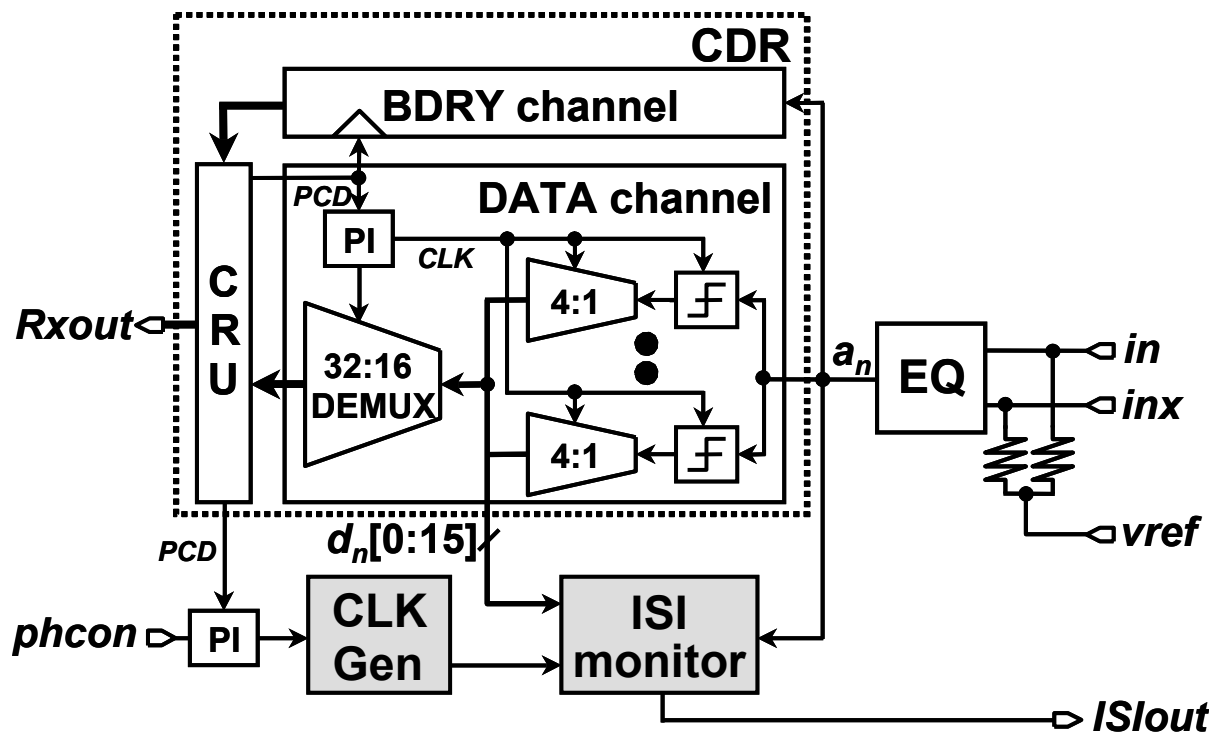


Fig. 3. 8: Receiver block diagram.

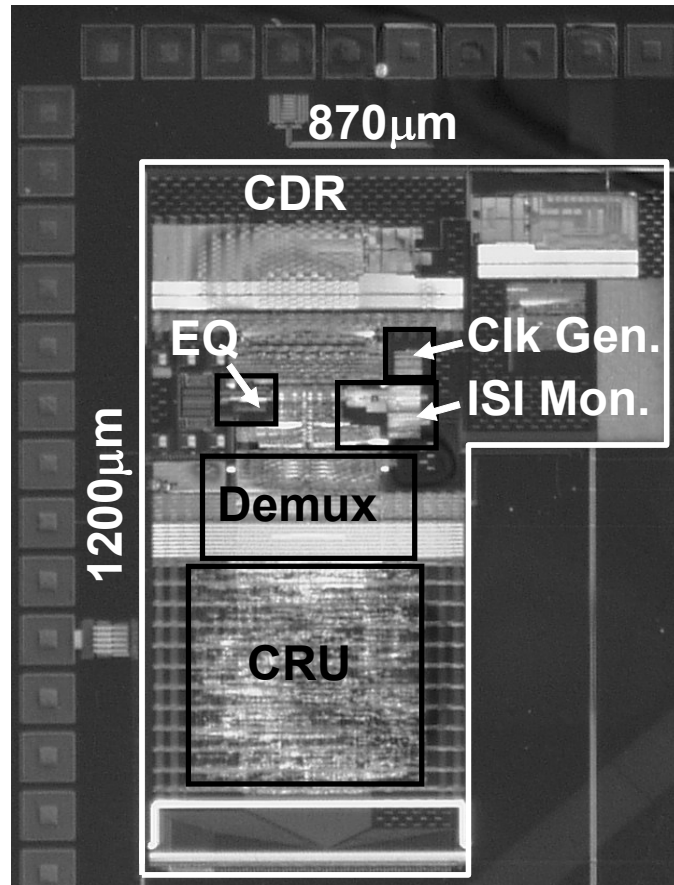


Fig. 3. 9: Chip photomicrograph.

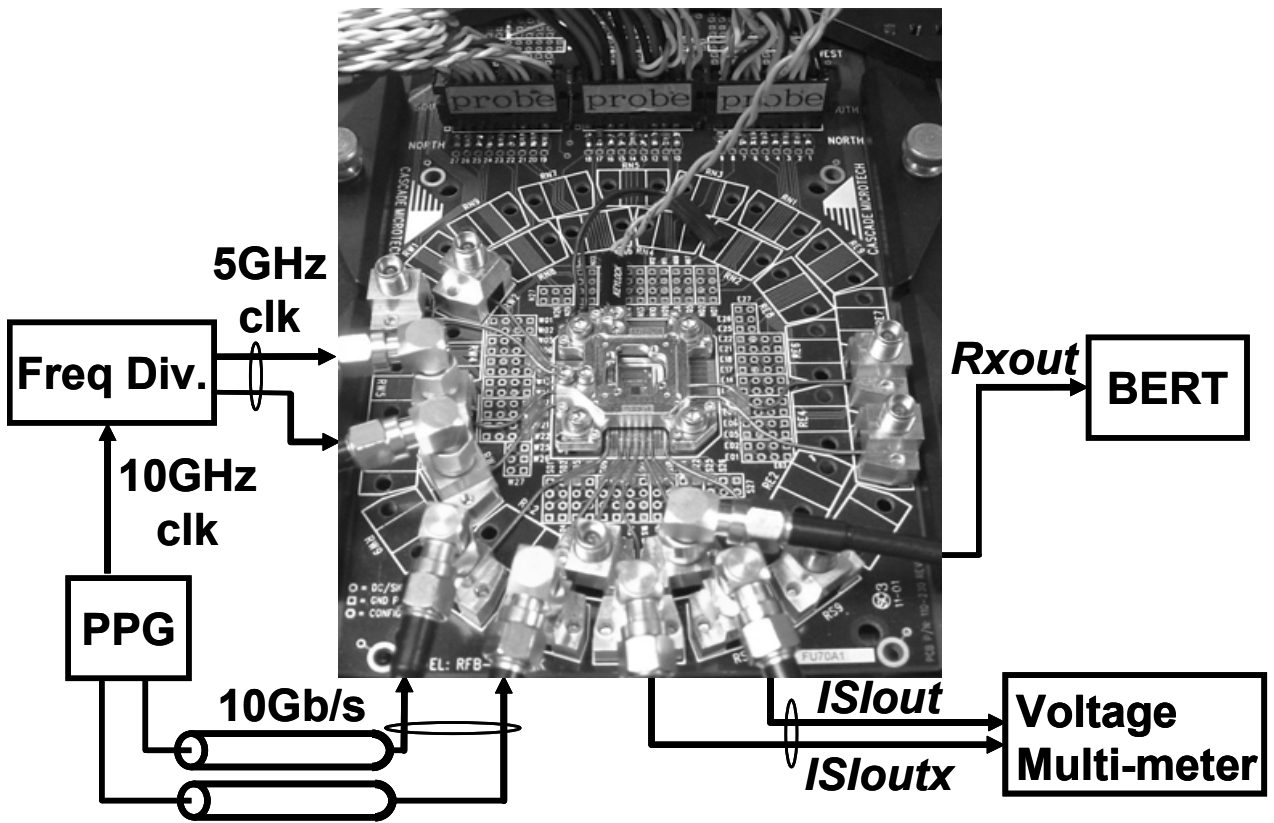


Fig. 3. 10: Measurement environment.

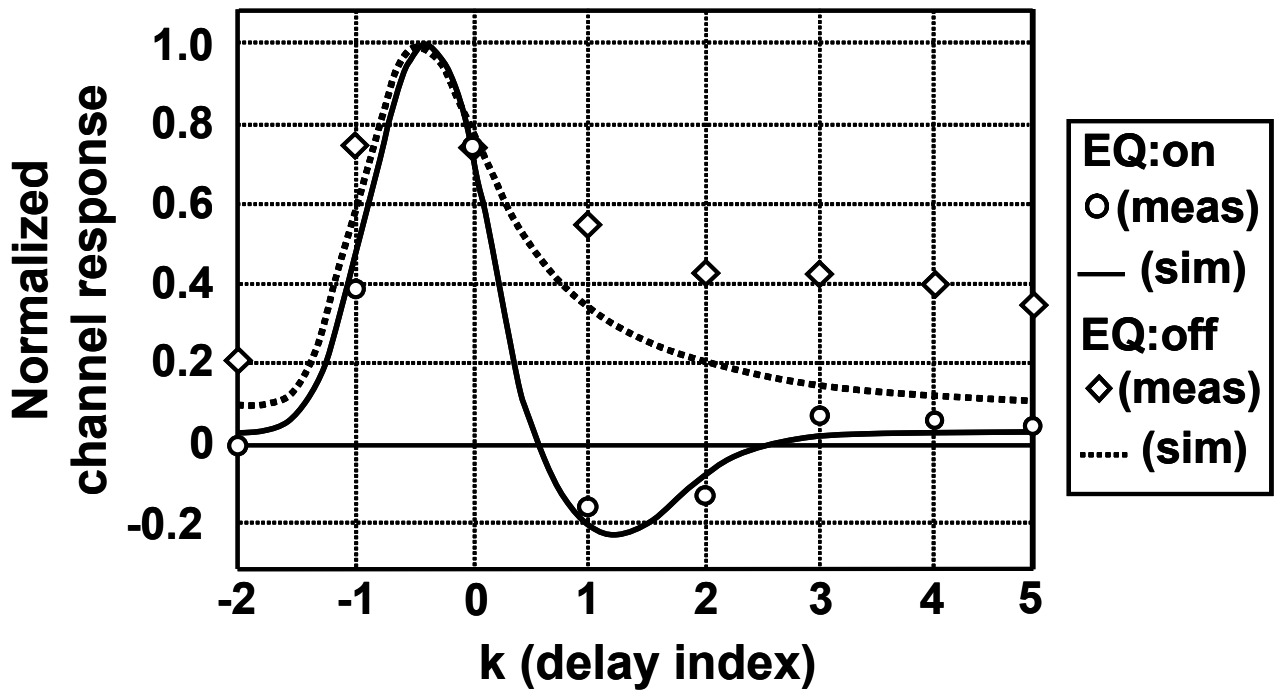


Fig. 3. 11: Channel response monitor output.

Table. 3. 1: Performance summary

	Ref. [11]	Ref. [13]	This work
Data rate	10 Gb/s	8 Gb/s	10 Gb/s
Supply voltage	1.2 V	1.2 V	1.2 V
Tech.	0.13-μm CMOS	0.13-μm CMOS	0.11-μm CMOS
Area	0.031 mm²	0.014 mm²	0.013 mm²
Power (EQ+Mon.)	25 mW	80 mW	29 mW

第 4 章

双方向伝送化技術

4.1 はじめに

チップ間高速 CMOS 通信は、今日まで信号周波数を上げることによって、1 信号線当りのバンド幅の向上を達成させてきた。しかしながら、伝送線路の周波数依存損失の影響により高周波ほど信号が減衰し、伝送距離に制限ができてしまう。そこで、現在のチップ間 CMOS 通信の最高の信号周波数である 5 GHz を維持しながら、バンド幅を向上させる高帯域化技術の必要性が生じている。

本研究では、信号周波数を上げずにバンド幅を向上させる技術として、信号を双方向に伝送する回路技術を研究した。双方向伝送は、1 本の信号線に両方向から信号を送信する事により、1 本当りのバンド幅を 2 倍に高める事ができる。この双方向伝送において、最も重要な役割を果たすのは、入力信号と出力信号を分離するハイブリッド回路である。本研究では、Resistor-Transconductor (R-gm) ハイブリッドという新規ハイブリッドアーキテクチャを用いる事により、信号周波数は 5 GHz を維持しながら、20 Gb/s のバンド幅を達成した。この値は、従来までの双方向伝送の最高バンド幅であった 8 Gb/s (信号周波数は 2 GHz) から 2.5 倍の速度向上を達成したものである。

本章では、始めに高帯域化技術の歴史について述べ、その高帯域化技術の中で、特に、双方向伝送技術がどのようにしてバンド幅を高めてきたか、そして、現状での課題について述べる。その後、双方向伝送において入力信号と出力信号の分離の役割を果たすハイブリッドの概念を説明し、従来のレプリカハイブリッドと提案する R-gm ハイブリッドにおいて、どのようにその概念が実現されているかを述べる。さらに、トランジスタレベルでの回路実装とその特性をレプリカハイブリッドとの比較を用いて示し、実装した同時双方向送受信回路の測定結果を最後に示す。

4.2 高帯域化技術

伝送線路上の信号周波数を上げずに 1 信号線当りのバンド幅を向上させる技術としては、duo-binary 技術[1]、多値振幅変調技術[2-10]と双方向伝送技術[11-22]がよく知られており、双方向伝送化技術というのは、高帯域技術の中の一つであるといえることができる。

Duo-binary 技術とは、連続する通常の 2 値符号 (1 または -1) を、(1,1) が連続する時は 2、(1,-1) または (-1,1) が連続する時には 0、(-1,-1) が連続する時には -2 と、3

値(2,0,-2)の符号に変換する事により、信号の周波数を2値符号の時と比較して2/3倍落とす信号技術である。現在は、duo-binary 信号用の波形等価技術とクロックリカバリ技術が組み合わされ、低誘電率材料のPCB基板を用いて12 Gb/sを0.75 mまで伝送する事に成功している[1]。しかしながら、duo-binary 技術は、符号化が特殊な為あまり利用されていない。

多値振幅変調技術は、1シンボルに複数のビットを送る技術であり、1シンボル当たり2ビットを送る4値振幅変調(4PAM)伝送技術がよく利用される。チップ間高速CMOS通信において、初めて4PAMが使用されたのは、0.4- μm CMOSプロセスを用いた10 Gb/sのpre-emphasis付き送信器であった[2]。その翌年には、その受信器として、イコライザ機能を備えた8 Gb/sの受信器が報告されている[3]。バックプレーン伝送用では、送信器での符号化に特徴をもつ5 Gb/sの送受信器が発表され[4]、その翌年には、2.5 Gb/sから10 Gb/sまでの複数の伝送速度を扱え、2PAMと4PAMの切り換えも可能な送受信器が報告されている[5]。この送受信器は、伝送線路のコモンモード電圧をフィードバック信号に利用した適応制御をしており注目を集めた[6, 7]。現在では、90-nm SOI CMOSプロセスを用い、25 Gb/sの送信器[8]と、判定器でのオフセット補償技術[9]を行なった22 Gb/s(信号周波数は5.5 GHz)の受信器[10]が最高伝送速度として報告されている。しかしながら、4PAM技術も符号化を必要とし、判定回路における入力負荷の重さから現在の最高信号周波数である5.5 GHzからの向上は困難と予測される。

最後に、双方向伝送技術についてであるが、双方向伝送技術とは伝送線路に両方向から信号を送受信する事により、伝送線路1本当りのバンド幅を2倍に高めるものである[11]。初期の双方向伝送送受信器は、CMOSドライバを利用し、100 Mb/sのイーサネット用送受信回路[12]であった。以後、終端抵抗による反射を防ぐためのインピーダンス制御技術[13, 14]、信号の振幅を小さくする事で高速化を実現するための小振幅伝送技術[15]、クロックとデータ間のタイミングを調節するスキュー補償技術[16, 17]、信号の立ち上がり立ち下りを制御するスルーレート制御技術[18, 19]が組み合わさる事により、5 Gb/sまで達成するに到った。現在では、pre-emphasis技術を組み込むためにレプリカドライバを用いたレプリカハイブリッド[20, 21]が提案され、信号周波数として2 GHzを用いて、8 Gb/sまでバンド幅を向上させている。

そこで、本研究は、この双方向伝送技術において伝送線路上の電圧と電流から受信信号を取り出す新規ハイブリッドを提案する事により、従来までのレプリカハイブリッドで問題であったバラツキ問題を解決し、信号周波数を5 GHzまで向上させ、20 Gb/sを達成する事を目標とした[22]。この双方向伝送化技術は、他の高帯域化技術と

独立であるので、将来的には、4 PAM 技術や Duo-binary 技術と共用する事によって、更なるバンド幅の向上も見込む事が出来る。

4.3 Resistor-Transonductor(R-gm)ハイブリッド

4.3.1 同時双方向伝送

本研究のターゲットとする複数のプロセッサから成るサーバ内のプロセッサ間リンクでは、同程度の量のデータがプロセッサ間において双方向に送受信される。Fig 4. 1 は両方向に信号を伝送する際の二つの実装方法について説明をしている。一つ目は、二つの単方向伝送を使う方法 (Fig. 4. 1 (a))。もう一つが、一つの同時双方向伝送を使う方法である (Fig. 4. 1 (b))。同時双方向伝送は、前節で述べたように、1 伝送線路当りのバンド幅を 2 倍にできるので魅力的である。しかしながら、同時双方向伝送用送受信器では、ハイブリッドと呼ばれる入力信号と出力信号の重なった信号から入力信号のみを取り出す回路が必要となる。また、伝送線路上のノイズや符号間干渉という単方向伝送でも現れる信号エラーに加えて、伝送線路上のインピーダンス不整合から生じるエコーやハイブリッドの理想特性からのずれで生じる出力信号から入力信号への干渉も問題となる。これらのエラーは電圧方向やタイミング方向でのマージンを減らし、伝送速度の制限につながる。その為、これらの信号エラーの量は、ビット誤り率 (BER) の仕様を満たすように、入力信号のレベルに対して十分に小さいものであることが望まれる。本研究では、これらの信号エラーの量の中で、参考文献[21]で支配的であると報告されているハイブリッドの理想特性からのずれによる出力信号から入力信号への干渉の量を減らす事によって双方向伝送の高速化を達成した。

では、まずハイブリッドが受信端で観測される信号から入力信号をどのように分離するかについて概念的に説明をする (Fig 4. 2)。伝送線路の両端に位置する送信器が同時に信号を送った場合、伝送線路上の電圧 V は出力信号電圧 V_f と入力信号電圧 V_r との重ね合わせの波形として表現される。

$$V = V_f + V_r \quad (4-1)$$

従って、重ね合わせである信号 V から入力信号 V_r のみを抽出する為には、ハイブリッドにおいて以下の二つのステップを必要とする。

- ・ 出力信号 V_f を含む補償信号を発生させる

- ・ 重ね合わせの信号 V から前ステップで発生させた補償信号を減算する

従来までに報告されたハイブリッドでは、補償信号として V_f 自身を発生させ、判定器において信号を検出する前に、伝送線路電圧 V から減算するものがほとんどであった。しかしながら、本研究では、後節で示すが、 V_f と V_r の重み付けされた信号を補償信号として利用する。

4.3.2 ハイブリッドにおける入力信号抽出

本節では、前節で述べた入力信号の抽出ステップが、従来のレプリカハイブリッド [20, 21] と提案する R-gm ハイブリッド [22] において、どのように実現されているかを示す (Fig 4. 3)。従来のレプリカハイブリッドでは、補償信号の発生ステップにおいて、レプリカドライバを用い、出力信号 V_f 自身のコピーを生成していた。また、減算ステップにおいては、そのコピーの信号を受信端で観測される信号 V から減算する事により入力信号の抽出を行っていた。

$$V - V_f = (V_f + V_r) - V_f = V_r \quad (4-2)$$

一方で、提案する R-gm ハイブリッドは、補償信号として、伝送線路に流れる電流に比例した信号を発生させる。なぜなら、伝送線路上の電圧と電流の関係から、電流 I と線路インピーダンス Z_0 との積もまた、出力信号 V_f を含んでいるからである。

$$Z_0 I = Z_0 I_f - Z_0 I_r = V_f - V_r \quad (4-3)$$

この $Z_0 I$ を伝送線路電圧 V から減算する事により、入力信号に比例した信号を得ることができるのである。

$$V - Z_0 I = (V_f + V_r) - (V_f - V_r) = 2 V_r \quad (4-4)$$

Fig 4. 4 はレプリカハイブリッドと R-gm ハイブリッドの抽出ステップから実現されるアーキテクチャを示したものである。ここで、図及び図を説明するのに用いられている表記は、実際には完全に差動形式で実装されているが、この節では簡単化のため単相で表記した。

レプリカハイブリッドにおいて、補償信号の発生には、メインドライバを小さくしたレプリカドライバが使われている。そのレプリカドライバの出力は、減算器を用いて、受信端の信号 V から減算される (Fig. 4. 4 (a))。図においては、レプリカドライバのメインドライバからの分岐は、信号周波数が最も高い部分で行われているが、実際には、高速信号での負荷を軽減する為、低い周波数から信号の分岐をするのが一般的である。

R-gm ハイブリッドにおいては、補償信号である Z_0I を作成するために、終端抵抗を電流検出抵抗 r と残りの抵抗 Z_0-r の二つに分割した。電流検出抵抗 r の両端の電圧 V_s-V を、差動入力電流検出増幅器を用いて Z_0/r 倍する事により、 Z_0I が生成されるのである。

$$Z_0I = (V_s - V) Z_0 / r \quad (4-5)$$

ここで、電流検出ノード電圧 V_s は、受信端の電圧 V から抵抗 Z_0-r と r の抵抗分圧比で得られる電圧である。結果として生成された Z_0I を受信端の電圧 V から減算する事によって、R-gm ハイブリッドは入力信号に比例した信号を抽出する (Fig. 4. 4 (b))。

しかしながら、これらの電流検出、乗算、そして減算の過程は、負荷抵抗を共有した3つの単相トランスコンダクタによって実現する事ができる (Fig. 4. 5 (a))。ここで、差動電流検出増幅器は、二つの単相トランスコンダクタとして変換されており、もしこの二つのトランスコンダクタの受信端電圧 V を検出するトランスコンダクタを、入力と出力が共通となっている残りのトランスコンダクタと組み合わせると、更に簡単化され実装に適した回路となる (Fig. 4. 5 (b))。このハイブリッドの変換動作は、式 (4-4) と (4-5) を利用する事により導出する事ができる。

$$2V_r = V - Z_0I = (1 + Z_0/r)V - (Z_0/r)V_s \quad (4-6)$$

上式において、右辺の第一項は、受信端電圧 V に接続されたトランスコンダクタによる項であり、また、第二項は、電流検出ノード V_s に接続されたトランスコンダクタによる項である。この事から、入力信号 V_r は、この受信端電圧 V と電流検出ノード電圧 V_s の線形和から抽出する事ができ、余剰なクロック信号や出力信号自信を不要にできる事がわかる。

この R-gm ハイブリッドは、簡単であると同時に、レプリカドライバを持たないので、従来方式であるレプリカハイブリッドに対し次の利点を有する。送信器が近年良く用いられているプリアンプ機能を持つ場合、レプリカハイブリッドではレプリカドライバにもプリアンプ回路全体を必要とさせてしまう。この問題は、4 PAM のような多値振幅変調技術を用いる場合にも生じるが、R-gm ハイブリッドは、レプリカドライバのためのクロックやデータ信号を必要としないので、様々な信号技術に簡単かつ小面積で適応する事が出来る。

4.3.3 入力信号抽出におけるエラー源

本節では、前節で述べたレプリカハイブリッドと R-gm ハイブリッドのアーキテク

チャを用いて、入力信号抽出の各ステップにおいて、どのようなエラー源が存在するのかについて述べる。

従来のレプリカハイブリッドにおける補償信号の生成過程では、メインとレプリカの信号経路の不整合がエラーに寄与する。その不整合の一つは、メインドライバとレプリカドライバとのゲインの差である。これは DC 成分と高周波成分の両方のゲインにおいての差がエラーに通じる。さらに、レプリカドライバの分岐を低周波で行う場合、出力ドライバの前に位置するマルチプレクサ段でのタイミングエラーも信号経路の不整合になる。例えば、マルチプレクサ段に供給されるクロックにスキューが存在する場合、それもタイミングエラーとなるわけである。

レプリカハイブリッドにおける減算ステップは、レプリカドライバの出力信号と受信端の信号の減算が、ゲインが 1:-1 である 2 入力増幅器によって実現されるが、この増幅器内の信号経路のゲインミスマッチや増幅器のオフセットが出力にエラーを生じさせる。

R-gm ハイブリッドにおける最初の過程は、 Z_0I に相当する信号の発生である。従来のレプリカハイブリッドとは異なり、マルチプレクサ段や後続のレプリカドライバによるタイミングエラーは存在しない。その代わりに、 Z_0I に比例した信号の生成は、電流検出抵抗 r を使って、電流 I を検出する事により達成されるので、もし、終端抵抗のインピーダンスが Z_0 からずれると、信号反射の影響により、伝送線路を流れる電流 I と電流検出抵抗 r を流れる電流の値にずれが生じる。また、電流検出抵抗 r のバラツキも Z_0I を見積もる上でのゲインエラーになる。

R-gm ハイブリッドにおいて入力信号を抽出するための二つ目のステップでは、電流 I に比例した信号、つまり、電流検出抵抗 r の両端の電圧がトランスコンダクタで減算される。この過程では、レプリカハイブリッドと同様にトランスコンダクタのゲインミスマッチやオフセットがエラーとして発生する。

4.3.4 回路実装

R-gm ハイブリッドのトランジスタレベルでの実装を Fig 4. 6 に示した。トランスコンダクタには、高速化に適している NMOS 差動対を用いて実装した。また、トランスコンダクタの入力は、伝送線路上のコモンモードノイズを除去するために相補に接続されている。

電流検出抵抗 r の抵抗値は、ハイブリッドで抽出される入力信号の振幅が最大とな

るように選んだ。伝送線路における損失が無いと仮定し、伝送線路の両端に位置する送信器のテイル電流の電流値を I_T とすると、他端の送信器から発生した信号によって生ずる受信端電圧 V と電流検出ノード電圧 V_S は次式のように与えられる。

$$V = \frac{Z_0 + r}{2Z_0} I_T \times (Z_0 - r) \times \frac{Z_0}{Z_0 + r} = \frac{Z_0 - r}{2} I_T \quad (4-7)$$

$$V_S = V \times \frac{Z_0 - r}{Z_0} = \frac{(Z_0 - r)(Z_0 - r)}{2Z_0} I_T \quad (4-8)$$

さらに、ハイブリッドによって抽出された入力信号のコモンモード電圧を一定に保つように、R-gm ハイブリッド内のトランスコンダクタに流れる電流の総和も一定、 I_{HY} 、であるという条件を付加すると、R-gm ハイブリッド回路で抽出される入力信号 V_{RX} の振幅は次式のようになる。

$$V_{Rx} = \left(\frac{r + Z_0}{r + 2Z_0} \frac{2I_{Hy}}{V_{CM} - V_{TH}} V - \frac{Z_0}{r + 2Z_0} \frac{2I_{Hy}}{V_{CM} - V_{TH}} V_S \right) R = \frac{(Z_0 - r)r}{r + 2Z_0} \frac{2I_{Hy} I_T R}{V_{CM} - V_{TH}} \quad (4-9)$$

ここで、 V_{CM} は、ハイブリッド回路の入力信号 V 、 V_S のコモンモード電圧である。式 (4-9) より、電流検出抵抗 r の抵抗値を変えた場合の R-gm ハイブリッドによって抽出された入力信号の振幅 V_{RX} をプロットしたものを Fig. 4. 7 に示した。振幅を最大化させる最適値は、22 Ω (終端抵抗の 44 %) であることが分かる。しかしながら、プロセスバラツキの影響を考慮して、実際の実装では電流検出抵抗の抵抗値は 25 Ω (終端抵抗の 50 %) を選んだ。この事により、電圧 V と V_S を検出するトランスコンダクタのトランスコンダクタ比は、式 (4-6) より 3:2 に決まった。

電流検出抵抗 r や伝送線路のインピーダンス Z_0 のバラツキは、R-gm ハイブリッドにおいて出力信号から抽出する信号への干渉として現われる。この r や Z_0 のバラツキによるエラーを補償するために、我々は電流検出ノード電圧 V_S を検出するトランスコンダクタのテイル電流源の電流値を、外部制御電流 I_{CN} を用いて調節できるようにした。この制御は、式 (4-6) におけるトランスコンダクタのトランスコンダクタンス比を最適なものに調節する事にあたる。この調節によって、直流成分においては、出力信号から R-gm ハイブリッドの抽出した信号への干渉を押さえ込む事が可能となった。残りの高周波成分における出力信号からの干渉を最小化するためには、入力 V と V_S からハイブリッドの出力への信号経路の周波数特性を等しくしなければならない。これら二つのトランスコンダクタの出力は負荷を共有しているので、高周波特性の違いは入力部における RC 時定数に依存する。そこで、この時定数を合わせ込むため、 V_S を検出するトランスコンダクタの入力信号経路に PMOS 抵抗を挿入し、外部制御電圧

V_{CP} を PMOS 抵抗のゲートに与えることによって、抵抗値を調節できるようにした。

SPICE を用いてシミュレーションを行った R-gm ハイブリッドの周波数特性を Fig 4. 8 に示す。入力信号 V_i もしくは出力信号 V_f からハイブリッド出力 V_{RX} への信号伝達比をプロットし、Fig 4. 8 (a) は、外部制御電流 I_{CN} を、Fig 4. 8 (b) は外部制御電圧 V_{CP} を調節した時のものである。図から見て分かるように、他端の送信器から入力信号が送られてくる場合、R-gm ハイブリッドによる挿入損失は DC から 10 GHz に渡って 5 dB 以下であった。出力信号が自身の送信器から送られる場合、出力信号からの干渉は DC から 5 GHz に渡って入力信号より 40 dB 小さいものであった。外部制御電流 I_{CN} と外部制御電圧 V_{CP} の調節によって、DC と高周波におけるゲインミスマッチが抑制されている事が見てとれる。これらの制御によって、出力信号からの干渉は -45 dB になっているが、残りのエラーの原因は、トランスコンダクタに用いられている Current Mode Logic (CML) 回路の高周波におけるコモンモード除去比の低下によるものである。

4.3.5 レプリカハイブリッドと R-gm ハイブリッドとの比較

最後に、レプリカハイブリッドと R-gm ハイブリッドの出力信号から、抽出された入力信号への干渉量を、SPICE を用いたシミュレーションにより示す。

レプリカハイブリッドの回路構成は、メインドライバとレプリカドライバが CML ドライバと仮定し、減算器も負荷抵抗を共有した二つの CML トランスコンダクタによって構成されると仮定した。メインドライバのサイズは R-gm ハイブリッドのサイズと同じであり、レプリカドライバのサイズは、メインドライバの 1/4 にした。また、減算器のトランスコンダクタのサイズは、入力トランジスタのサイズの総和が R-gm ハイブリッドと同じになるようにした。

Fig 4. 9 (a)、(b) は、レプリカハイブリッド内のメインドライバとレプリカドライバのゲインと周波数特性の間にミスマッチがあった時のエラーをプロットしたものである。ゲインや周波数のミスマッチは、メインドライバのゲイン g_0 とカットオフ周波数 f_0 に対するメインドライバとレプリカドライバのゲイン差 Δg とカットオフ周波数差 Δf の差として表現した。見て分かるように、出力信号からの干渉の最小値は、R-gm ハイブリッドと同様に -45 dB となった。また、10 % のゲイン及びカットオフ周波数ミスマッチは、出力信号からの干渉をそれぞれ 15 dB 増加させている。Fig. 4. 9 (c) には、メインとレプリカの信号経路のタイミングミスマッチがあった場合の干渉量を示した。我々は、タイミングミスマッチ Δt が、ドライバの前に位置するマルチプレクサ段に与

えるクロックのスキューにより生じたものであると仮定した。10%のタイミング mismatchesが存在すると、出力信号からの干渉は、mismatchesが無い場合と比較して、25 dB 悪くなる事が分かった。

また、R-gm ハイブリッドにおけるトランスコンダクタと電流検出抵抗 r におけるバラツキの影響を Fig. 4. 10 (a)、(b)に示した。トランスコンダクタのバラツキ Δg_m と抵抗のバラツキ Δr は、それらの最適な値である g_{m0} 、 r_0 で標準化した割合で表した。ただし、このシミュレーションでは、ハイブリッドが理想から外れる事によるエラーのみを比較するため、二つの R-gm ハイブリッドは直接、結合し、インピーダンス不整合によるエコーの影響を取り除いた。図から見てとれるように、10%のトランスコンダクタンス、抵抗のバラツキは、約 20 dB の干渉劣化となった。

Fig 4. 11 は、レプリカハイブリッドにおいて、mismatchesが無い場合 (Fig. 4. 11 (a)) と、10%のゲイン、カットオフ周波数及びタイミングに mismatchesがあった場合 (Fig. 4. 11 (b)) における抽出された入力信号の eye ダイアグラムを示したものである。また、Fig 4. 12 は、R-gm ハイブリッドにおいて、mismatchesが無い場合 (Fig. 4. 12 (a)) と、10%のトランスコンダクタ、抵抗バラツキがあった場合 (Fig. 4. 12 (b)) における抽出された入力信号の eye ダイアグラムを示したものである。レプリカハイブリッドにおいて mismatches は、18%の eye 開口減少と 15%のジッター増加につながったが、R-gm ハイブリッドにおいてバラツキは、5%の eye 開口減少と 11%のジッター増加で留める事が出来た。

4.4 測定結果

本研究において R-gm ハイブリッドの性能を評価するために、同時双方向伝送用送受信回路を 0.11- μm CMOS プロセスを用いて試作、実装した。Fig. 4. 13 にその送受信器のブロックダイアグラムを示す。この送受信器は、以前我々が作成した送信器[23]と受信器[24]を再利用したものである。R-gm ハイブリッドは、レプリカドライバ用のクロックやデータを必要としないので、送受信器のフロントエンドに置くだけで、容易に双方向伝送用送受信回路とする事ができた。Fig 4. 14 に送受信回路のチップ写真を示す。送信器及び受信器の面積は、それぞれ 0.48 mm^2 と 0.54 mm^2 であった。また消費電力については、送信器が 126 mW、受信器が R-gm ハイブリッドの消費電力を含めて 133 mW であった。R-gm ハイブリッドによる面積と消費電力のオーバーヘッドは、 0.002 mm^2 と 7 mW で、これは送受信器全体の 0.2%と 3%に相当する値である。Fig 4.

15 には、従来のレプリカハイブリッドとの電力と消費電力についての比較を示した。レプリカハイブリッドでは、高周波での分岐は信号を劣化させるので、レプリカドライバは 4:1 マルチプレクサ段と 1/4 のサイズの出カバッファを持つものと仮定した。信号の振幅が R-gm ハイブリッドと等しくなるようにすると、従来のレプリカハイブリッドの出カドライバにおける消費電力は半分になるが、消費電力において支配的である 4:1 マルチプレクサ段のクロック分配の消費電力が増加する為、結果として、R-gm ハイブリッドは、従来のレプリカドライバよりも 4 %の面積削減、22 %の消費電力削減効果になった。

測定のセットアップを Fig 4. 16 に示す。本研究でのチップの測定には、高周波波形等価技術及び符号間干渉測定技術の時の測定と同様、プローブカードを用いた。チップ内の送信器及びパルスパターン発生器 (PPG) は、それぞれ擬似ランダム信号 (PRBS) $2^{23}-1$ パターンのデータを、5 GHz において 5 dB の信号損失をもつ twisted-pair ケーブルに送信する。PPG は、また、分周器を通して 5 GHz の差動クロックを送信器と受信器に供給する。受信器の出力は、ビット誤り率 (BER) を測定する為に、ビット誤り率測定器 (BERT) に入力される。

Fig 4. 17 は、チップ内の送信器のみが PRBS 信号を送っている時の 10 Gb/s の信号波形 (Fig. 4. 17 (a)) と、送信器と PPG の両方が信号を送信している 20 Gb/s の信号波形 (Fig. 4. 17 (b)) を、PPG が接続されている伝送線路の端において測定したものである。テストチップの送信器のジッターは 30.7 ps peak-to-peak で、eye 開口は 80 mV から 200 mV peak-to-peak single-end であった。

Fig 4. 18 は、PPG のみが信号を送っている時 (Fig. 4. 18 (a)) と、PPG と送信器との同時双方向伝送時 (Fig. 4. 18 (b)) の R-gm ハイブリッドにおいて抽出した入力信号波形を示したものである。これらの eye ダイアグラムは、出力バッファをもつ別のテストチップで観測したものである。R-gm ハイブリッドで抽出された入力信号は受信器のフロントエンドに位置するイコライザに送られ、イコライズされた後の波形を、オシロスコープを用いて測定した。R-gm ハイブリッドとイコライザのパラメータの調節は、オシロスコープを観測しながら行った。双方向伝送は、単方向伝送時に比べて、ジッターにおいて 4.4 ps peak-to-peak 増加し、5 mV の eye 開口減少が観測された。

Fig 4. 19 は、受信器のバスタブカーブを示したものである。我々は PPG による 10 Gb/s 単方向伝送時と、PPG と送信器による 20 Gb/s 同時双方向伝送時の BER を測定した。BER が 10^{-12} 以下を補償するタイミングマージンは、単方向伝送時において 52 ps であり、双方向伝送時において 46 ps であった。また、受信器の受信感度は 62 mV

peak-to-peak single-end であった。最後に、測定した同時双方向伝送用送受信器の性能を Table. 4. 1 にまとめた。

4.5 おわりに

本章では、高帯域化技術である双方向伝送の新規ハイブリッドアーキテクチャ及びその回路実装方法について提案した。双方向伝送のハイブリッドにおける入力信号抽出の概念を示し、それが従来のレプリカハイブリッドと **R-gm** ハイブリッドにどのように実現されているかを示した。**R-gm** ハイブリッドは、伝送線路電圧と電流を用いる事により、レプリカハイブリッドで必要とされていたレプリカドライバ無しで、入力信号の抽出を実現した。その結果、従来のレプリカハイブリッドで問題となっていたゲイン、周波数特性、タイミングのミスマッチ問題を避ける事ができ、さらに、面積、消費電力も削減できる事を示した。測定では、この同時双方向伝送用送受信器は、0.11- μm CMOS プロセスを用いて試作し、20 Gb/s のバンド幅を BER が 10^{-12} 以下で達成できる事も示した。

参考文献（第4章）

- [1] K. Yamaguchi, K. Sunaga, S. Kaeriyama, T. Nedachi, M. Takamiya, K. Noise, Y. Nakagawa, M. Sugawara and M. Fukaiishi, "12Gb/s Duobinary Signaling with x2 Oversampled Edge Equalization," in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 70-71, Feb. 2005.
- [2] R. Farjad-Rad, C.-K. Yang, M. Horowitz and T. Lee, "A 0.4- μm CMOS 10-Gb/s 4-PAM Pre-Emphasis Serial Link Transmitter," *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp. 580-585, May. 1999.
- [3] R. Farjad-Rad, C.-K. Yang, M. Horowitz and T. Lee, "A 0.3- μm CMOS 8-Gb/s 4-PAM Serial Link Transceiver," *IEEE J. Solid-State Circuits*, vol. 35, no. 5, pp. 757-764, May. 2000.
- [4] J. Stonick, G. Wei, J. Sonntag and D. Weinlader, "An Adaptive PAM-4 5-Gb/s Backplane Transceiver in 0.25- μm CMOS," *IEEE J. Solid-State Circuits*, vol. 38, no. 3, pp. 436-443, Mar. 2003.
- [5] J. Zerbe, C. Werner, V. Stojanovic, F. Chen, J. Wei, G. Tsang, D. Kim, W. Stonecypher, A. Ho, T. Thrush, R. Kollipara, M. Horowitz and K. Donnelly, "Equalization and Clock Recovery for a 2.5-10-Gb/s 2-PAM/4-PAM Backplane Transceiver Cell," *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2121-2130, Dec. 2003.
- [6] A. Ho, V. Stojanovic, F. Chen, C. Werner, G. Tsang, E. Alon, R. Kollipara, J. Zerbe and M. Horowitz, "Common-mode Backchannel Signaling System for Differential High-speed Links," in *IEEE Symp. VLSI Circuits*, Dig. Tech. Papers, pp. 352-355, Jun. 2004.
- [7] V. Stojanovic, A. Ho, B. Garlepp, F. Chen, J. Wei, G. Tsang, E. Alon, R. Kollipara, C. Werner, J. Zerbe and M. Horowitz, "Autonomous Dual-Mode (PAM2/4) Serial Link Transceiver With Adaptive Equalization and Data Recovery," *IEEE J. Solid-State Circuits*, vol. 40, no. 4, pp. 1012-1026, Apr. 2005.
- [8] C. Menolfi, T. Toifl, R. Reutemann, M. Ruegg, P. Buchmann, M. Kossel, T. Morf and M. Schmatz, "A 25Gb/s PAM4 Transmitter in 90nm CMOS SOI," in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 72-73, Feb. 2005.
- [9] B. Garlepp, A. Ho, V. Stojanovic, F. Chen, C. Werner, G. Tsang, T. Thrush, A. Agarwal and J. Zerbe, "A 1-10Gbps PAM2, PAM4, PAM2 Partial Response Receiver Analog Front End with Dynamic Sampler Swapping Capability for Backplane Serial Communications," in *IEEE Symp. VLSI Circuits*, Dig. Tech. Papers, pp. 376-379, Jun. 2005.

- [10] T. Toifl, C. Menolfi, M. Ruegg, R. Reutemann, P. Buchmann, M. Kossel, T. Morf, J. Weiss and M. Schmatz, "A 22-Gb/s PAM-4 Receiver in 90-nm CMOS SOI Technology," *IEEE J. Solid-State Circuits*, vol. 41, no. 4, pp. 954-965, Apr. 2006.
- [11] K. Larn, L. Dennison and W. Dally, "Simultaneous Bidirectional Signaling for IC Systems," in *Proc. IEEE Int. Conf. Computer Design (ICCD)*, pp. 430-433, Oct. 1990.
- [12] D. Johns and D. Essig, "Integrated Circuits for Data Transmission Over Twisted-Pair Channels," *IEEE J. Solid-State Circuits*, vol. 32, no. 3, pp. 398-406, Mar. 1997.
- [13] T. Takahashi, M. Uchida, T. Takahashi, R. Yoshino, M. Yamamoto and N. Kitamura, "A CMOS Gate Array with 600 Mb/s Simultaneous Bidirectional I/O Circuits," *IEEE J. Solid-State Circuits*, vol. 30, no. 12, pp. 1544-1546, Dec. 1995.
- [14] R. Mooney, C. Dike and S. Borkar, "A 900 Mb/s Bidirectional Signaling Scheme," *IEEE J. Solid-State Circuits*, vol. 30, no. 12, pp. 1538-1543, Dec. 1995.
- [15] J. Sim, Y. Sohn, S. Heo, H. Park and S. Cho, "A 1-Gb/s Bidirectional I/O Buffer Using the Current-Mode Scheme," *IEEE J. Solid-State Circuits*, vol. 34, no. 4, pp. 529-535, Apr. 1999.
- [16] Y. Fujimura, T. Takahashi, S. Toyoshima, K. Nagashima, J. Baba and T. Matsumoto, "1.2Gbps/pin Simultaneous Bidirectional Transceiver Logic with Bit Deskew Technique," in *IEEE Symp. VLSI Circuits*, Dig. Tech. Papers, pp. 58-59, Jun. 2002.
- [17] E. Yeung and M. Horowitz, "A 2.4 Gb/s/pin Simultaneous Bidirectional Parallel Link with Per-Pin Skew Compensation," *IEEE J. Solid-State Circuits*, vol. 35, no. 11, pp. 1619-1628, Nov. 2000.
- [18] T. Takahashi, T. Muto, Y. Shirai, F. Shirotori, Y. Takada, A. Yamagiwa, A. Nishida, A. Hotta and T. Kiyuna, "110-GB/s Simultaneous Bidirectional Transceiver Logic Synchronized with a System Clock," *IEEE J. Solid-State Circuits*, vol. 34, no. 11, pp. 1526-1533, Nov. 1999.
- [19] H. Wilson and M. Haycock, "A Six-Port 30-GB/s Nonblocking Router Component Using Point-to-Point Simultaneous Bidirectional Signaling for High-Bandwidth Interconnects," *IEEE J. Solid-State Circuits*, vol. 36, no. 11, pp. 1954-1963, Dec. 2001.
- [20] H. Tamura, M. Kibune, Y. Takahashi, Y. Doi, T. Chiba, H. Higashi, H. Takauchi, H. Ishida and K. Gotoh, "5Gb/s Bidirectional Balanced-Line Link Compliant with Plesiochronous Clocking," in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 64-65, Feb. 2001.

- [21] B. Casper, A. Martin, J. Jaussi, J. Kennedy and R. Mooney, "An 8-Gb/s Simultaneous Bidirectional Link With On-Die Waveform Capture," *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2111-2120, Dec. 2003.
- [22] Y. Tomita, H. Tamura, M. Kibune, J. Ogawa, K. Gotoh and T. Kuroda, "A 20Gb/s Bidirectional Transceiver Using a Resistor-Transconductor Hybrid," in *IEEE Int. Solid-State Circuits Conference*, Dig. Tech. Papers, pp. 516-517, Feb. 2006.
- [23] H. Takauchi, H. Tamura, S. Matsubara, M. Kibune, Y. Doi, T. Chiba, H. Anbutsu, H. Yamaguchi, T. Mori, M. Takatsu, K. Gotoh, T. Sakai and T. Yamamura, "A CMOS Multichannel 10-Gb/s Transceiver," *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2094-2100, Dec. 2003.
- [24] Y. Tomita, M. Kibune, J. Ogawa, W. Walker, H. Tamura and T. Kuroda, "A 10-Gb/s Receiver With Series Equalizer and On-Chip ISI Monitor in 0.11- μm CMOS," *IEEE J. Solid-State Circuits*, vol. 40, no. 4, pp. 986-993, Apr. 2005.

图表

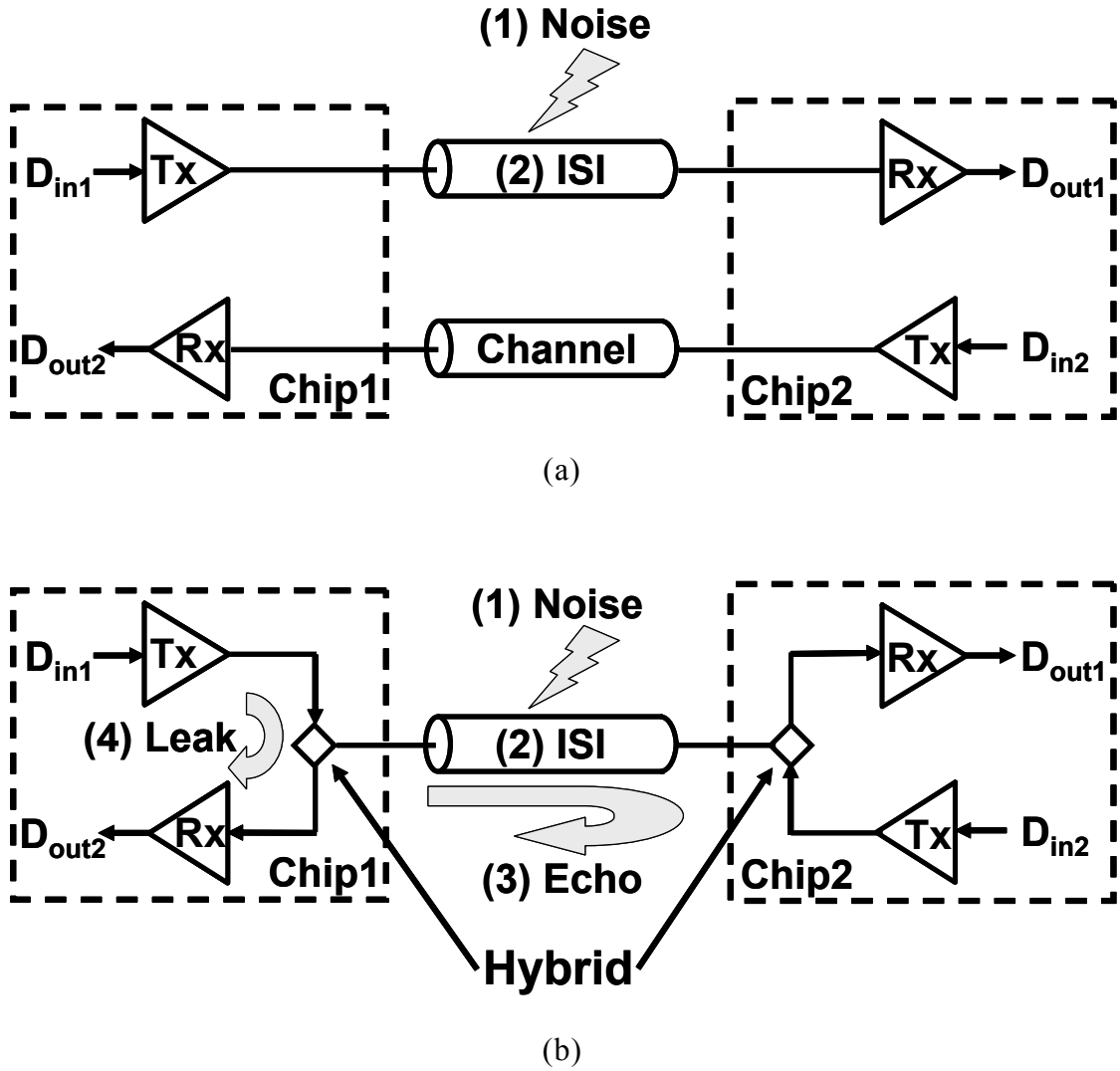


Fig. 4. 1: Full-duplex channel implementation using (a) unidirectional signaling, and (b) bidirectional signaling.

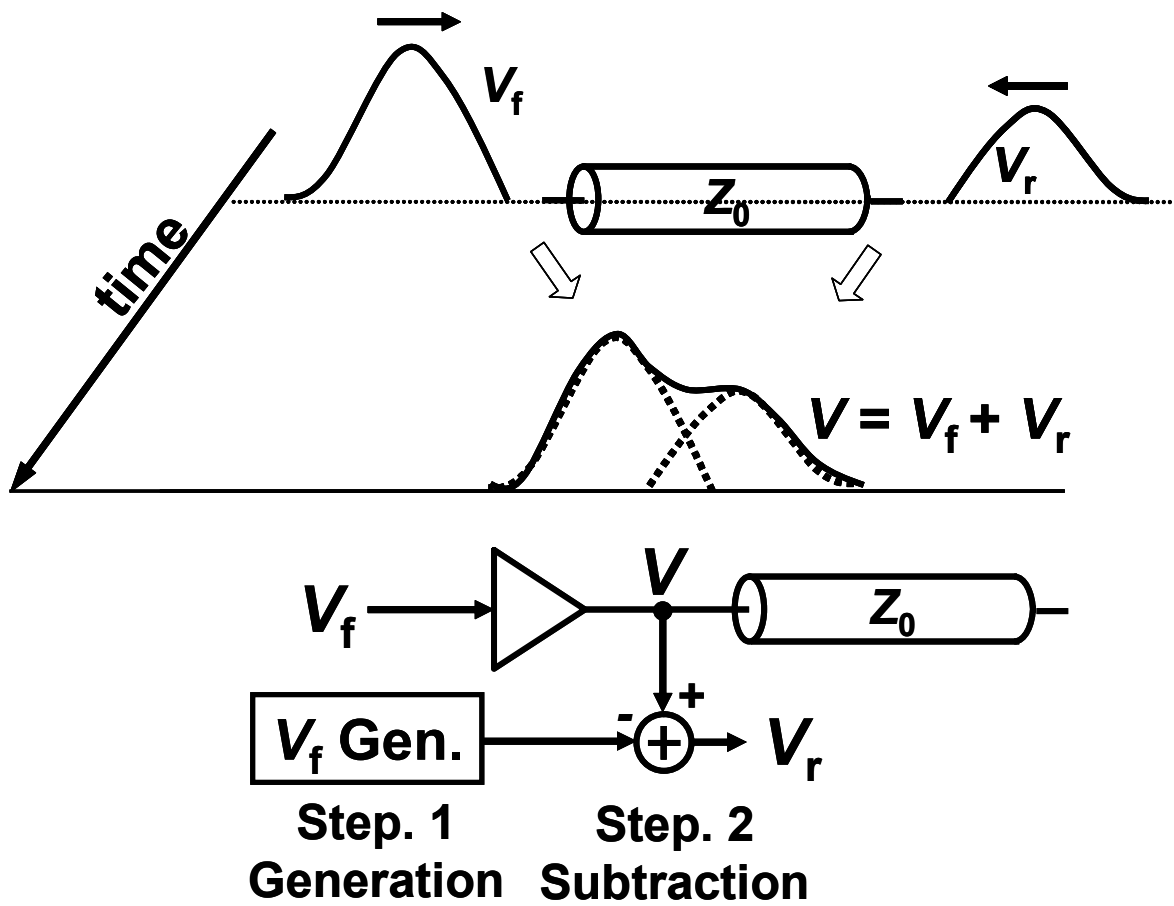


Fig. 4. 2: Separation process of the hybrid.

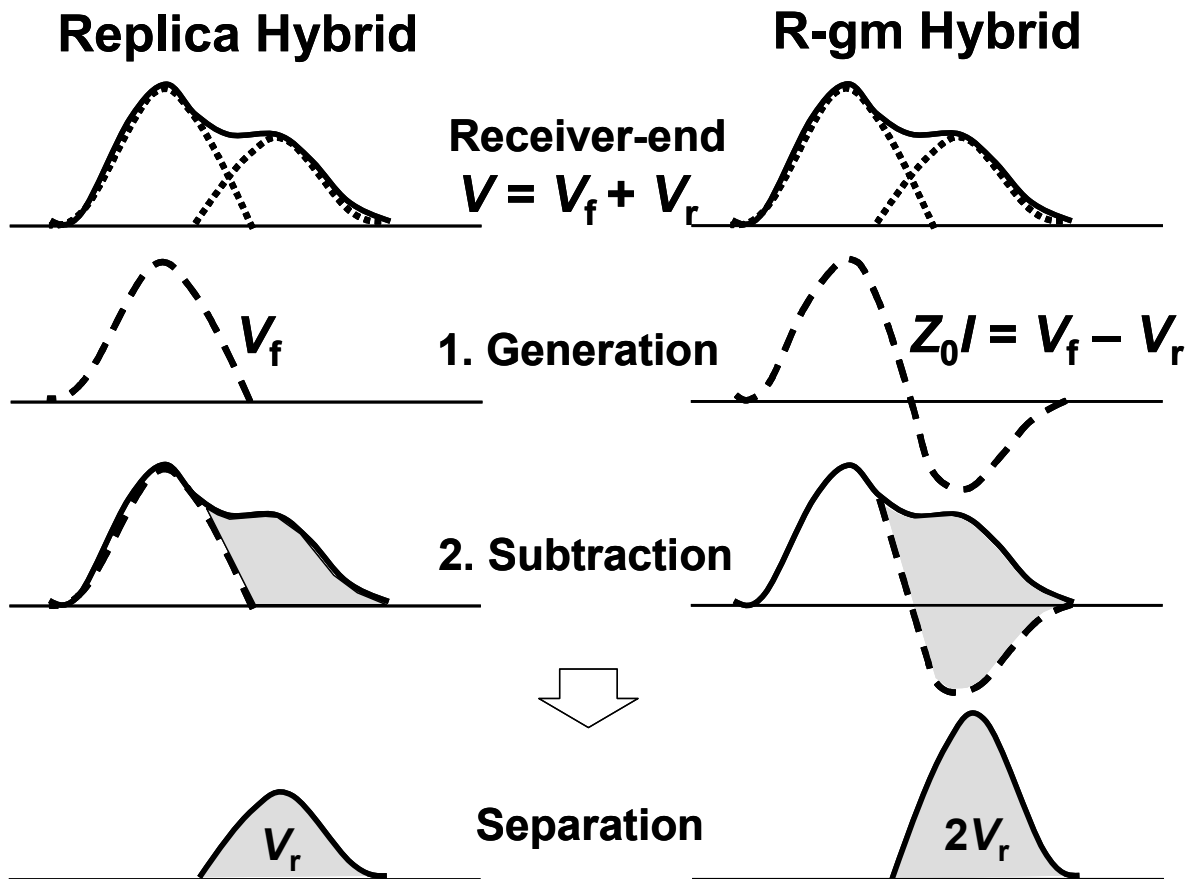
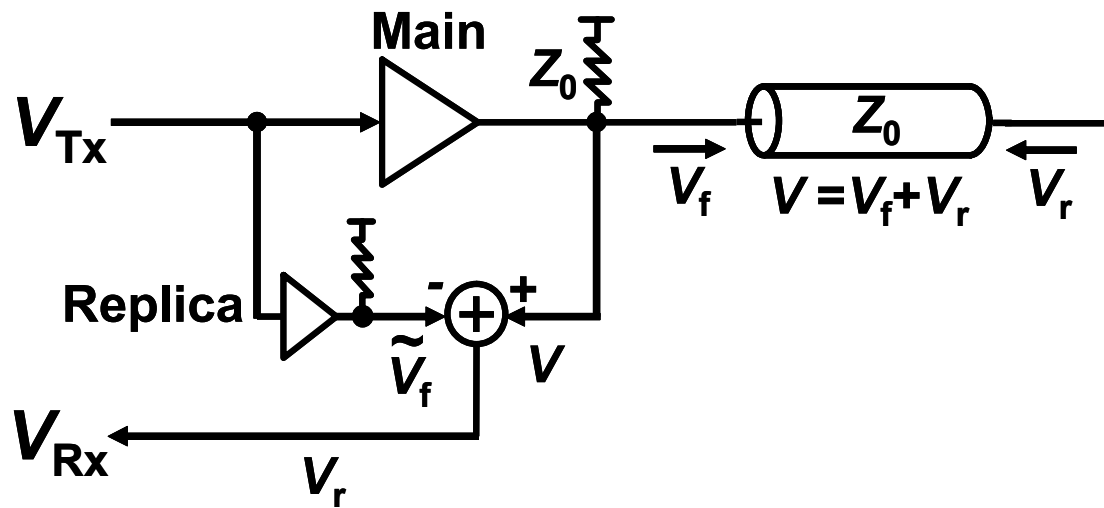
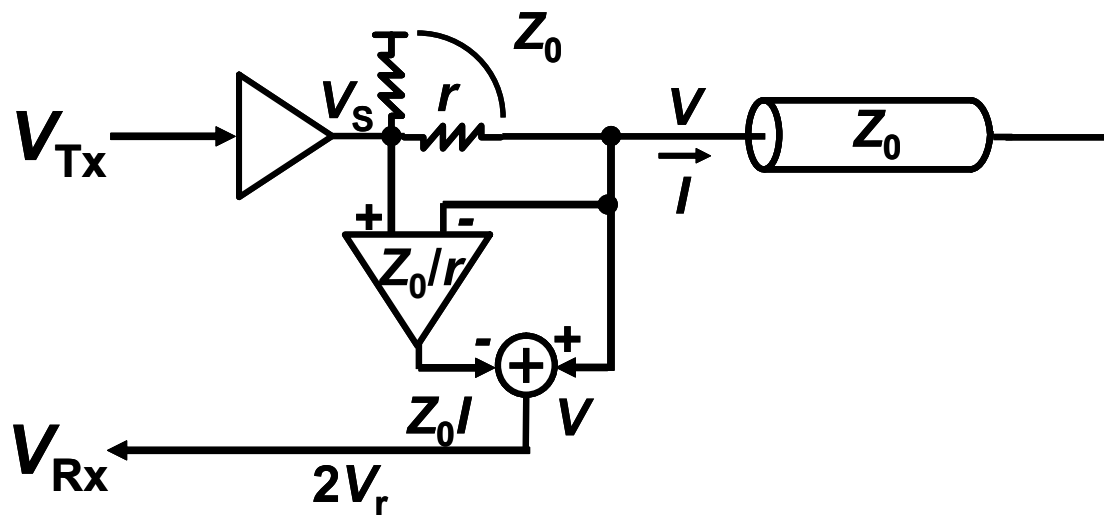


Fig. 4. 3: Separation process of the replica hybrid and R-gm hybrid.



(a)



(b)

Fig. 4. 4: Architecture of (a) replica hybrid, and (b) R-gm hybrid.

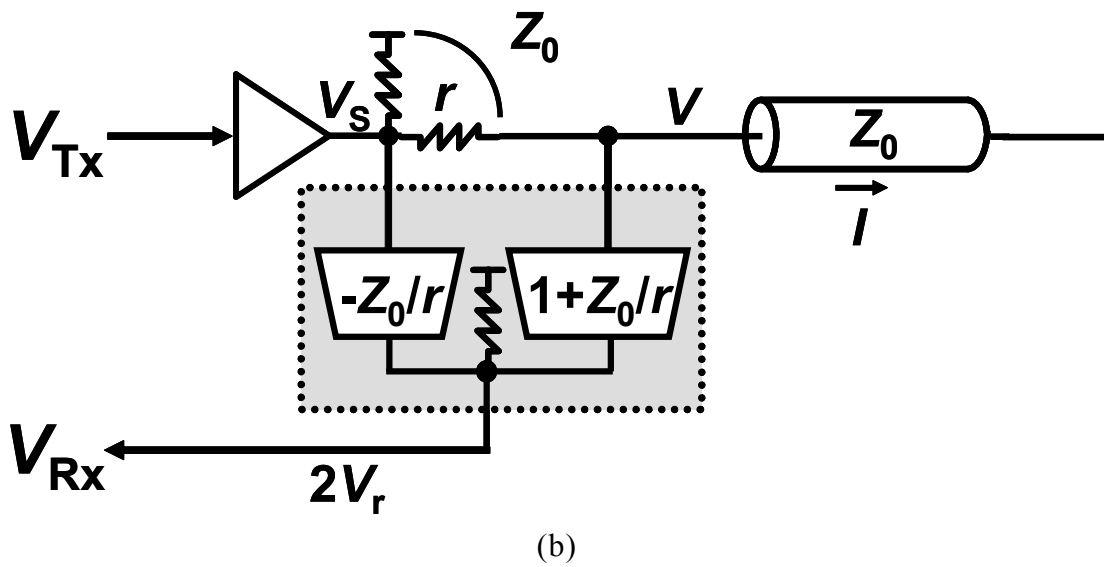
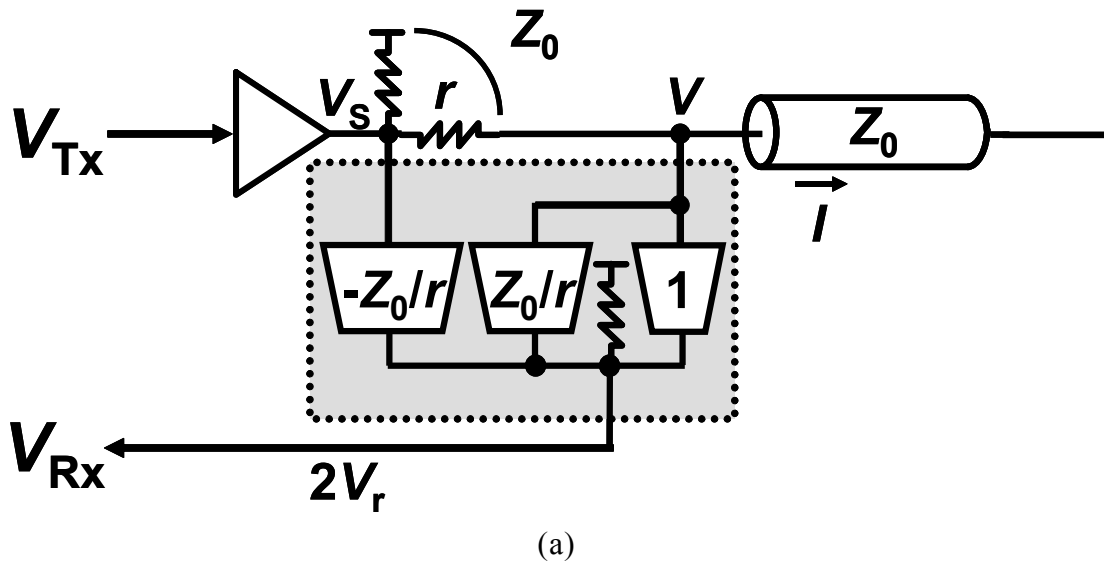


Fig. 4. 5: (a) Resistor-transconductor-based, and (b) modified, R-gm hybrid implementation.

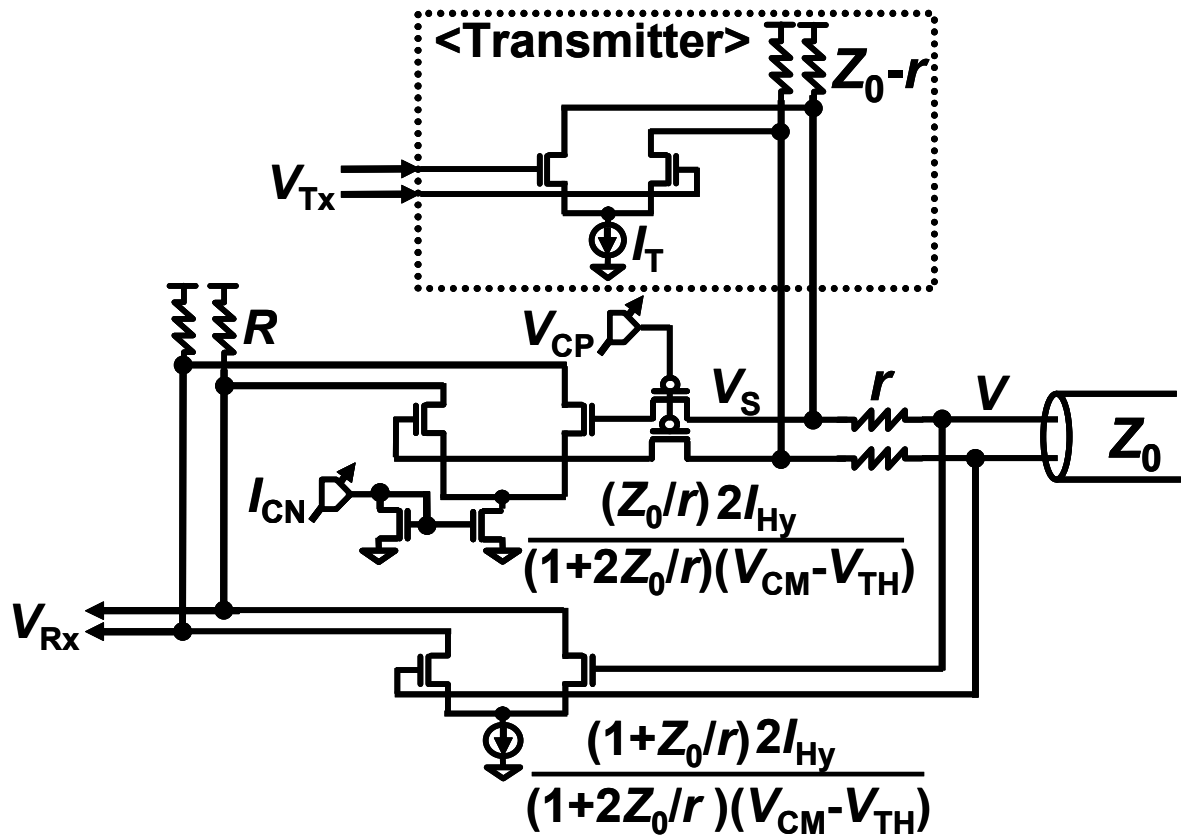


Fig. 4. 6: R-gm hybrid circuit implementation.

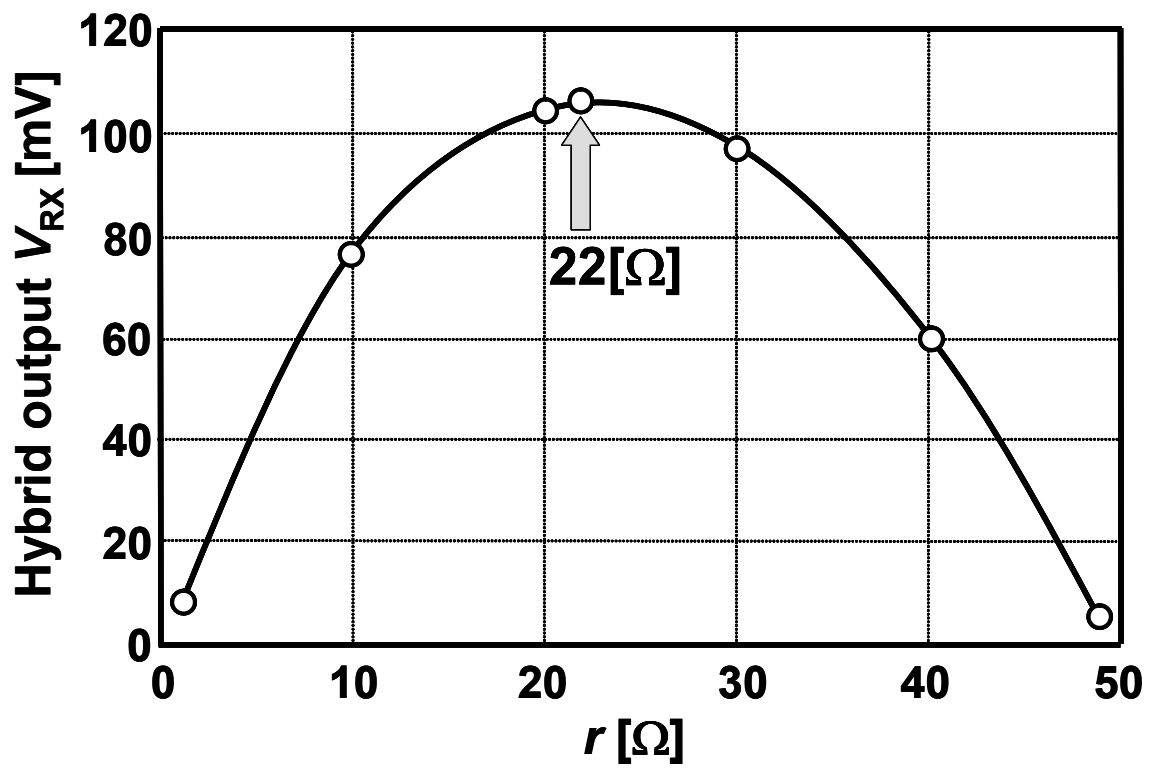
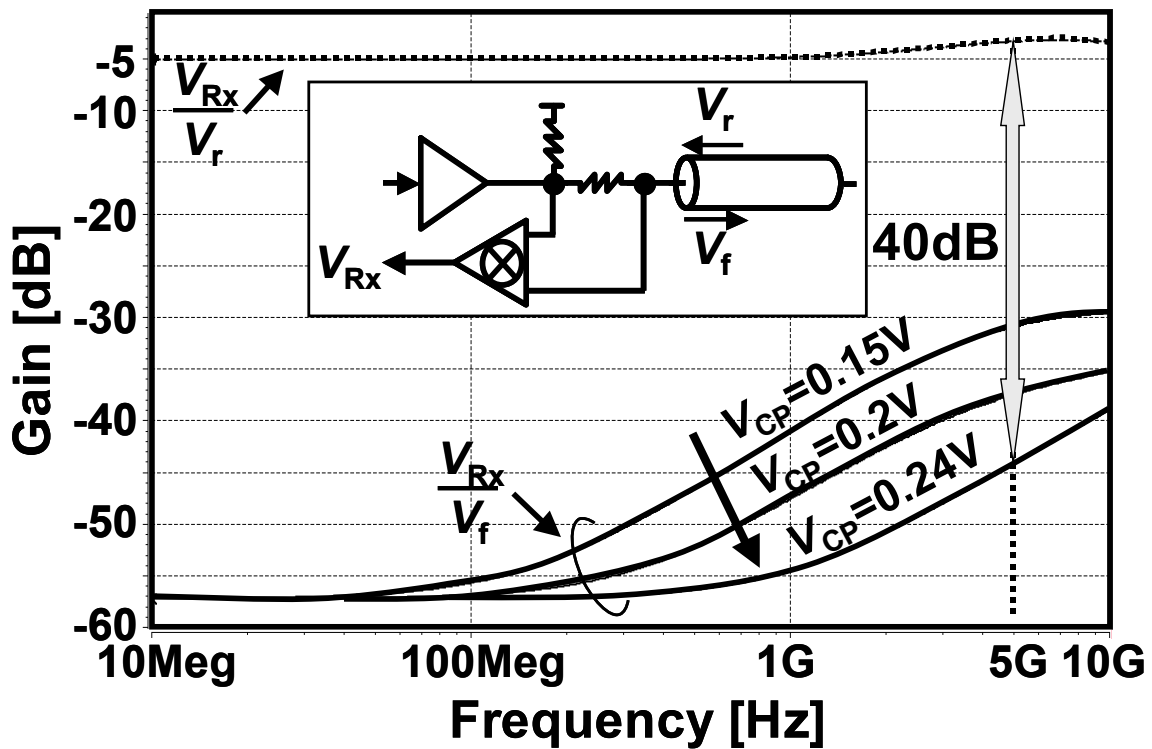
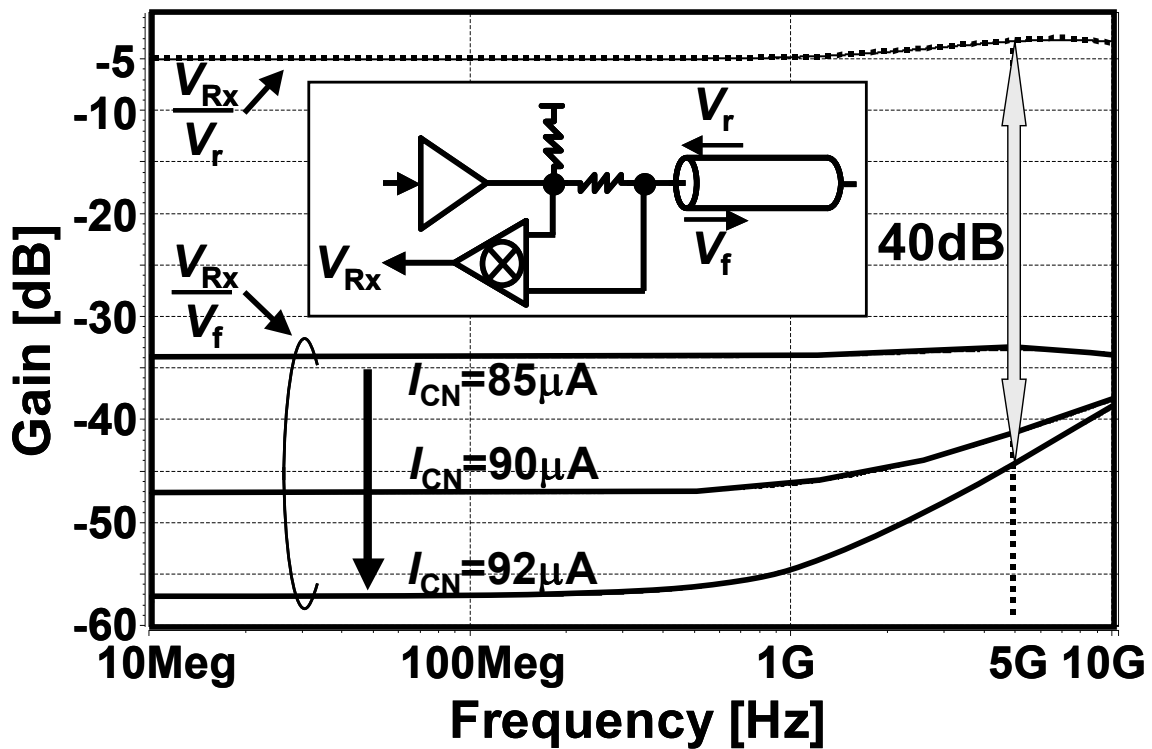


Fig. 4. 7: Resister optimization.

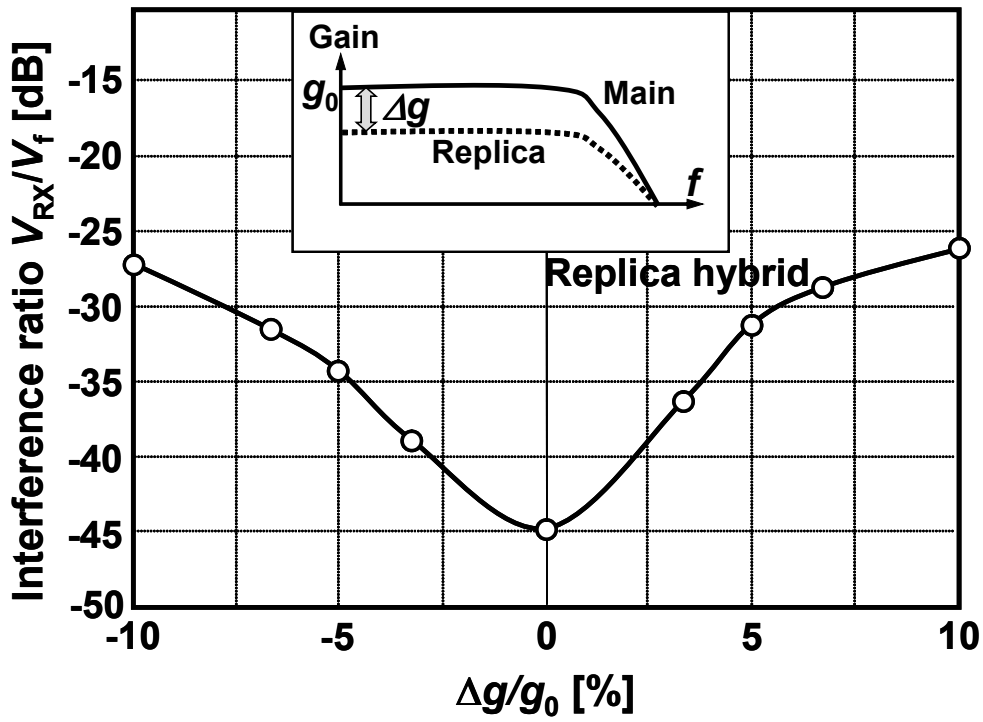


(a)

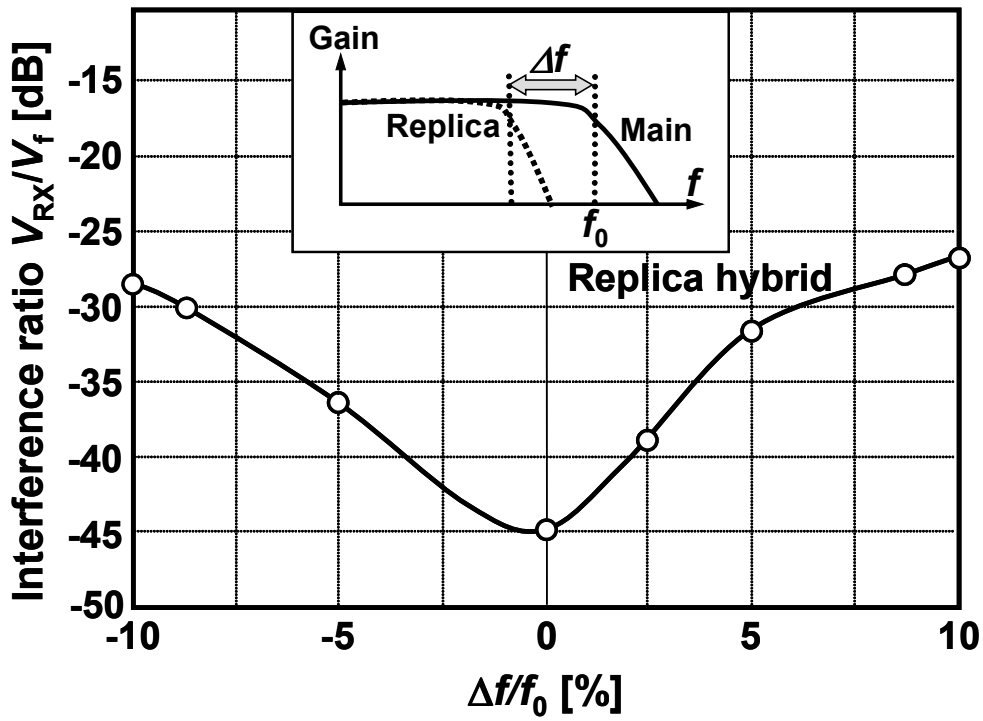


(b)

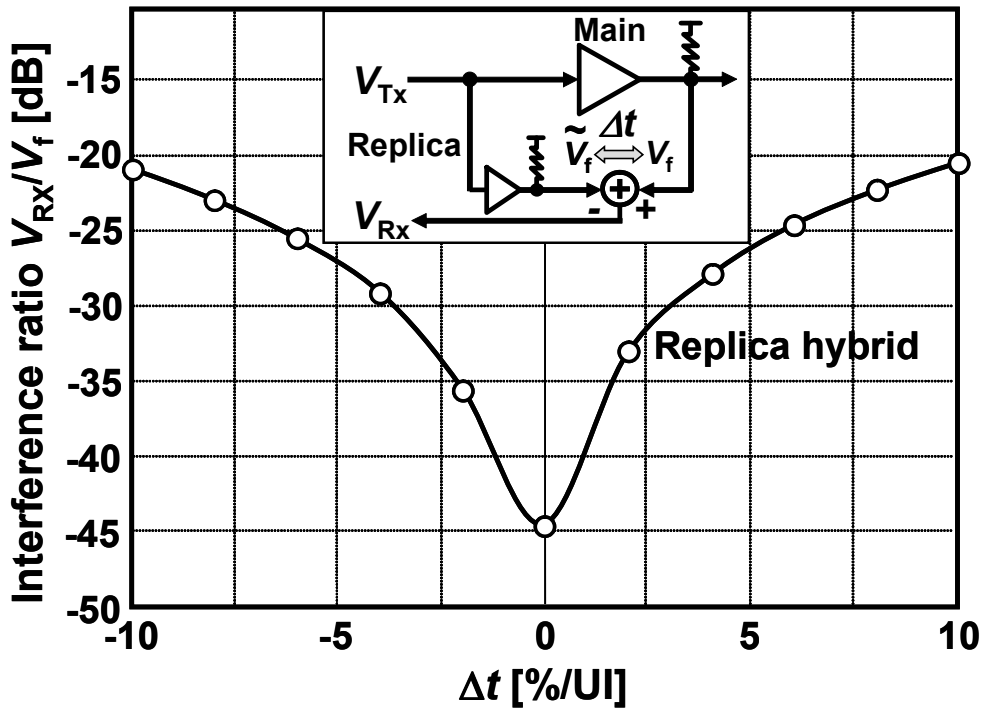
Fig. 4. 8: Frequency characteristics of the R-gm hybrid of (a) dc gain control, and (b) high frequency gain control.



(a)

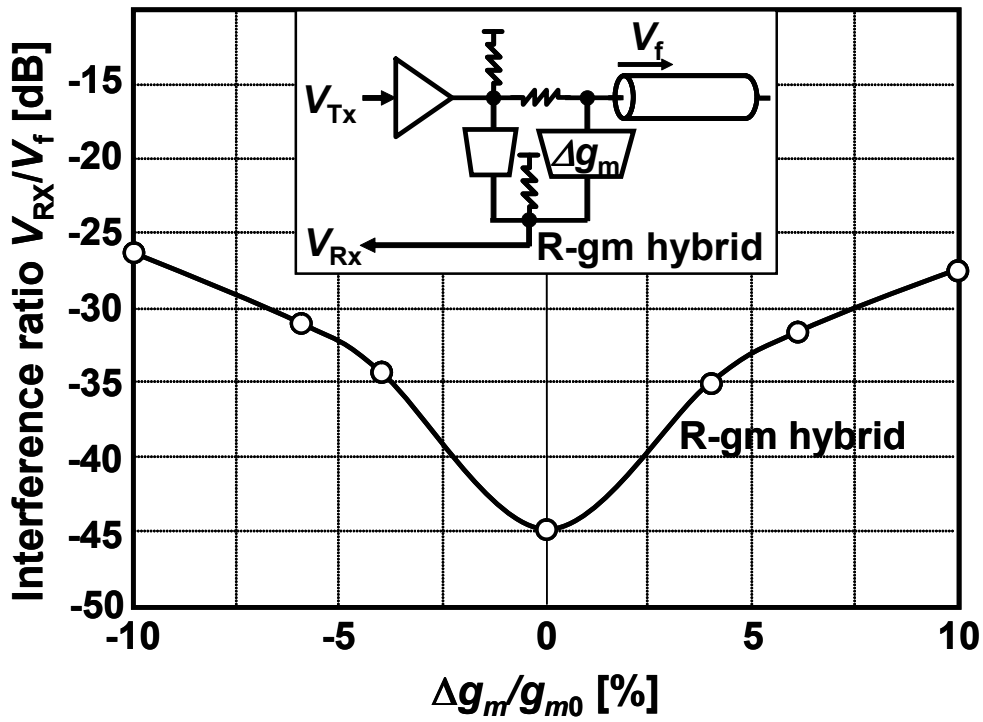


(b)

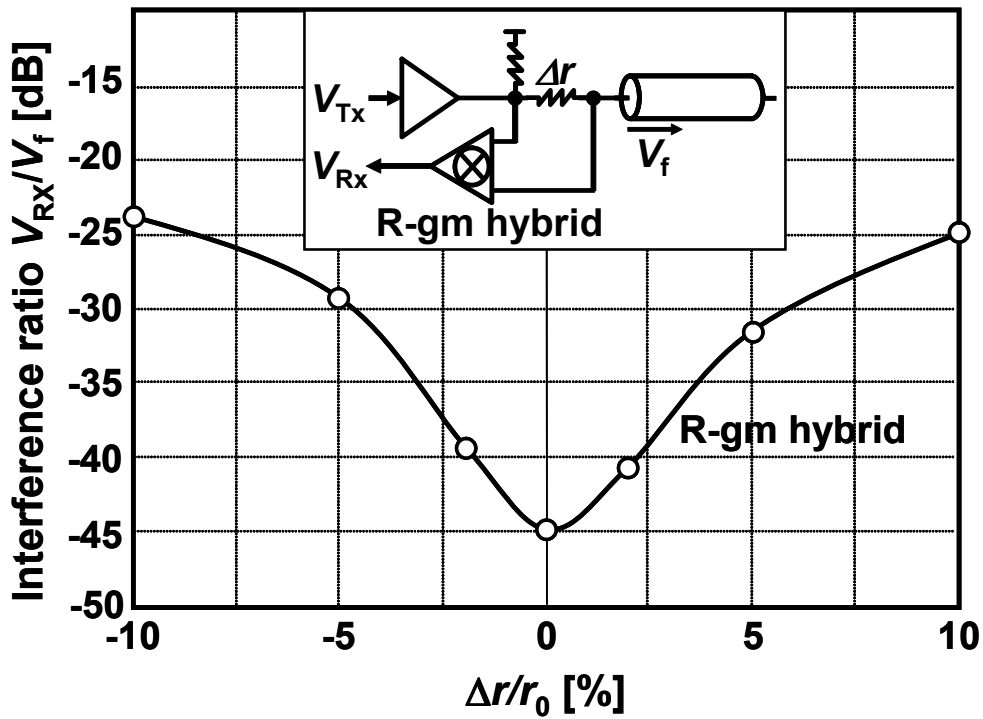


(c)

Fig. 4. 9: Interference ratio due to (a) gain mismatch, (b) frequency characteristics mismatch, and (c) timing mismatch.

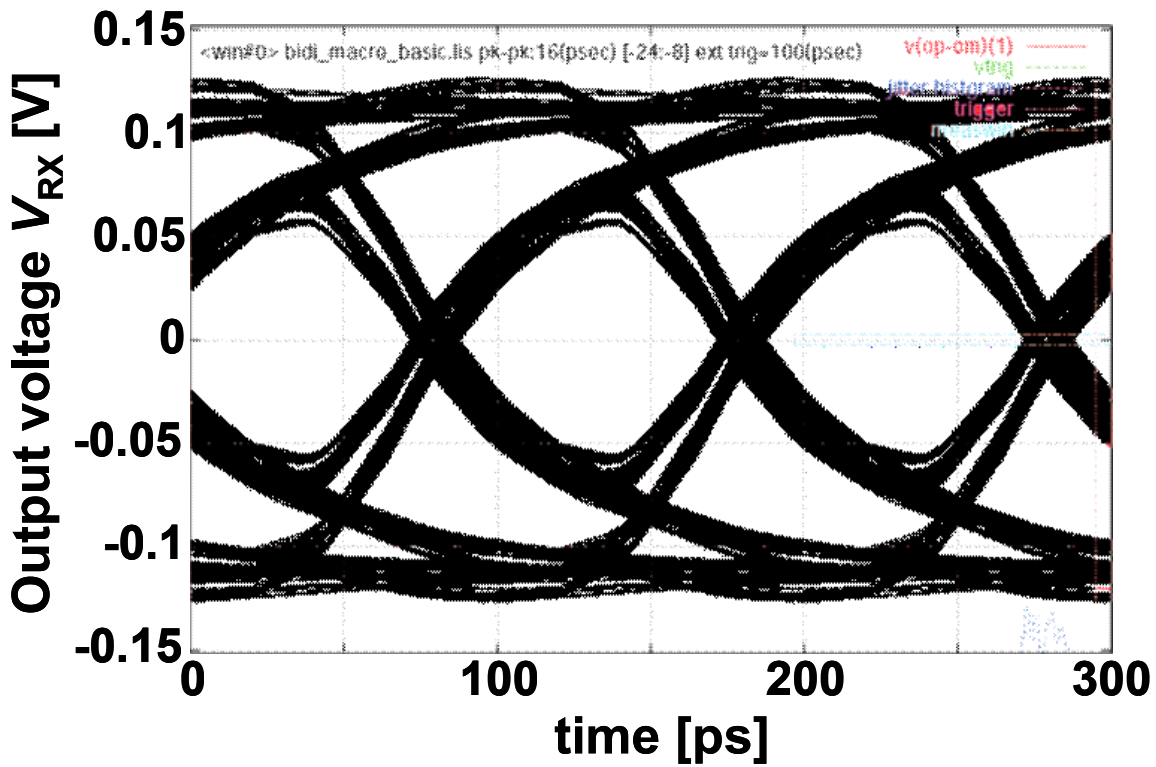


(a)

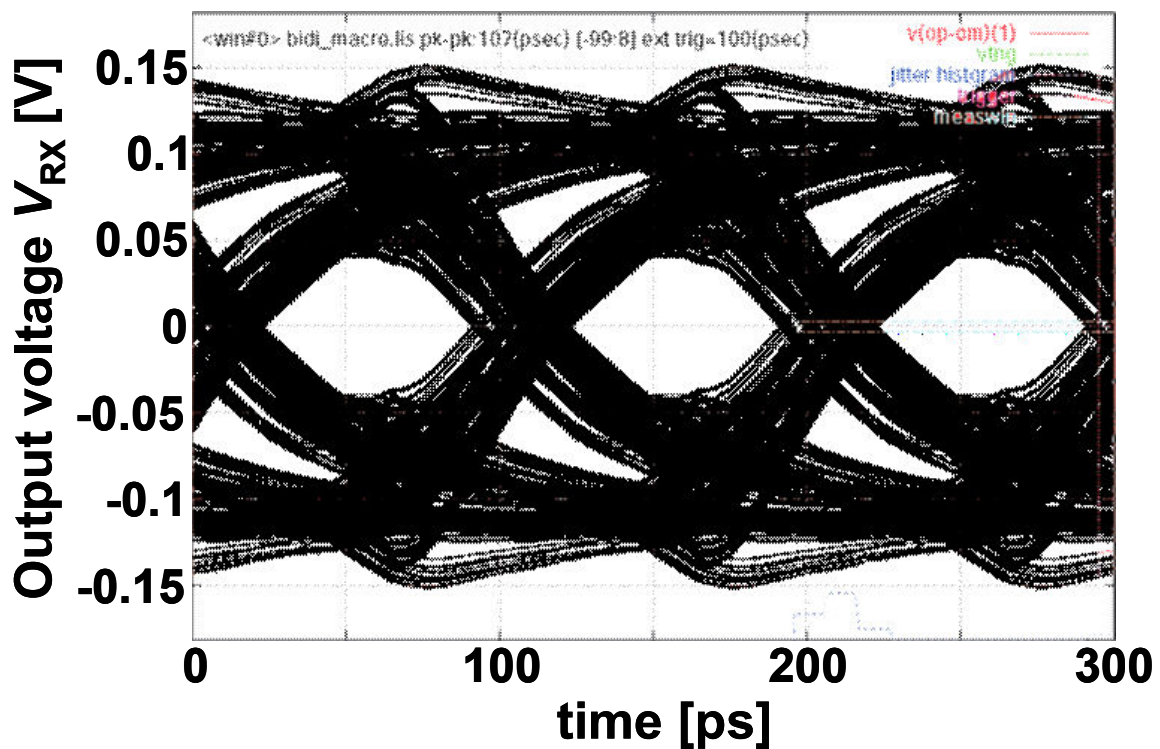


(b)

Fig. 4. 10: Interference ratio due to (a) gain variation, and (b) resistance variation, in the R-gm hybrid.

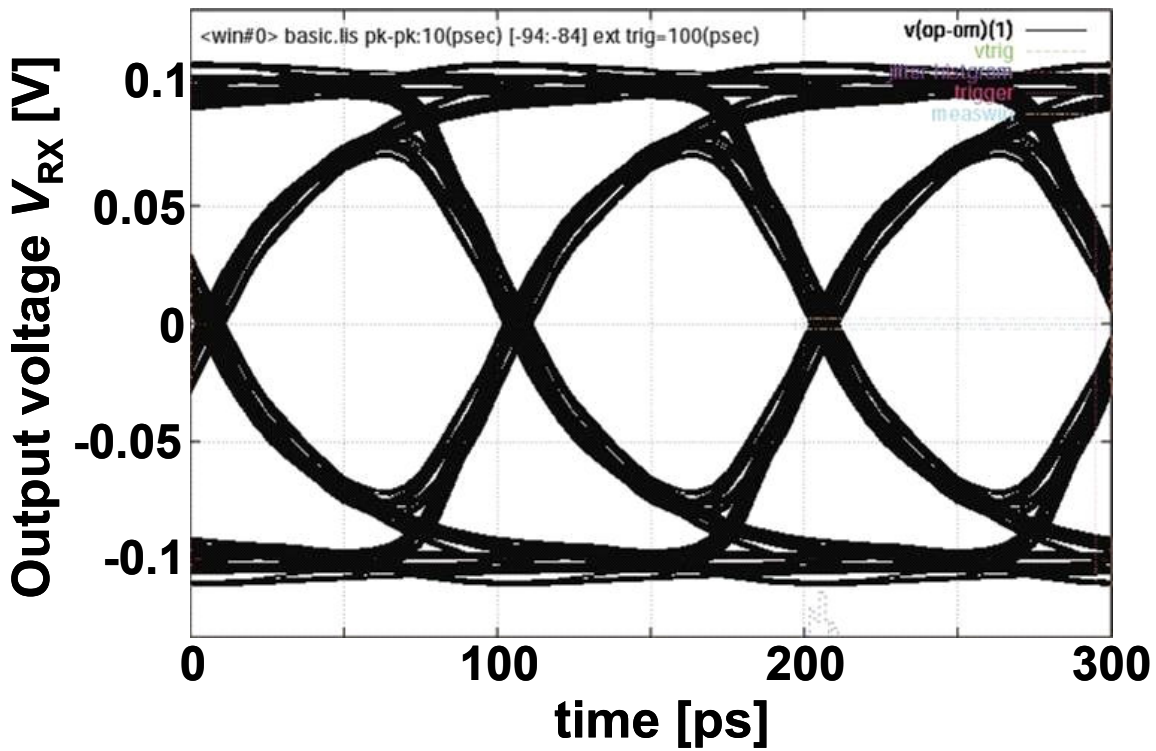


(a)

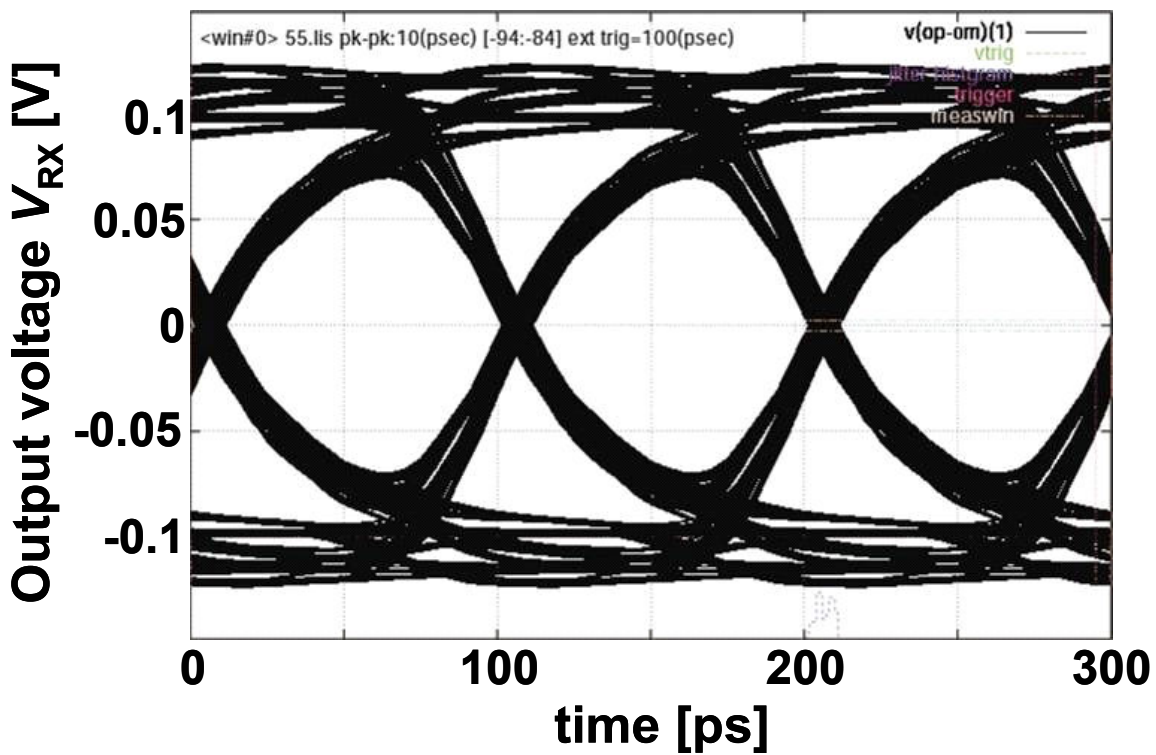


(b)

Fig. 4. 11: Eye diagram of replica hybrid output of (a) no mismatch, and (b) 10% gain, frequency characteristics, and timing mismatch.



(a)



(b)

Fig. 4. 12: Eye diagrams of R-gm hybrid output of (a) no mismatch, and (b) 10% transconductance and resistance variation.

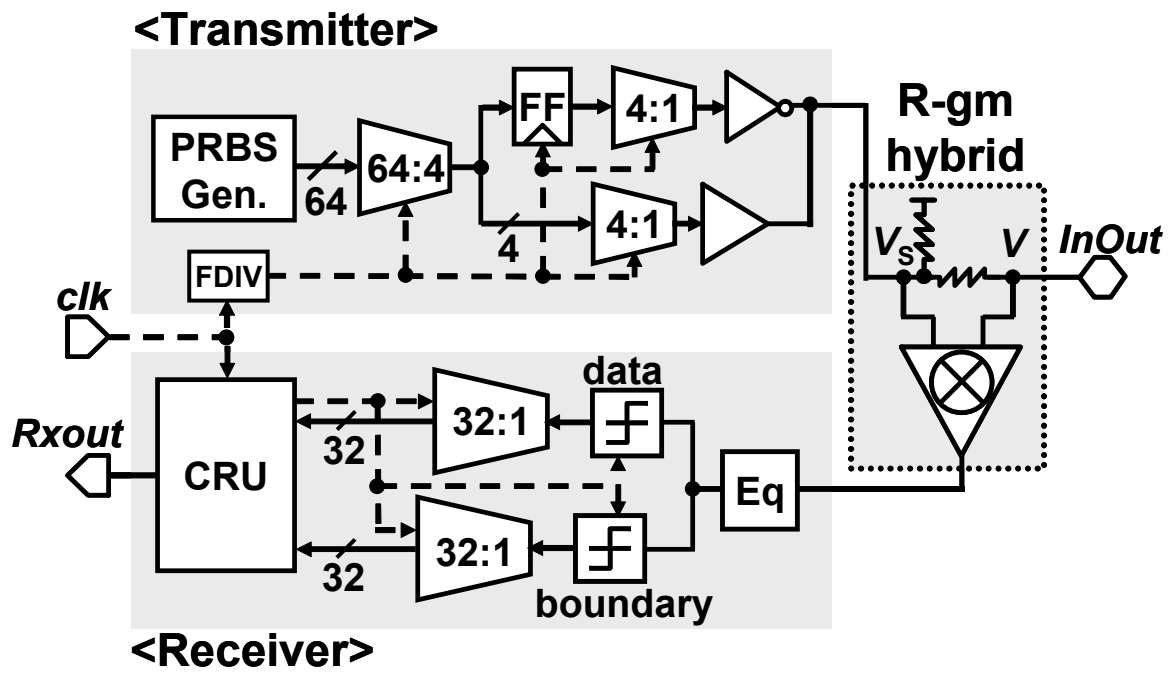


Fig. 4. 13: Transceiver block diagram.

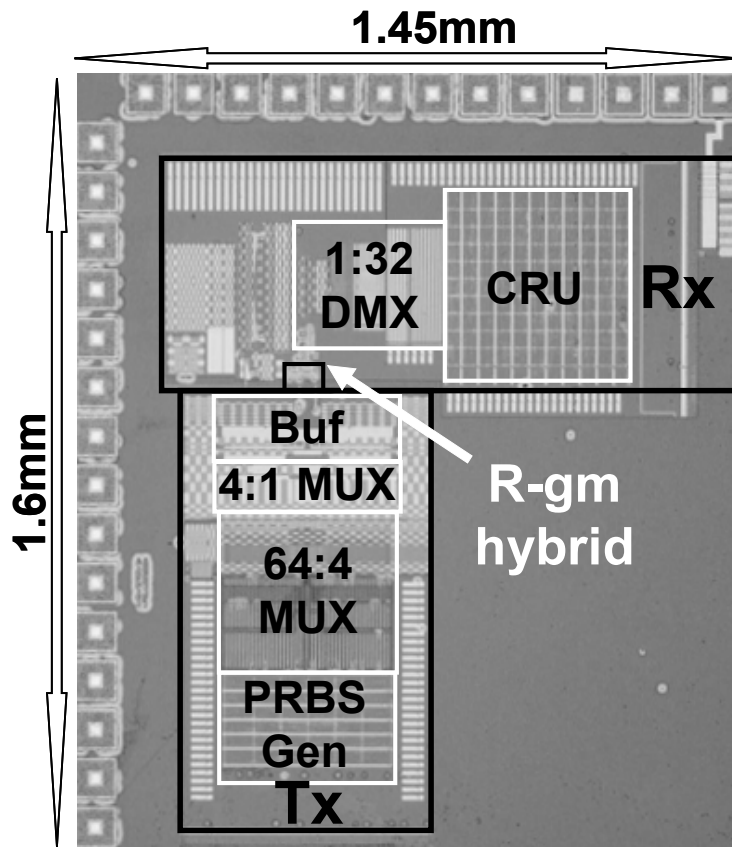
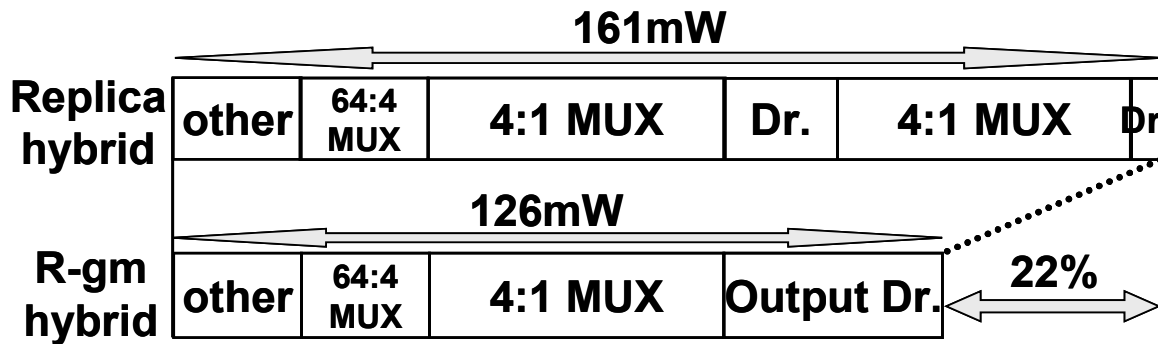
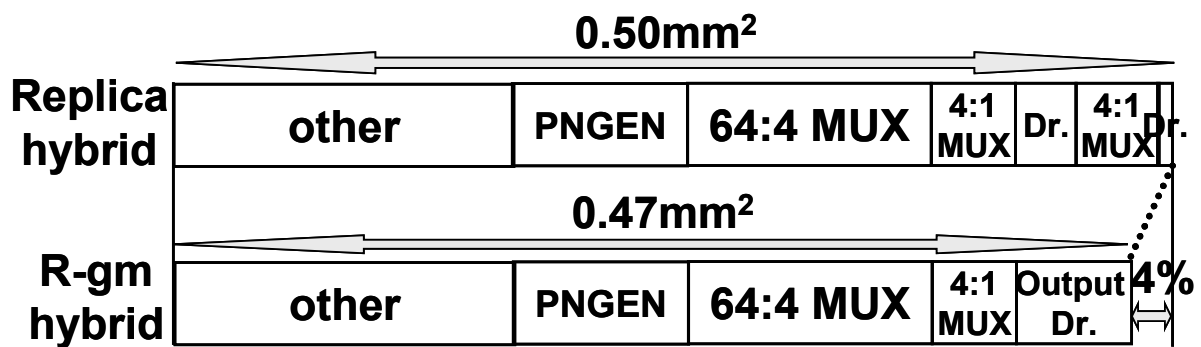


Fig. 4. 14: Chip photomicrograph.



(a) Power



(b) Area

Fig. 4. 15: Comparison of the replica hybrid and R-gm hybrid in terms of (a) power consumption, and (b) area.

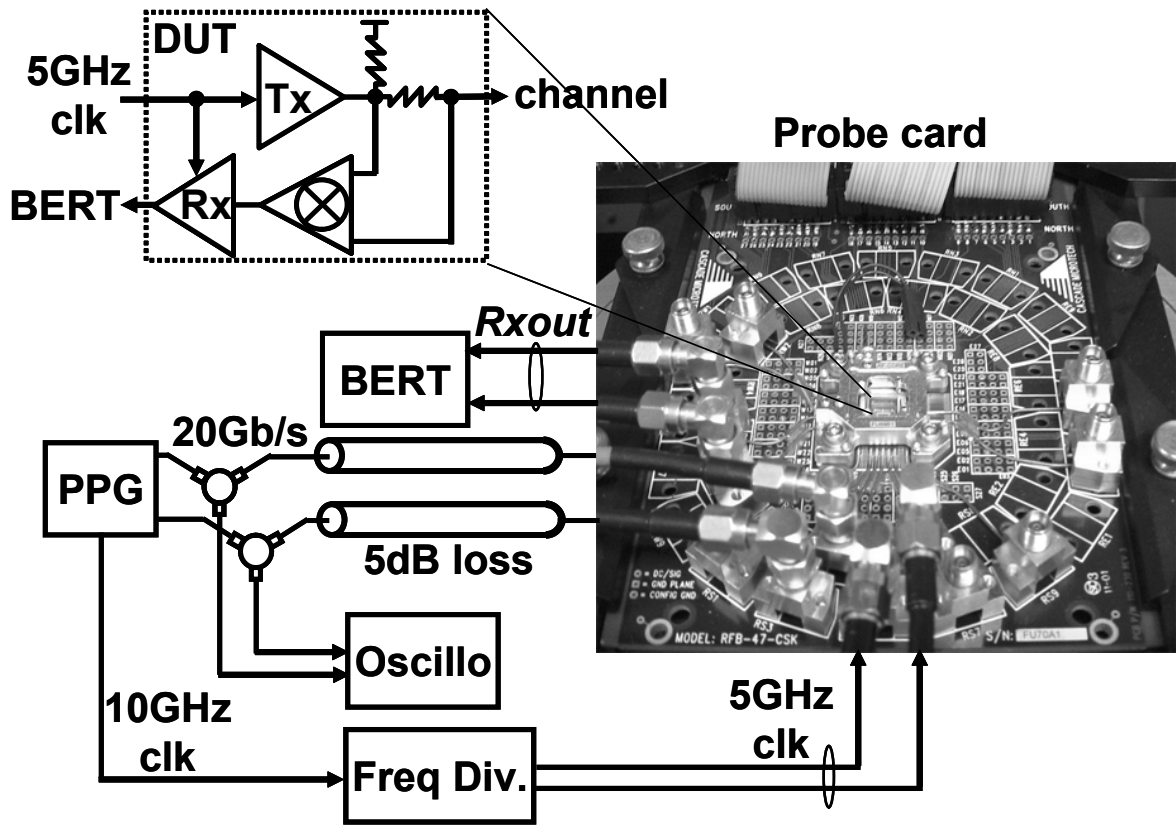
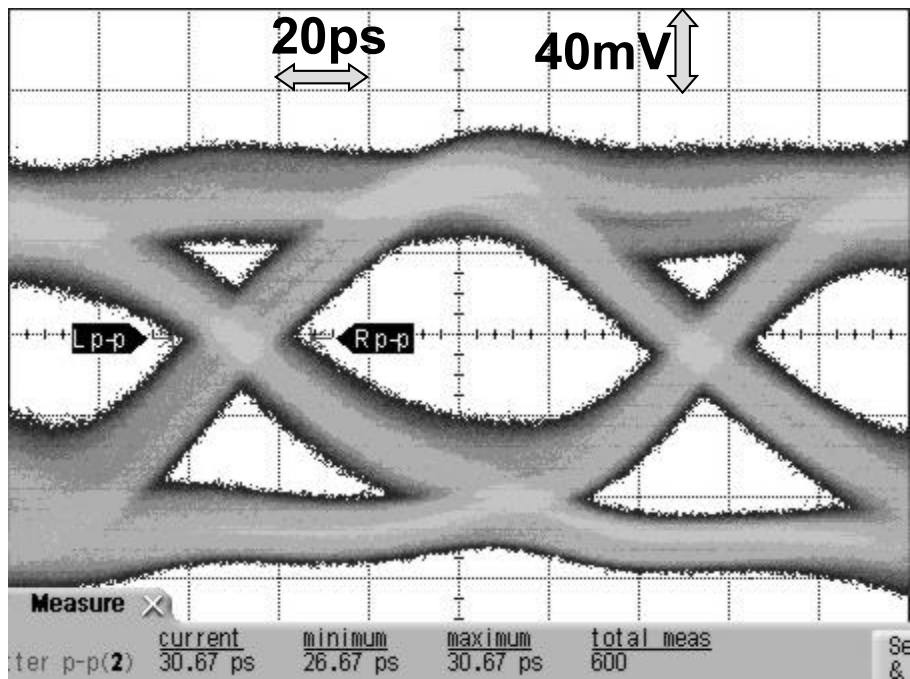
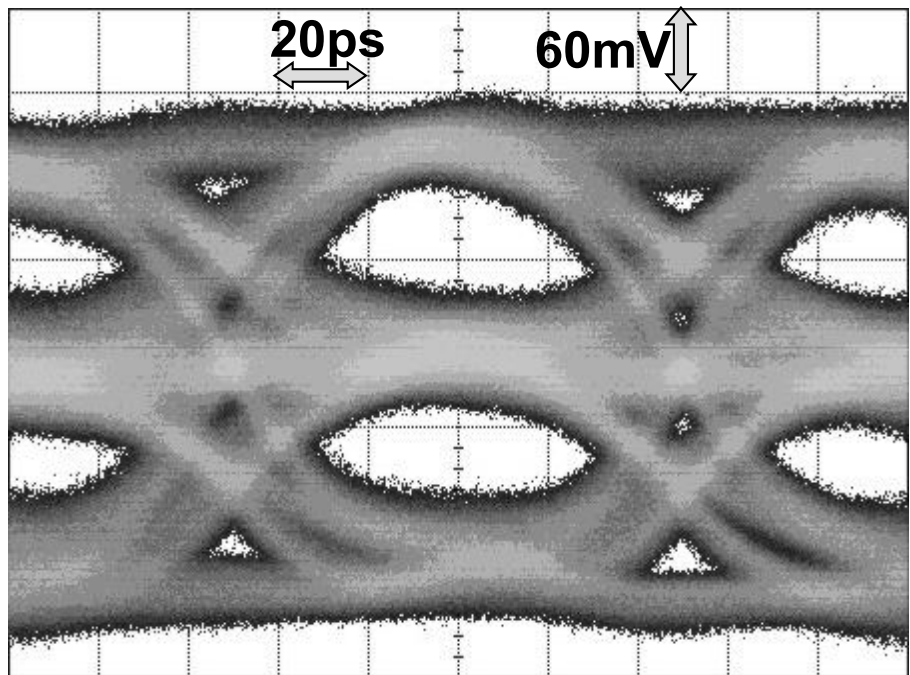


Fig. 4. 16: Measurement setup.

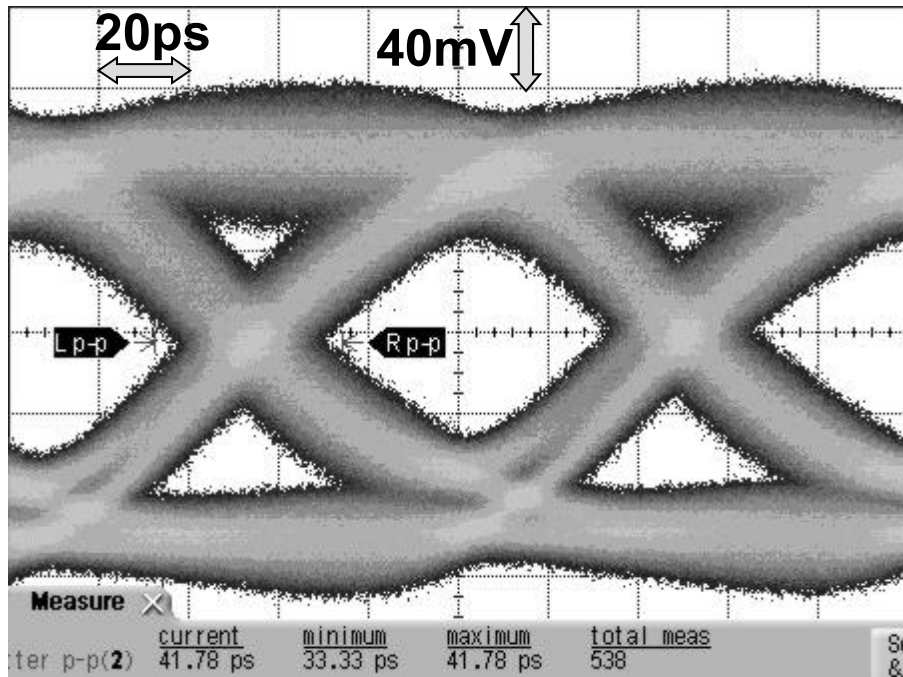


(a)

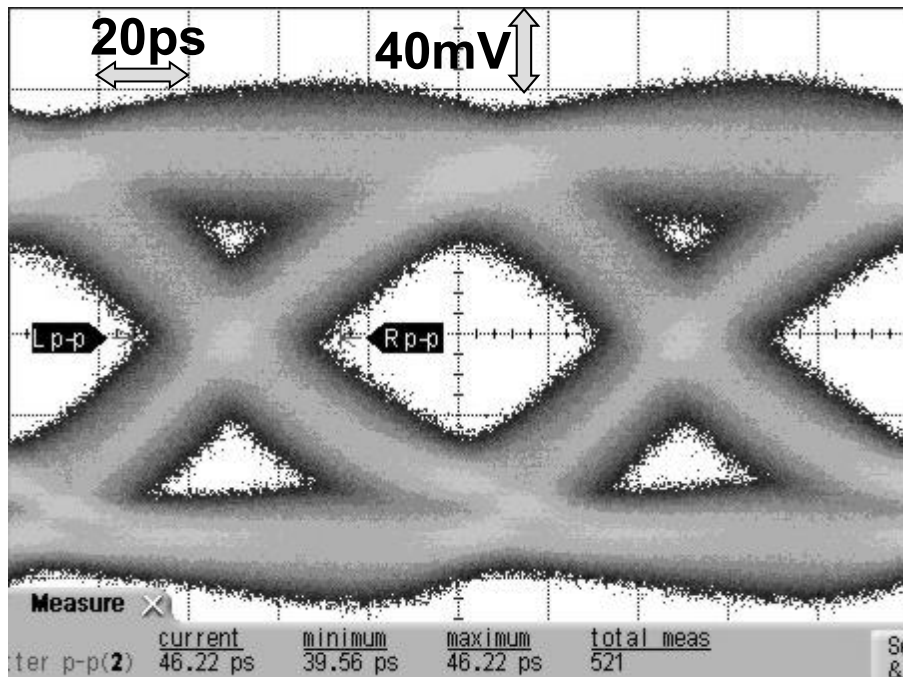


(b)

Fig. 4. 17: Eye diagram on the transmission line of (a) 10Gb/s unidirectional signaling, and (b) 20Gb/s bidirectional signaling.



(a)



(b)

Fig. 4. 18: Eye diagram of the R-gm hybrid of (a) 10Gb/s unidirectional signaling, and (b) 20Gb/s bidirectional signaling.

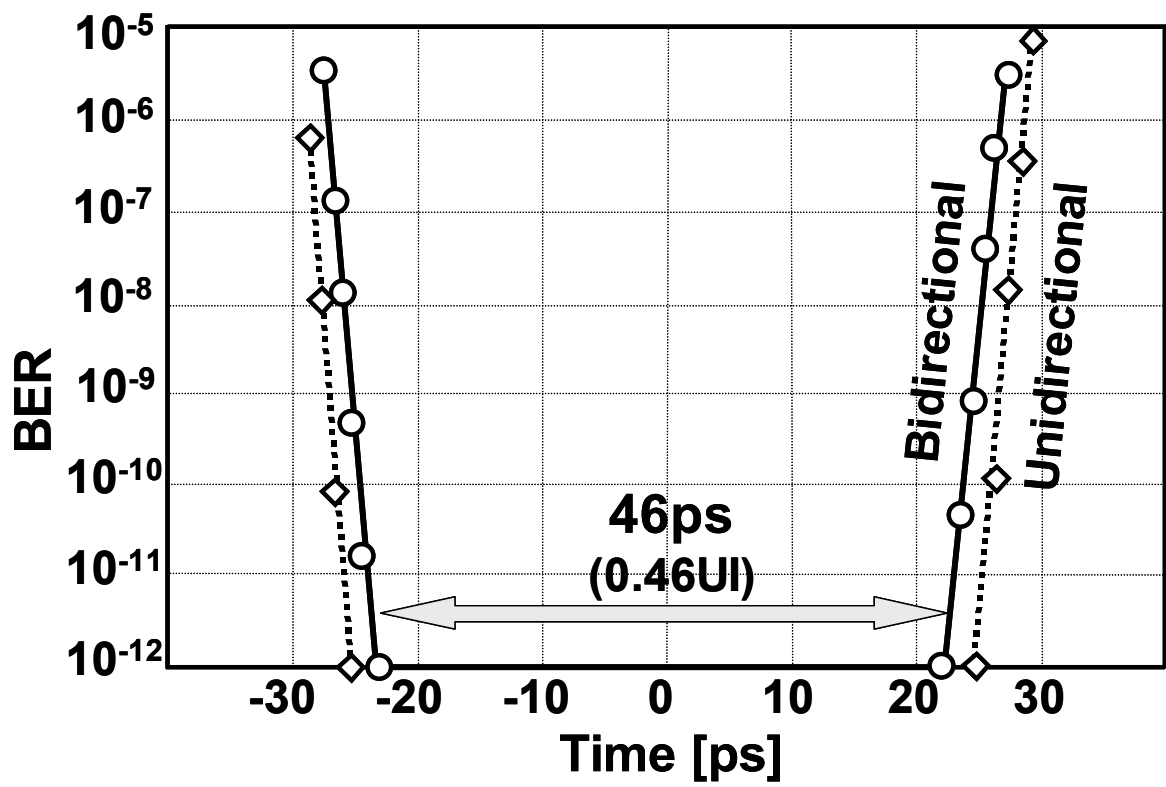


Fig. 4. 19: Bathtub curve.

Table. 4. 1: Performance summary.

Data rate	20 Gb/s (bidirectional)
Supply voltage	1.2 V
Technology	0.11 μm CMOS
Transmitter	
Area	0.48 mm²
Power consumption	126 mW
Amplitude	80-200 mVp-p
Jitter	30.7 ps
Receiver	
Area	0.54 mm²
Power consumption	133 mW
Bit error rate	$< 10^{-12}$
Sensitivity	60 mVp-p
Timing margin	46 ps
R-gm hybrid	
Area	0.002 mm²
Power	7 mW

第 5 章

結 論

5.1 はじめに

大規模集積回路（VLSI）製造技術の著しい発展に伴い、1つのLSIチップ内で処理される情報量は、2年で2倍という Moore の法則にしたがい、指数関数的な増加を続けてきた。一方で、LSI に出入りする情報量であるバンド幅が、内部で処理される情報量の増加に追従できない場合、要求されるバンド幅と供給できるバンド幅の間にギャップが生じ、LSI のバンド幅が LSI 全体の性能ボトルネックとなるピンバンド幅ボトルネックが生じてしまう。この問題を避ける為、チップ間高速 CMOS 通信の研究が行われ、信号線に通す信号の周波数を向上させる事により、1信号線当りの伝送速度を高め、その結果、LSI チップ間の信号周波数は 5 GHz まで達し、10 Gb/s を実現するに到った。しかしながら、高周波の信号は誘電体損失や表皮効果などの周波数依存損失により減衰するため、信号波形が劣化し、隣り合うビット間において符号間干渉を引き起こし、受信器においてエラーを招いてしまう。そのため、低い誤り率で高周波の信号の送受信を行うためには、伝送線路の距離を制限するか、周波数依存損失を補償する回路技術を導入する必要がある。

そこで本研究ではチップ間高速 CMOS 通信用送受信器において 5 GHz までの周波数依存損失を補償し、バックプレーン伝送のような長距離化を実現する高周波波形等価技術について研究を行った。また、適応制御波形等価を行うための、波形等価回路の性能を評価する手法として、チップ内で伝送線路と波形等価回路込みのチャンネル応答を測定する回路技術について研究を行った。さらに、信号周波数を上げずにバンド幅を向上させる技術として、双方向伝送技術に着目し、入力信号と出力信号を分離するハイブリッド回路技術についての研究を行った。

以下に本研究で得られた結論を各章ごとに分けて記述し、最後に総括をする。

5.2 高周波波形等価技術（第2章）

本章ではバックプレーン伝送のような長距離伝送を実現するための高周波波形等価技術について述べた。提案する波形等価回路（イコライザ）は、インダクタを用いずに広帯域化を達成するため、フィードバック方式である Cherry-Hooper 回路を利用した。また、伝送線路の損失を補償するのに必要となる高次のゼロ点形成については、

差動対のソースに容量を挟み込む事と、フィードバックループに極を作る事で、2 次のゼロ点作成を達成した。これらのゼロ点は、独立に制御可能である事を示し、最長 20 dB までの様々な伝送距離に対応できる事を示した。また、このイコライザを受信器と共に実装し、BER が 10^{-12} 以下で受信できる事を示した。

5.3 チャネル応答測定技術（第 3 章）

本章では、適応制御イコライザのための、イコライザの特性を評価する手法としてチャネル応答測定回路を提案し、実装、評価した。チャネル応答測定技術は、サンプリングした現在の信号に含まれる理想振幅とのエラーと、過去または未来の信号ビットとの相関を計算することにより実現できる事を示した。また、その実装方法として、スイッチト・キャパシタ方式を用いるチャネル応答測定回路を、それに必要な複数周波数クロック発生回路とともに実装した。測定では、このチャネル応答測定回路付き受信器は、0.11- μm CMOS プロセスを用いて試作し、イコライザの評価に重要なチャネル応答を低消費電力で測定できる事を示した。

5.4 双方向伝送化技術（第 4 章）

本章では、周波数を上げずに、バンド幅を上げる高帯域化技術として双方向伝送用のハイブリッドアーキテクチャ及びその回路実装方法について提案した。双方向伝送のハイブリッドにおける入力信号抽出の概念を示し、それが従来のレプリカハイブリッドと R-gm ハイブリッドにどのように実現されているかを示した。R-gm ハイブリッドは、伝送線路電圧と電流を用いる事により、レプリカハイブリッドで必要とされていたレプリカドライバ無しで、入力信号の抽出を実現した。その結果、従来のレプリカハイブリッドで問題となっていたゲイン、周波数特性、タイミングのミスマッチ問題を避ける事ができ、さらに、面積、消費電力も削減できる事を示した。測定では、この同時双方向伝送用送受信器は、0.11- μm CMOS プロセスを用いて試作し、20 Gb/s のバンド幅を BER が 10^{-12} 以下で達成できる事も示した。

5.5 総括

本研究では産業応用に向けてチップ間高速 CMOS 通信の長距離化と高帯域化に関する研究を行った。長距離化のためには、伝送線路で生じた周波数依存損失を補償する高周波波形等価技術について、回路実装をし、実測において 20 dB までの損失まで補償できる事を実証した。また、波形等価回路を評価する方法として、伝送線路と波形等価回路込みのチャンネル応答を測定する回路技術を提案し、波形等価回路を評価した。さらに、信号周波数を上げずに高帯域化を実現するため、双方向に信号を送る回路技術を研究した。このハイブリッド回路は、伝送線路の電圧と電流から入力信号を分離でき、実測において双方向伝送を BER が 10^{-12} 以下で送受信できる事を実証した。

5.6 今後の展望

本研究では、チップ間高速 CMOS 通信において、長距離化を実現するための波形等価技術と、波形等価回路を評価するチャンネル応答測定術と、高帯域化を実現するための双方向伝送用ハイブリッド技術について述べた。これらの技術は、適応制御技術や、エコーキャンセラー技術、隣接チャンネル間のクロストークキャンセル技術と組み合わせられる事により、誰でも簡単に使いこなせるインターフェースとして実用化されるであろう。また、その結果として、本研究で目的としたマルチプロセッササーバ内のプロセッサ間リンクのみならず、今後、LSI のスケールリングが進み、バンド幅に対する要求が高まるにつれ、イーサネットやメモリでの通信においても有効な技術となる。

さらに、将来のチップ間高速 CMOS 通信の動向について考えると、将来のチップ間高速 CMOS 通信は、1 チャンネル当りの伝送速度をさらに高める研究と、高集積化を実現するために、1 チャンネル当りの送受信器の低消費電力化を求める研究に分けられる。1 チャンネル当りの伝送速度をさらに高めるには、本研究で用いた双方向伝送技術に多値伝送化技術を組み合わせる事により、さらなる高帯域化の達成を求められる。また、低消費電力化についてであるが、Fig. 5.1 は今日までのチップ間高速 CMOS 通信用送受信器の消費電力をテクノロジーに対してプロットしたものである。これを見ると、0.18 μm を越えたあたりから送受信器の消費電力は増加の傾向がある事が分かる。その理由を探るために、0.18 μm と 90 nm のプロセスでの送受信器の消費電力の内訳を

示し、比較を行ってみた (Fig. 5. 2)。図から分かる事は、クロック分配、波形等価回路、MUX/DMX にかかる消費電力の割合が増加している事である。これは、最近のプロセスを用いた送受信器では、完全にスイッチングする CMOS 方式から、小振幅で信号を送る CML 方式に、回路構成が変わったためである。CML 回路では、直流の電流を常に流しつづけているため、CMOS よりも消費電力が高くなる。さらに、周波数が高くなると、CML 回路の負荷抵抗を小さくして帯域を広げる手法が取られるが、これは利得を一定するという条件下では、電流を増やさなければ成らないという制約が生じ消費電力の増大につながる。さらに、クロックにおける電力増加は、クロックの高周波化におけるリピータの増加も原因となっている。そこで、今後のチップ間高速 CMOS 通信用送受信器は、テクノロジーの進歩に基づいた完全 CMOS 送受信器に推移することによって、低消費電力化を実現していくと推定される (Fig. 5. 3)。

このような完全 CMOS 送受信器に回路方式が移行しても、本研究で提案したフィードバックループに極を作成するという波形等価回路技術、伝送線路の電圧と電流を利用して受信信号を取り出すという双方向伝送化技術は、チップ間高速 CMOS 通信の長距離化及び高帯域化の実現を成し、工業的に利用されると推測される。また、本研究で提案したチャネル応答測定技術についても、同様に相関を計算する事によって、チップ内の高速な信号を評価する様々な応用が考えら、双方向通信でサンプルした信号と送信した信号ビットの相関を取ることで、受信信号に含まれる反射の影響を観測するなどチャネル応答測定技術の理論は様々な応用に発展すると推測される。

このように本研究で提案した波形等価技術、チャネル応答測定技術、双方向伝送化技術は、今後さまざまな分野における工業応用へと展開するであろう。

图表

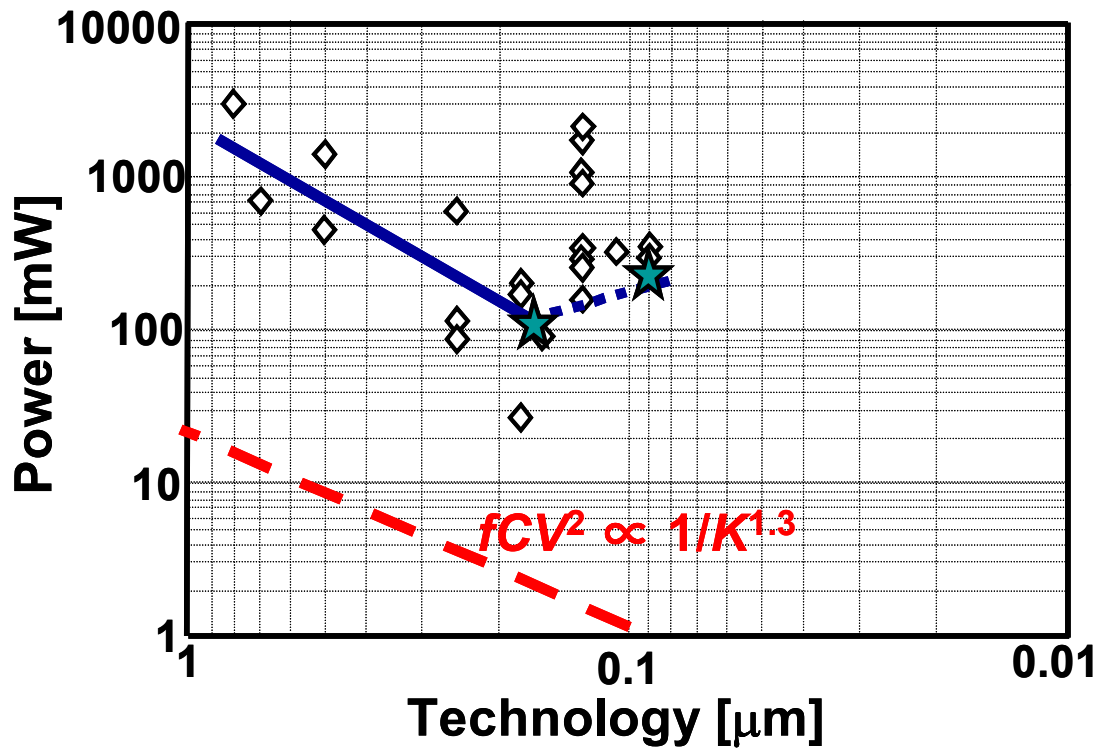


Fig. 5. 1: I/O power scaling.

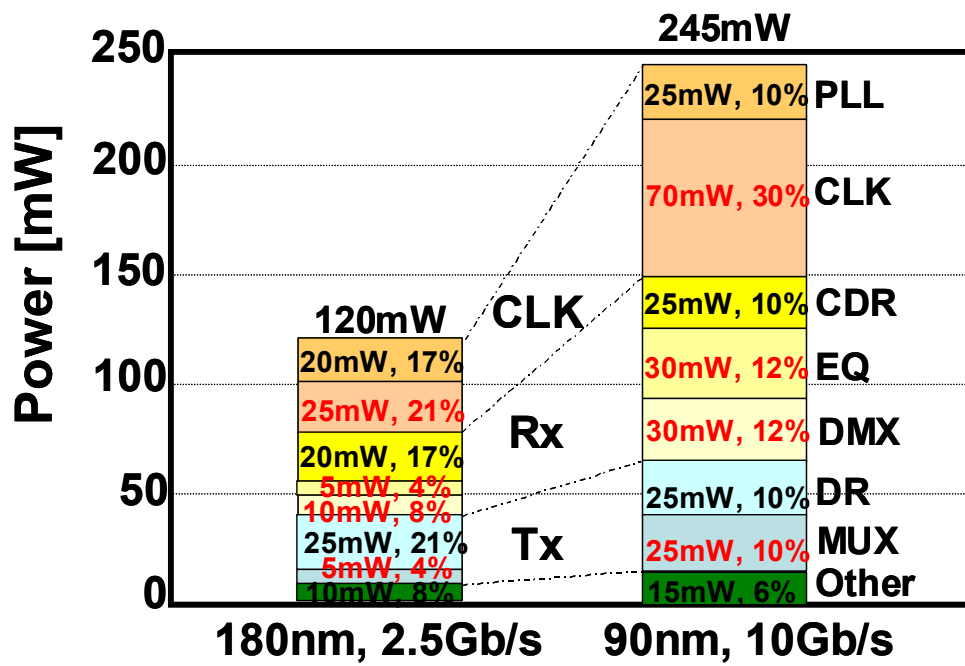


Fig. 5. 2: I/O power details.

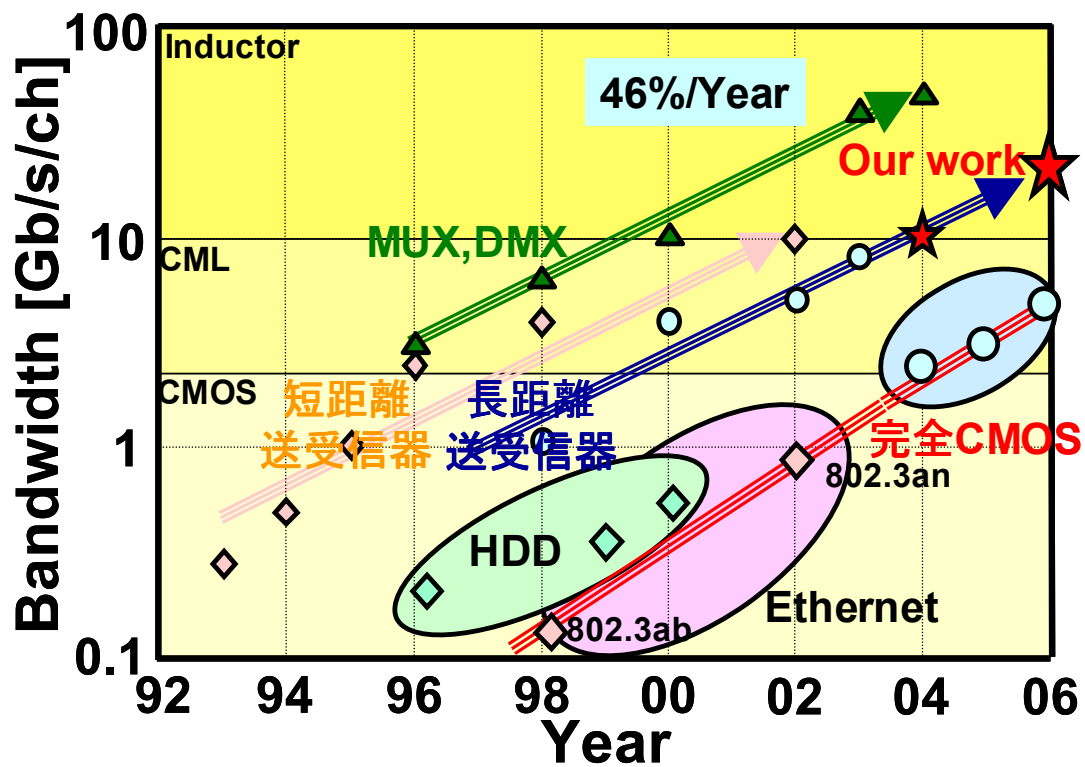


Fig. 5. 3: CMOS serial link future trend.

謝辞

本研究は、平成 18 年度慶應義塾大学大学院理工学研究科総合デザイン工学専攻スマートデバイス・システム工学専修黒田研究室において、黒田 忠広 教授の御指導のもとに行われたものである。

本研究を行うにあたり多大なる御指導、御鞭撻を賜りました慶應義塾大学理工学部教授 黒田 忠広 博士に心から深く感謝の意を表します。また、本論文に対して多くの有益な御指導、御助言を頂いた、慶應義塾大学理工学部 真壁 利明 教授、同 天野 英晴 教授、同 中野 誠彦 助教授に心から深く感謝申し上げます。

また、本研究に欠かせない実験設備を使用させていただいた富士通研究所の土屋 真平 氏、本研究のために惜しみなく時間を割き、貴重な技術的アドバイスを下さった田村 泰孝 氏、小川 淳二 氏、御多忙の中、研究、実験に御協力していただいた木船 雅也 氏に深く感謝の意を表します。さらに、アメリカでの研修の際、多くの御助言、御協力をしていただいた Fujitsu Laboratories of America の William W. Walker 氏に深く感謝いたします。

そして慶應義塾大学理工学部電子工学科黒田研究室の同輩、後輩達には公私にわたって細やかな配慮をいただき研究生活を支えてくれたことに深く御礼申し上げます。

最後に、本論文をまとめるのに際し、献身的な援助、協力をしてくれた家族に感謝の意を表します。

著者の論文目録

1. 原著論文

1. Y. Tomita, M. Kibune, J. Ogawa, W. W. Walker, H. Tamura and T. Kuroda, “A 10-Gb/s Receiver With Series Equalizer and On-Chip ISI Monitor in 0.11- μ m CMOS,” IEEE Journal of Solid-State Circuits, Vol. 40, No. 4, pp. 986-993, (2005).
2. Y. Tomita, H. Tamura, M. Kibune, J. Ogawa, K. Gotoh and T. Kuroda, “A 20-Gb/s Simultaneous Bidirectional Transceiver Using a Resistor-Transconductor Hybrid in 0.11- μ m CMOS,” IEEE Journal of Solid-State Circuits. (Accepted for publication)

2. 国際会議

1. Y. Tomita, M. Kibune, J. Ogawa, W. W. Walker, H. Tamura and T. Kuroda, “A 10Gb/s Receiver with Equalizer and On-chip ISI Monitor in 0.11 μ m CMOS,” 2004 Symposium on VLSI Circuits, Digest of Technical papers, pp. 202-205, (VLSI 2004, Honolulu, USA, 2004).
2. Y. Tomita, H. Tamura, M. Kibune, J. Ogawa, K. Gotoh and T. Kuroda, “A 20Gb/s Bidirectional Transceiver Using a Resistor-Transconductor Hybrid,” 2006 IEEE International Solid-State Circuits Conference, Digest of Technical papers, pp. 518-519, (ISSCC 2006, San Francisco, USA, 2006).
3. Y. Tomita and T. Kuroda, “A 20-Gb/s Bidirectional Transceiver Using a Resistor-Transconductor Hybrid,” Proceedings of International PhD Student Workshop on SOC, Digest of Technical papers, pp. 11-14, (IPS 2006, Taipei, Taiwan, 2006).

3. 国内学会

1. 富田安基, 田村泰孝, 木船雅也, 小川淳二, 後藤公太郎, 黒田忠広, “Resistor-Transconductor ハイブリッド回路を用いた 20Gb/s 同時双方向送受信回路,” 平成 18 年 5 月集積回路研究会, (電子情報通信学会, 神戸, 2006).

4. その他

1. 特許出願 木船雅也, 田村泰孝, 富田安基, 「イコライザ回路」特開 2005-223419
田村泰孝, 小川淳二, 富田安基, 「レシーバ回路」特願 2004-173106
田村泰孝, 小川淳二, 富田安基, 「信号波形モニタ回路」特願 2004-173105
2. 受賞 平成 17 年度 第 2 期 慶應義塾大学理工学研究科 国際学会論文発表奨励賞