

主 論 文 要 旨

報告番号	甲 第 号	氏 名	溝口 大介
主 論 文 題 目 : 誘導結合を用いたチップ間無線通信インタフェース			
(内容の要旨) 近年、携帯端末が普及し、より高性能な端末が求められている。端末の性能は内蔵されている半導体チップにより決まる。チップには、高性能化、メモリの大容量化、低電力化、低コスト化が求められる。従来、端末等のシステムを構築する際には、ボード上にプロセッサやメモリのチップを搭載して実現してきた。しかし、この実装方法では、システムの処理性能を、チップ間のデータ転送帯域が律速してしまう問題があった。また、チップ本体に比べパッケージの容積が大きいために、搭載チップ数が限られてしまうという問題があった。 現在、これらの問題を解決するために、システムオンチップ (SoC) やシステムインパッケージ (SiP) の研究・開発がなされている。SoC は、システム全体をチップ上に集積する技術で、バス帯域を上げやすく、性能を上げやすいという利点がある。しかし、メモリやアナログ回路を混載する場合、製造工程が複雑になり、コストが増大する。また、チップ面積が大きくなるため、歩留まりが低下し、コストが増大してしまう。SiP は複数のチップを1つのパッケージに納める技術で、異なるプロセスで製造されたチップを集積する事が可能である。これにより、プロセッサやメモリ、アナログ回路をSoC より安価に1パッケージに収納する事ができる。また、各チップの面積が SoC より小さいため歩留まりが向上する。さらに、良品の選別後にパッケージに実装するため、SoC に比べ、システム全体の歩留まりが向上するという利点がある。この半面、パッケージ内のチップ間の接続はワイヤボンディングやマイクロバンプであり、SoC に比べバンド幅で劣ってしまう。そこで本研究では、SiP 内のバンド幅を向上するために、誘導結合を利用したチップ間無線通信インタフェースを提案し、その実用化を目指して基礎技術を確立する事を目的とする。 第1章は、序論であり、従来のチップ間通信技術の問題点と、これを解決するために行われている近年の研究動向についてまとめ、本研究の位置付けを明確にした。 第2章では、誘導結合を用いたチップ間無線通信方式を提案し、その物理層、およびプロトコルの設計について、低電力化の検討を行った。提案した通信方式は、通信のチャネルにメタル配線で形成したインダクタを利用する。積層実装された各チップ上のインダクタを垂直方向に位置合わせし、このインダクタ間の誘導結合を利用して通信を行う。 第3章では、従来報告されていなかった、積層実装したチップ間の誘導結合のモデルを検討し、その精度を実験で評価した。評価は、実際に作成したチップの実測値と提案手法による計算値の比較により行った。この結果、実測値とモデルによる計算値はよく合致し、今後の回路設計に用いる事ができる事を確認した。 第4章では、第2章で述べた無線通信方式を実装するために、送受信回路を提案した。送信器は H-Bridge 回路を採用し、受信器はラッチつきセンスアンプで実現した。さらに、送受信のビットエラーレートを左右するセンスアンプのノイズマージンの取り方を議論した。 第5章では、第4章で述べた回路を実チップに実装し、実際にチップを積層実装した状態で行った送受信実験の結果を報告した。試作したチップは 0.35 μm CMOS 技術で設計し、積層実装の上チップは 300 μm に研磨した。この結果、通信距離 300 μm で 1.25Gbps の通信に成功した。 第6章では、電磁界に着目したスケーリングについて述べた。スケーリングの比例定数を α とすると、プロセスの進歩によりチップ内の各パラメータを α に比例して縮小し、通信距離も α に比例して縮小できたとすると、2次元配列の総バンド幅は α^3 、1ビットあたりの消費電力は $1/\alpha^3$ に比例する事がわかった。 第7章では、本論文の各章をまとめ、今後の課題について述べた。			