誘導結合を用いたチップ間無線通信インタフェース

2007年11月

溝口大介
本論文の構成と内容

近年、携帯端末が普及し、より高性能な端末が求められている。端末の性能は内蔵されている半導体チップにより決まる。チップには、高性能化、メモリの大容量化、低電力化、低コスト化が求められる。従来、端末等のシステムを構築する際には、ボード上にプロセッサやメモリのチップを搭載して実現してきた。しかし、この実装方法では、システムの処理性能を、チップ間のデータ転送帯域が律速してしまう問題があった。また、チップ本体に比べパッケージの容積が大きいために、搭載チップ数が限られてしまうという問題があった。

現在、これらの問題を解決するために、システムオンチップ（SoC）やシステムインパッケージ（SiP）の研究・開発がなされている。SiPは、システム全体をチップ上に集積する技術で、パッケージを上げやすく、性能を上げやすいという利点がある。しかし、メモリやアナログ回路を混載する場合、製造工程が複雑になり、コストが増大する。また、チップ面積が大きくなるため、歩留まりが低下し、コストが増大してしまう。SiPは複数のチップを２つのパッケージに納める技術で、異なるプロセッ者が搭載されたチップを集積する事が可能である。これにより、プロセッサやメモリ、アナログ回路をSiPより安価に２パッケージに収納する事ができる。また、各チップの面積がSiPより小さいため歩留まりが向上する。さらに、良品の選別後にパッケージに実装するため、SiPに比べ、システム全体の歩留まりが向上するという利点がある。この半面、パッケージ内のチップ間の接続はワイヤボンディングやマイクロバンディングであり、SiPに比べパンド幅で劣ってしまう。そこで本研究では、SiP内のパンド幅を向上するために、誘導結合を利用したチップ間無線通信インタフェースを提案し、その実用化を目指して基礎技術を確立する事を目的とする。

第１章は、序論であり、従来のチップ間通信技術の問題点と、これを解決するために行われている近年の研究動向についてまとめ、本研究の位置付けを明確にした。

第２章では、誘導結合を用いたチップ間無線通信方式を提案し、その物理層、およびプロトコルの設計について、低電力化の検討を行った。提案した通信方式は、通信のチャネルにメタル配線で形成したインダクタを利用。積層実装された各チップ上のインダクタを垂直方向に位置合わせ、このインダクタ間の誘導結合を利用して通信を行う。

第３章では、従来報告されていなかった、積層実装したチップ間の誘導結合のモデルを検討し、その精度を実験で検証した。評価は、実際に作成したチップの実測値と提案手法による計算値の比較により行った。この結果、実測値とモデルによる計算値はよく合致し、今後の回路設計に用いる事ができる事を確
認した。

第 6 章では、第 3 章で述べた無線通信方式を実装するために、送受信回路を提案した。送信器は レンジアント回路を採用し、受信器はラッチつきセンスアンプで実現した。さらに、送受信のビットエラーレートを左右するセンスアンプのノイズマージンの取り方を議論した。

第 7 章では、第 6 章で述べた回路を実チップに実装し、実際にチップを積層実装した状態で行った送受信実験の結果を報告した。試作したチップは レンジアント ピンネル技術で設計し、積層実装の上チップは レンジアントに研磨した。この結果、通信距離が 6 メートルで レンジアントの通信に成功した。

第 8 章では、電磁界に着目したスケーリングについて述べた。スケーリングの比例定数を α とすると、プロセスの進歩によりチップ内の各パラメータを α に比例して縮小し、通信距離も α に比例して縮小できたとするとき、2次元配列の総バンド幅は α^3、ビットあたりの消費電力は α^4 に比例する事がわかった。

第 7 章では、本論文の各章をまとめ、今後の課題を述べた。
目次

第 Ⅰ章 序論.........................................................................................................................1
  Ⅰ 背景 .................................................................................................................................2
  Ⅱ 関連研究 .............................................................................................................................3
  Ⅲ 本研究の目的と構成 ............................................................................................................5
第 Ⅱ章 誘導結合を用いたチップ間通信方式の提案 ............................................................. 13
  Ⅰ 誘導結合を用いたチップ間無線通信手法 .........................................................................14
  Ⅱ 基本原理 .............................................................................................................................14
  Ⅲ 通信方式検討 .....................................................................................................................15
  Ⅳ 容量結合方式との比較 ......................................................................................................16
  Ⅴ 研究課題 ...........................................................................................................................18
第 Ⅲ章 誘導結合モデル...........................................................................................................30
  Ⅰ 緒言 ..................................................................................................................................31
  Ⅱ オンチップインダクタ .........................................................................................................31
  Ⅲ 誘導結合モデル .................................................................................................................33
  Ⅳ チップ間誘導結合の測定 ....................................................................................................33
  Ⅴ まとめ ................................................................................................................................36
第 Ⅳ章 送受信回路..................................................................................................................56
  Ⅰ 緒言 ..................................................................................................................................57
  Ⅱ 送受信回路 .........................................................................................................................57
  Ⅲ 受信器の感度調整 ...............................................................................................................58
  Ⅳ まとめ ................................................................................................................................60
第 Ⅴ章 実験............................................................................................................................70
  Ⅰ 緒言 ..................................................................................................................................71
  Ⅱ 評価方法 .............................................................................................................................71
  Ⅲ 実験結果 .............................................................................................................................72
  Ⅳ まとめ ................................................................................................................................73
第 Ⅵ章 磁界一定のスケーリング則.........................................................................................81
  Ⅰ 緒言 ..................................................................................................................................82
  Ⅱ 誘導結合式の解析 ...............................................................................................................82
  Ⅲ スケーリング則の前提条件 ................................................................................................83
  Ⅳ 磁界一定のスケーリング則 .................................................................................................84
  Ⅴ スケーリング則の検証 .........................................................................................................85
<table>
<thead>
<tr>
<th>章目</th>
<th>項目</th>
<th>ページ</th>
</tr>
</thead>
<tbody>
<tr>
<td>第 2章</td>
<td>結論</td>
<td>98</td>
</tr>
<tr>
<td>1</td>
<td>周波数特性のスケーリング則</td>
<td>86</td>
</tr>
<tr>
<td>1</td>
<td>まとめ</td>
<td>86</td>
</tr>
<tr>
<td>2</td>
<td>誘導結合を用いたチップ間通信手法の提案</td>
<td>100</td>
</tr>
<tr>
<td>2</td>
<td>誘導結合モデル</td>
<td>100</td>
</tr>
<tr>
<td>2</td>
<td>送受信回路</td>
<td>101</td>
</tr>
<tr>
<td>2</td>
<td>実験</td>
<td>101</td>
</tr>
<tr>
<td>2</td>
<td>磁界一定のスケーリング則</td>
<td>102</td>
</tr>
<tr>
<td>2</td>
<td>総括</td>
<td>103</td>
</tr>
<tr>
<td>2</td>
<td>今後の展望</td>
<td>104</td>
</tr>
<tr>
<td></td>
<td>謝辞</td>
<td>106</td>
</tr>
<tr>
<td></td>
<td>研究業績</td>
<td>107</td>
</tr>
</tbody>
</table>
第章 序論
背景

近年、多機能な携帯電話が普及している。現在の携帯電話は通話機能だけでなく、電子メールの送受信、ブラウジング、デジタルカメラ、視聴・録画など、多数の機能を備えている。これらの機能を実現するためには、非常に多くの演算をリアルタイムに処理する必要がある。この処理をプロセッサ1個で実現すると、単位時間当たりの処理量を高める必要がある。これはプロセッサの周波数を高める事により達成できるが、周波数の増加に比例して消費電力が増えるため、携帯端末等のバッテリ駆動の機器では現実的ではない。そこで、近年の携帯端末では、各処理に特化した専用回路を設け電力消費を抑える。現在の携帯電話は、電力と処理速度のトレードオフから、全体の制御を行うプロセッサと、各機能の処理を行う専用回路、処理結果を格納するメモリを接続した構成をとっている。図1.この様な構成は、携帯電話だけでなく、PCやゲーム機、カードビゲーションシステムなどの小型の電子機器では一般的になりつつある。

図1の様なシステムを構築する際には、従来、ボード上にプロセッサやメモリ、専用回路のチップを搭載して実現してきた。図2に図1の予想する系統を例として示す。図2のチップ内の動作周波数とボード上の周波数、チップの入出力数をまとめて図を示す。図2の中のチップ外の周波数がボード上のデータ転送に用いられるクロック周波数である。この周波数は最先端の高速シリアルリンクで現在では高速シリアルリンク[等]を用いた場合の周波数を示している。最先端の高速シリアルリンクは消費電力が多く、組み込み用途には適さない。図2の年現在の組み込み用途でのボード上のバス周波数は、数百MHzとなっている。また、ボードを用いると、面積の制約からバス幅・配線本数を増やすことが難しい。このため、チップ間のバスバンド幅が限られ、システムの処理性能を、データ転送が律則してしまうという問題がある。また、パッケージの容積が大きいために搭載チップ数が限られ、メモリ容量を増やすという制限がある。

現在、これらの問題を解決するために、システムオンチップにチップを搭載するやシステムインパッケージを用いる方法などの研究・開発がなされている。図2は、システム全体をチップ上に集積する技術で

高性能、多機能、低電力で、低価格なシステムを構成するためには、[図]に比べ、[図]が向いていると考えられるが、唯一、パスバッド幅が不利である。[図]内のパッド幅向上が、システムの高性能化、高機能化、低電力化につながり、システムの付加価値を向上させる。このため、本研究では、[図]内のパッド幅向上を目標とし、新しいチップ間データ通信手法を提案する。

[図]関連研究

芯片自体を貫通する導体を作成し、上下チップの電極を接続する。この方式では層以上の積層チップに対応できる。ただし、穴の形成に時間がかかり、また、微細な物理的加工であるため歩留りも悪く、結局としてコストの増大を招く。また、物理的接触を用いて外部との入出力を行うと、寄生成分の影響で周波数を上げるのが困難となる。また、図 のロードマップより、チップ内周波数はチップ外周波数を引き離して行くため、物理的接触を用いてパッケージ外でチップ間を接続しても、チップ内外の速度の乖離のため、データ転送が処理性能を制限して行くと考えられる。さらに、チップの入出力ピン数の増加も、内部の周波数の増加と比較すると少ない。このため、ピン数を増やして周波数の差を埋める事も困難である。

これらの物理的な接続に対し、入出力数をチップの任意の場所に設ける事が出来、物理的接続による寄生成分の影響を受けない、無線方式のチップ間接続が提案されている 。 これは、本研究が目標としているデータ伝送では無くクロック伝送であるが、チップ間をダイポールアンテナを用いて、無線で伝送している。無線であるため、配線遅延が無く、少ない位相ずれでクロックの分配に成功している。 は、チップの回路実装面を向い合わせ、チップ上の電極間に生成される容量結合を利用し、データ通信を行っている 。 論文 では 、 で、通信に成功している。また、論文 では 、 という、高速・低電力通信を実現している。非接触通信は、物理的接触を用いる通信に比べ、原理的に高速化・低電力化を行い易いという利点がある。機械的接触のある接続方法では、パッドと 保護回路が必要となり、これらの回路に付く寄生容量が高速化・低電力化の妨げになるからである。一方で、非接触通信は、電磁波もしくは電界・磁界を用いた通信となるが、これらは距離の乗に比例して減衰する。通信距離が大きい場合、電磁波の減衰分を補うために余分な電力を必要とし、パッドと 保護回路の削減から得られた低電力化の恩恵を相殺してしまう可能性がある。このため、論文 では、対面実装を採用し、通信距離を最小限に抑えて、低電力化を達成している。一方で、容量結合を用いた方式は、チップ本体を貫通した通信は電力効率が低い可能性が高い。これは、距離に比例して容量が低下するためであり、容量の減少に伴い、電力効率も低下する。容量結合を用いた報告では、対面通信以外の報告はなされていない。

以上の関連研究より、層以上の積層チップ間で、物理的接触のない歩留まり高、安価 、次元配列可能な通信手法が必要であると考えられる。
本研究の目的と構成

本論文では、上に述べた背景を踏まえ、本内内のバスバッド幅向上のための新しい技術について述べる。目標として、通信速度は、面積は、面積の目標は容量結合方式の大きさ以下を、面積の目標としては一般に用いられている大きさ以下を目標の根拠とした。

下記に本論文の各章の概要を述べる。

第 1 章 チップ間無線通信方式の提案

本章では、提案手法であるチップ間無線通信手法の概要について述べる。本論文が対象とするのは、チップを縦に積層実装したデバイスである。積層実装された上下チップ間の通信を従来、ワイヤボンディングやマイクロバンプを用いて行ってきた。本章では、この通信手法に変わり、誘導結合を利用した通信手法を提案する。通信には、各チップ上に形成したインダクタを利用する。通信を行いたいインダクタの上下の位置を合わせておき、そのインダクタ間に生じる誘導結合を通信に利用する。本章では、さらに、通信の信号方式も提案する。また、容量結合方式との比較も行う。

第 2 章 誘導結合モデル

提案するチップ間通信手法を実現するためには、まず、通信路である誘導結合の性質を理解する必要がある。しかし、従来、積層実装された上下チップ間の近距離の誘導結合について研究された例はない。このため、本章では、チップ間通信のための誘導結合のモデルを提案する。さらに、このモデルの正当性を、実チップを実際に積層実装を行い、誘導結合を直接ネットワークアナライザを用いて測定する事により、検証する。

第 3 章 送受信回路

本章では、第 1 章で述べた無線通信方式を実装するために、送受信
回路を提案する。送信者は リセット回路を採用し、受信器はラッチつきセンスアンプで実現する。一章で述べたインダクタのモデルを用いて、提案回路のシミュレーションを行い、通信が可能である事を検証する。さらに、製造ばらつきやクロックジッタを考慮に入れたタイミングマージンの評価を行い、所望のマージンを達成する回路パラメータの決定方法を議論する。

第①章 実験

本章では、第一章で述べた回路を実チップに実装し、実際にチップを積層実装した状態で行った送受信実験の結果を報告する。試作したチップは層金属配線技術で設計し、積層実装の上チップは研磨した。近年の高密度積層実装されたメモリチップはこの程度の厚さであり、チップ層と通信をした通信に相当する。この結果、通信距離で通信の通信に成功した。また、タイミングマージンの測定も行い、見積もりとほぼ同じマージンを測定できた。

第②章 磁界一定のスケーリング

第二章では、電磁界に着目したスケーリングについて議論する。受信電圧一定という制約条件で、通信チャネル密度を上げて行く場合を想定する。受信電圧を計算する式を、インダクタの各パラメータから算出できる様式変形を行い、これらのパラメータがスケーリングファクタに比例して縮小しても、一定とできる事を示す。これにより、今後、プロセスが進歩した場合にも、提案する通信手法が有効であることを示す。
図 三菱システム構成の一例（ルネサステクノロジー製携帯電話向けチップ システムの図と周辺回路）。
図 ここに示した高速パッケージのロードマップ．
図 (a) システムの概念図.

(a) On chip memory
On chip system BUS
Embedded circuits
On chip CPU
(b) Embedded chip
Wire bonding
CPU chip
Memory chip
Package
(a) ワイヤボンディング方式

(b) マイクロバンプ方式

(c) 貫通電極方式

図のendaru部分内の、物理的接続を用いたチップ間接続。
図  collided 容量結合を用いた 間通信方式．
参考文献
第0章 誘導結合を用いたチップ間通信方式の提案
誘導結合を用いたチップ間無線通信手法

論文内のチップ間の通信を高速で行うために、本研究では図 1-2-1 に示す様な通信形態を提案する。図 1-2-1 内のチップが縦に積層実装され、それぞれのチップ上に通信用のインダクタを縦方向に位置合わせて実装しておく。このインダクタ間に形成される誘導結合を利用して通信を行う。この方式を用いると、データだけでなく、クロック、電源も供給することが可能である。本研究では、①章で述べた通り、図 1-2-1 内のバンド幅の向上を目的とするため、データ転送について述べる。データレートは、①章に示す以上を目標とする。磁界の変化は半導体チップを貫通するため、層以上の積層実装に対応できる。また、物理的接続を用いないため、接続に関する歩留まりの問題が生じない。また、物理的接続による寄生成分がないため、高速通信が期待できる。これらの利点について、②章で述べた他方式の接続手法と比較を行い、まとめた物を表 1-2-1 に示す。表中、容量結合方式の積層数は、論文報告があった層採用している。層以上の可能性もあるが、これは①-2章で議論する。帯域については、配線距離の長いワイヤボンディングの評価を「高」、距離が近い寄生成分の影響のあるマイクロバンプ・貫通電極を「中」とした。歩留まりは、ワイヤボンディングは用いられていない期間が長く、技術的レベルが高くなったため「高」と評価した。表 1-2-1 の比較より、積層数・帯域・歩留まりの 3 つの観点から優れているのは、誘導結合方式だと結論付けられる。

基本原理

通信に用いる誘導結合は、図 1-2-1 の様にトランスで表され、式 1-2-1 で示される電磁誘導の式に従う。両インダクタの結合の度合いを、結合定数 で表す。受信インダクタの両端には、送信電流 との時間微分値に、相互インダクタンス を乗じた値が、受信電圧 として誘導される。
\[ V_R = L_R \frac{dI_R}{dt} + M \frac{dI_T}{dt}, \]
\[ V_T = L_T \frac{dI_T}{dt} - M \frac{dI_R}{dt}. \]

結合定数 \( \Omega, \Omega_0, \Omega_0 \)の間には、下式の関係が成り立つ。
\[ k = \frac{M}{\sqrt{L_T L_R}}. \]

本研究では、受信インダクタにはほとんど電流が流れないため、\( \Omega_0 \)と近似すると、式は次の様に表される。
\[ V_R = M \frac{dI_T}{dt}, \]
\[ V_T = L_T \frac{dI_T}{dt}. \]

また、式を式へ式を代入し下記の様に表される。
\[ V_R = k \sqrt{L_T L_R} \frac{dI_T}{dt}. \]

通信方式検討

受信電圧が送信電流の時間微分で表される事を述べたが、本研究が前提としているのは、デジタルデータの送受信である。デジタルの \( dI \)を表す電圧波形を、誘導結合を用いた通信に適した形に変換して送受信する回路が必要となる。この概念図を図に示す。送信回路は、入力されたデジタルデータをインダクタの送信電流 \( \Omega \)に変換し、受信器は受信電圧 \( \Omega \)をデジタルデータに復号する必要がある。変換の方法は複数考えられる。以下に、その方式を挙げる。

振幅変調方式

データがあるときのみもしくはデータがある時の送信電流を流す。本方式は電流を流さない極性のデータが続いた時には消費電力が小さくなる利点があるが、ノイズをデータと取り違える可能性がある。データの \( dI \)が同じ頻度で
出現すると仮定すると、送信電流を流す確率も一定となる。

周波数変調方式
送信データに対応した周波数の送信電流を流す方式である。本方式は、ノイズに強い反面、常に電流を流しているため、電力的には不利である。

パルス変調方式
データに応じた位相の送信電流を流す方式。本方式は、毎クロック送信電流を流すため、電力的には不利である。反面、ノイズに強いという利点がある。

符号変調方式
符号に応じて送信電流を流す方式。本方式は、周波数変調に比べて送信電流を流す頻度が下がる反面、電流を流さない符号が続くと、振幅変調方式と同様にノイズに弱い。

データの変更があるときのみ、データに応じた電流を流す方式。本方式では、同じデータが続くと、まったく電力を使わずに利点がある。ただし、前述のどの方式よりもノイズに弱い。

以上の通りの方式はそれぞれトレードオフがあるが、本方式は結合定数が増大逆になる予想であり、電力効率の面で不利である可能性が高い。このため、本研究では、送信電力削減を目的として、パルス変調方式を採用する事とした。

容量結合方式との比較

チップ間を無線で通信する手法は、往々ど述べた容量結合方式がすでに存在する。新たな方式を主張するためには、従来方式より原理的に優れていない必要がある。本節では、容量結合方式に対する、誘導結合方式の優位性について議論する。

最初に挙げられる利点として、プロセス技術のスケーリングの恩恵を得られる点にある。自己インダクタンスは巻き数に比例して増加する。式
...より、受信電圧は、送信・受信インダクタの巻き数に比例することがわかる。このため、プロセス技術の進歩により配線層が増えると、受信電圧の向上、つまり伝送効率が上がり、消費電力を下げることができる。容量性結合方式では、最上位の配線層のみ利用するため、この効果は期待できない。また、誘導性結合方式は電流モードの結合であるため、電源電圧のスケーリングの影響を受けないのである。誘導性結合は電流モード結合であるため、電源電圧が下がると、伝送効率が下がってしまう。

以上の利点に加え、誘導性結合は伝送効率の面で容量性よりも原理的に有利であり、層以上のスタックに適用したときに差が顕著となると考えられる。これは、電界の物理的特性に依存する。電界は、完全導体がなかった場合、静電遮蔽され、完全導体を貫通できない。半導体基板は完全導体ではなく、程度の抵抗値を持った導体であり、また、通信に用いる電界の変化の周波数が高いため、電界は基板を貫通可能であると考えられる。しかし、導体内で電界の電波を打ち消す力が働き、減衰が大きいと考えられる。さらに、通信に利用する界の変化方向と、半導体素子内の材料の特性から、電界を用いた通信は不利であると考えられる。スタックチップの層を重ねる方向を方向とすると、容量性結合は電界の変化を方向に伝える。このとき、電界の変化はスタックチップの基板、酸化膜、配線層を貫通するが、これらの材質の誘電率はそれぞれ大きく異なり、電界の変化は不連続な境界を貫通することとなる。すると、境界面では反射が生じ、伝送効率が低下してしまう。誘導性結合では磁界の方向への変化を利用して、半導体チップ内の材質の透磁率はほぼ一定であるため、反射が生じにくい。以上の理由により、誘導性結合が伝送効率の面で優れている可能性が高い。

層以上の通信では、誘導結合を用いた通信が有利であることを原理的に検証するために、電磁界シミュレーションを行った。用いたシミュレータは、みずほ情報総研株式会社製である。はマックスウェル方程式を、直接空間・時間領域での差分方程式に展開し逐次計算を行う有限差分時間領域法を採用している。は、マックスウェル方程式を直接計算するため、計算量が膨大である一方、高い計算精度を持つ。法では、一般的に、メッシュサイズを波長の十分以下にとると、誤差を以下に抑えられる事が知られている。シミュレーションで用いる周波数は前後波長であり、解析領域のメッシュは幅であるため、十分精度を保って解析することが可能である。図に、誘導・容量結合方式の比較の図を示す。この図は層スタックチップをシミュレーションした結果の断面図を示す。
しており，が誘導性結合の方向の磁界分布，の量性結合の方
向の電界分布を示している．入力として１ピークのガウシアンパルスを
一番下のインダクタ（板電極）に印加し，層目のスタックチップ上のイ
ンダクタ（板電極）に生じる電位が最大となる瞬間の状態を比較した．
容量結合の結果では，スタックチップの境界が見て取れるほど電界の変
化が減衰せずに生じている．また，被離れた層目の電極に生じる電圧
は，と非常に小さい値となっている．一方，誘導結合の磁界分布は，
まったく境界面に影響を受けておらず，受信電圧もと，十分大きな
値となっている．
以上より，誘導結合方式は，容量結合方式より原理的に有利である事が
わかった．特に，回路実装面を上にして実装する場合や，チップ以上の
積層実装時に，有利である事がわかった．

研究課題

チップ間を誘導結合を用いて通信する研究は例を見ない．このため，従
来報告されていない，下記技術が必要となると考えられる．

チップ間の誘導結合検討

オチップトランスフォーマ等の誘導結合モデルは存在するが，積
層チップ間は例をみない．誘導結合のモデルの検討や，半導体基板
の影響を検討する必要がある．

誘導結合を用いた送受信回路

通信を実現するため，低電力，小面積な送受信回路を作成する必要
がある．

通信距離削減のためのチップ研磨技術

誘導結合は通信距離の乗に比例して結合強度が減衰する．このた
め，通信に必要な電力を削減するためには，通信距離を削減する必
要がある．
このについては回路技術で対応できないため、他研究の成果を利用する。本研究ではこのについて研究を行う。
図 2.1 インダクタを用いた積層チップ間無線通信概念図。
表 未知 内接続方法の比較.

<table>
<thead>
<tr>
<th>接続方式</th>
<th>積層数</th>
<th>異域</th>
<th>歩留まり</th>
</tr>
</thead>
<tbody>
<tr>
<td>物理的接続</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>ワイヤボンディング</td>
<td>2以上</td>
<td>低</td>
<td>高</td>
</tr>
<tr>
<td>マイクロバンプ</td>
<td>2</td>
<td>中</td>
<td>低</td>
</tr>
<tr>
<td>貫通電極</td>
<td>2以上</td>
<td>中</td>
<td>低</td>
</tr>
<tr>
<td>無線</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>容量結合</td>
<td>2</td>
<td>高</td>
<td>高</td>
</tr>
<tr>
<td>誘導結合</td>
<td>2以上</td>
<td>高</td>
<td>高</td>
</tr>
</tbody>
</table>
図1 8次誘導結合の等価回路。
図 スタックチップ間通信の概念図。
図 トリガ振幅変調方式．
図：周波数変調方式。
図 信号伝送方式．
図 电路の動作タイミング．
図 28 フラッシュ方式。
Material Structure

<table>
<thead>
<tr>
<th>Si</th>
<th>SiO₂</th>
<th>Plate or Inductor</th>
<th>Si</th>
<th>SiO₂</th>
<th>Si</th>
<th>SiO₂</th>
<th>Si</th>
</tr>
</thead>
</table>

*1V-peak Gaussian Excitation

(\(\varepsilon_{\text{Si}}=12.0\), \(\varepsilon_{\text{SiO}_2}=3.9\), \(\mu_{\text{Si}}=\mu_{\text{SiO}_2}=1\))

(a) L-Coupling

- **H_z**: 65mV
- **E_z**: 230mV

(b) C-Coupling

- **E_z**: 0.4mV
- **E_z**: 2mV

図 電磁界シミュレーションによる誘導結合・容量結合の比較.
第Ⅰ章 誘導結合モデル
緒言

誘導結合方式チップ間無線通信を実現するための基礎として,通信路である誘導結合の特性を知る必要がある.結合の特性を等価回路モデルとし,プロトコルや送受信回路の検討に用いるためである.誘導結合の等価回路モデルは,過去に十分な数の報告がなされているが,提案する通信手法を想定したモデルの報告は例を見ない.インダクタの実装形態が提案手法に近いアプリケーションとして,オンチップトランスフォーマが挙げられる.

提案は誘導結合を利用してデータや電力の送受信を行う.使用周波数は,頻度を,提案手法に近い周波数帯を用いている.しかし,通信距離数センチメートル〜数メートルと,インダクタ間の距離が非常に大きい点が,提案する通信手法と異なる.提案する通信手法の通信距離は,数ミクロン〜数百ミクロンである.通信距離の違いは,チャネル間の電磁界分布の違いを生み,提案通信手法のモデルには適用できない可能性がある.また,提案は送信側と受信側でグランドの電位が共通でなくとも良いという違いがある.

オンチップトランスフォーマは,通信距離が近いことからも電磁界の状況やインダクタ間の容量結合の状況が違う.提案手法に比べると,誘導結合•容量結合の結合強度が強く,また,グランドが共通であるという違いがある.

提案する通信手法のプロトコルや送受信回路検討のために,提案手法にあった結合モデルが必要である.本節では,従来より提案されているインダクタモデルを元に,シンプルな誘導結合モデルを提案する.さらに,従来行われた事の無い,スパイラルインダクタやネットワークアナライザで測定し,提案モデルの正当性を検証する.

オンチップインダクタ

チップ上にメタル配線を利用して作成されたインダクタをオンチップスパイラルインダクタと呼ぶ.このインダクタは,直径,巻き数,線幅,
配線間隔，配線総数を決めて設計する．これらのパラメータは，プロセスルールに従わなければならない．また，層間膜厚や基板抵抗等の変に製造プロセスに依存して一意に決まるパラメータもある，これらのパラメータにより，インダクタの自己インダクタンス，周波数特性が決定する．

物理的なパラメータにより決まる特性を回路設計に用いるために，等価回路としてモデル化する研究が従来より行われている．特に近年では，無線通信回路にインダクタが数多く用いられ，高周波特性の厳密なモデル化が求められている．現在までに考案されているインダクタのモデルを図 に示す．図 は，最低限の物理パラメータを反映した最もシンプルな等価回路である．このモデルは，配線の表皮効果や近接効果，基板の渦電流の効果等を考えていないが，図 その各パラメータをまとめて，図 の各パラメータを導入したモデルが図 である．このモデルは 型モデルと呼ばれる． 型モデルに配線の表皮効果，近接効果，分布定数効果を入れたモデルが図 である．このモデルは 型モデルと呼ばれる．図 の等価回路は高周波回路 因のために考案されたものであり，数十 GHz までの対応している．本研究では 前後の通信を前提としており， 型どの程度は必要ないと考えられる．また，図 の程度まで精度を保つという報告がなされている．本研究では，用いる通信の中心周波数が 周波であるため，図 よりももっとシンプルでよい可能性がある．

図 のモデルは，インダクタ部分の直列接続成分 から成る．ここで，インダクタの直流成分で消費されるパワー のオーダを考察する．本研究で用いるインダクタの平均的なパラメータとして，数回巻きの のインダクタを用いたと仮定する．この場合，は数 百，は数百 となる．オーダの考察のために， , , 周波数という条件で を計算すると， となる電圧， , , , 周波数が の場合は であり，また，の配線と基板間の容量が消費する電力 を計算する． を仮定すると， の場合に となる．この値を と比較すると， の時は 倍程度， の時は 倍となり，想定している 周波数までの範囲では無視できない大きさとなる事がわかる．次に，基板部分の消費する電力 を計算する． を仮定すると， の時 となり，想定している周波数帯では，他の部分より桁以下のオーダとなるため無視して良いこととする．
以上の考察より、図 のモデルは基板部分の等価回路を省略し、図 の様にモデル化できる。さらに、このモデルは、をへまとめる事ができるため、図 の様にモデル化する事ができる。本研究では、図 のモデルを採用し、誘導結合の解析、回路の設計を行ってゆく事とする。

図 誘導結合モデル

本研究では、図 に示す誘導結合モデルを採用する。このモデルは、前節で簡化したインダクタのモデルを送信側受信側で用い、この間を誘導結合で結んだものである。ただし、配線抵抗をインダクタを挟む形で2分する。抵抗を1つでモデル化すると、インダクタと抵抗の順序により送信波形が異なってしまうためである。

モデル中の結合定数 は、送信・受信インダクタの物理的形状より決定する。 は送信インダクタが生成した磁束を、受信インダクタが受け取る割合を示す。 の決定方法は、論文 で提案されている で提案されている を用いる事が必要である。はビオサパールの法則を用い、送信インダクタに流れる電流から生成される磁束を計算し、これがどの程度受信インダクタを貫通するかを計算する事で を求めている。 はチップ間誘導結合通信の研究のために提案された手法であり、エンベディッド・デテクタ を用いた実測により精度を検証している。ただし、周波数解析が行われていない事、インダクタ一つ分のステップでのみズレの評価が行われており、小さい値のズレの評価が行われていない事、があり、モデルの評価という意味では、より直接的な測定が必要である。

図 チップ間誘導結合の測定

提案する誘導結合モデルの正当性を検証するために、実測を行った。測定に用いるチップは 了テクノロジを用いた。モデルの正当性は、測定時のパラメータを振り、これとモデルが一致する事により評価する。測定により明らかにしたい項目は下記の通りである。

33
測定項目 ･･･インダクタの形状依存性
測定項目 ･･･誘導結合の距離依存性
測定項目 ･･･インダクタのズレ依存性
測定項目 ･･･誘導結合の半導体基板依存性・電流の効果の評価
測定項目 ･･･電源メッシュによる効果

測定項目 ･･･は、誘導結合間に電源・グランド・メッシュがあった場合に、誘導結合が減衰する効果を測定する。これは現実のチップが上面全体に電源メッシュを持つため、これらを貫通して通信が可能であるかを調べるものである。ただし、電源メッシュの密度は設計毎に違うため、このテストチップだけの結果であり、参考程度にとどめる事とする。

以上の目的の測定を行うために、図に示すチップを作成した。テストチップは つの同じチップを上下にスタックし、接着材で固定している。断面図を図に示す。インダクタ間の距離はチップを研磨する事により調節する。また、半導体基板依存性については、ソルダボールを用い、チップ間の隙間を作り出す事により、通信距離一定でチップ間の導体の厚みを変化させ評価する。チップ間のグランドは銀ベーストを用い接続した。

評価を行うインダクタは、測定精度の問題から、通常通信に使うインダクタより大きな自己・相互インダクタンスを持つインダクタを実装した。また、巻き数・直径のパラメータによる差を調べるために、複数のサイズのインダクタを実装した。実装したインダクタのパラメータと自己インダクタンスを表に示す。また、先に挙げた測定項目を実測するために、表に示す測定項目 に示す実装を行った。測定項目 は各チップ上に異なるサイズのインダクタが搭載されており、全実装で測定可能である。この実装を行ったチップを用い、先に挙げた測定項目 に測定した。測定の様子を図に示す。測定器には、社製 ネットワークアナライザを用いた。

被測定回路であるインダクタのインピーダンスは数〜数十Ωである。これに対し、パッドからインダクタまでの配線が程度あり、この部分のインピーダンスもインダクタと同様な大きさがある。測定の精度を保つために、パッドからインダクタまでの寄生成分を正確に差し引く必要がある。本研究では、パッドからインダクタまでの寄生成分を図の様にモデリングした。通常のインダクタパターンに加え、差し引きのために開放、短絡のパターンを作成した。これらの差し引き用パターンの測定結果をそれぞれ とし、全体の測定結果を 求めたい
ダクタのインピーダンスを\( \Omega \)とする。開放と短絡、全体の測定結果である式 \( \text{式} \)～ \( \text{式} \)より、測定したいインダクタのインピーダンスは式 \( \text{式} \)の様に求められる。

\[
Z_m = Z_1 + (Z_c \parallel Z_L) + Z_2, \\
Z_s = Z_1 + Z_2, \\
Z_o = Z_1 + Z_c + Z_2, \\
Z_L = \frac{(Z_m - Z_s) \cdot (Z_s - Z_o)}{Z_m - Z_o}
\]

以上の差し引きを行った後の測定結果を図 \( \text{図} \)～ 図 \( \text{図} \)に示す。

図 \( \text{図} \)は通信距離とインダクタのパラメータを変化させ、計算値との比較を行った図である。この図より、どの結果も計算値と良く合致しており、提案する誘導結合モデルが有効である事を示しています。図 \( \text{図} \)は、送受信インダクタのズレを測定している。計算に用いている結合定数 \( \text{定数} \)は論文 \( \text{論文} \)で提案された手法で計算されている。この結果、計算値と測定値が良く合致している事から、計算により得られた \( \text{定数} \)が横方向ズレに対しても精度良く見積もられている事がわかった。図 \( \text{図} \)は、距離一定で誘導結合間の材質を変え、電流が通信に影響を与えるか否かを測定した。しかし、距離一定で中間にはある材質の厚さを変える実装が困難であり、通信距離が変わってしまった。このため、図 \( \text{図} \)では測定した中で、比較的 \( \text{定数} \)の変化が少ないと示している。この図は \( \text{式} \)で \( \text{定数} \)を変化させた測定だが、 \( \text{定数} \)が \( \text{定数} \) \( \text{定数} \) \( \text{定数} \)と変化している。しかし、いずれの結果も、測定結果と計算結果が良く一致しているため、電流流の特性による効果は本研究が前提としている周波数帯では問題とならない事がわかった。図 \( \text{図} \)はインダクタの下にグランドメッシュを引いた場合と、そうでない場合の結合強度の周波数特性を示したものである。電源メッシュは、 \( \text{ピッチ} \)で \( \text{ピッチ} \)の配線が格子上に配置されているパターンを用いた。この結果、 \( \text{図} \)を過ぎてから、結合強度が \( \% \)程度低下する事がわかった。今回実装した電源メッシュは、実際に用いられている物の一例であるが、結合度は確実に下がるため、誘導結合間には電源メッシュを引くべきでない事がわかった。
Ⅲ まとめ

本章では、チップ間誘導結合を用いた無線通信のためのインダクタのモデルの提案と、そのモデルの測定による検証を行った。インダクタモデルは、用いる周波数が低い事から、現在主流のモデルを簡略化した形とした。誘導結合のモデルは、インダクタのモデルを送信側・受信側に配置し、モデル中のインダクタ間を結合定数を介して接続する形をとった。結合定数は、すでに提案されているχπを用いて計算する。このモデルの妥当性を確かめるために、測定を行った。測定は、チップを実際に積層実装し、チップ上のインダクタを直接ネットワークアナライザでパラメータを計測した。測定で明らかにする項目は、物理パラメータから求める自己インダクタンス・結合定数ρ、相互インダクタンスの見積もりの正しさ、それから、モデルを作成した際に簡略化のために削除した寄生パラメータの影響の有無である。これらを測定するために、テストチップの際には異なる径・巻き数を持つインダクタを弾種類作成し、積層実装の際に通信距離・ズレ・距離一定で基板厚の異なる実装を行った。まず、距離を弾段階、インダクタの径・巻き数を弾種類変えた測定、合計弾種類を行った。次に、距離を弾段階変更し、ズレの量を弾段階変化させた測定を行った。これらの測定の結果、積もった弾弾とほぼ同じ値を取ることがわかり、提案するモデルを弾の計算手法が、提案する通信手法が対象とする周波数帯で、十分精度を持っている事がわかった。
図 ここにシングルなインダクタモデル。

$L_s$ 自己インダクタンス
$C_s$ インダクタの寄生容量
$R_s$ インダクタの直列抵抗
$C_{ox}$ インダクタ基板間容量
$R_{si}$ 基板抵抗
$C_{si}$ 基板容量
図 ippo の型モデル。
図の回路は、インダクタンス、寄生容量、直列抵抗を示しています。

- $L_s$: 自己インダクタンス
- $C_s$: インダクタの寄生容量
- $R_s$: インダクタの直列抵抗
- $C_{ox}$: インダクタ基板間容量
- $R_{si}$: 基板抵抗
- $C_{si}$: 基板容量
- $L_{sk}$: 表皮効果のインダクタンス
- $C_{si}$: 表皮効果の直列抵抗
図 (a) (b)基板の影響を無視したモデル，(c)基板を無視し，(d)を(e)へまとめたモデル．
図 3-3 誘導結合モデル。
図　積層実装したテストチップ．
Communication distance “X”

Bulk thickness “T”

Insulator

Metal spiral inductor

Glue

Misalign distance “Y”

Graph

図 11.11 テストチップの断面図。
図 (a) (b)測定の様子．(b)プロービング拡大図．
表 テストチップに実装したインダクタの物理パラメータ。

<table>
<thead>
<tr>
<th>Micro-Photograph</th>
<th>Diameter, $D$ [μm]</th>
<th>Width, $w$ [μm]</th>
<th>Turns, $n$</th>
<th>Ground Mesh</th>
</tr>
</thead>
<tbody>
<tr>
<td></td>
<td>150</td>
<td>10</td>
<td>8</td>
<td>No</td>
</tr>
<tr>
<td></td>
<td>200</td>
<td>10</td>
<td>8</td>
<td>No</td>
</tr>
<tr>
<td></td>
<td>250</td>
<td>30</td>
<td>4</td>
<td>No</td>
</tr>
<tr>
<td></td>
<td>150, 200, 250</td>
<td>10, 10, 30</td>
<td>8, 8, 4</td>
<td>Yes</td>
</tr>
</tbody>
</table>

4-Layer Metal Inductor in 0.25μm CMOS
表 インダクタの電気的特性

<table>
<thead>
<tr>
<th></th>
<th></th>
<th></th>
<th></th>
</tr>
</thead>
<tbody>
<tr>
<td>150</td>
<td>10</td>
<td>8</td>
<td>15</td>
</tr>
<tr>
<td>200</td>
<td>10</td>
<td>8</td>
<td>23</td>
</tr>
<tr>
<td>250</td>
<td>30</td>
<td>4</td>
<td>8</td>
</tr>
</tbody>
</table>
表 ブレ・距離依存性測定

<table>
<thead>
<tr>
<th>X [μm]</th>
<th>50</th>
<th>75</th>
<th>100</th>
</tr>
</thead>
<tbody>
<tr>
<td>T [μm]</td>
<td>40</td>
<td>65</td>
<td>90</td>
</tr>
</tbody>
</table>

- **No Miss Align**
- **50 μm Miss Align**
- **100 μm Miss Align**
表 渦電流の効果測定（測定項目）

<table>
<thead>
<tr>
<th>X [μm]</th>
<th>50</th>
<th>75</th>
<th>100</th>
</tr>
</thead>
<tbody>
<tr>
<td>T = 25 [μm]</td>
<td><img src="image1" alt="Diagram" /></td>
<td><img src="image2" alt="Diagram" /></td>
<td><img src="image3" alt="Diagram" /></td>
</tr>
<tr>
<td>T = 40 [μm]</td>
<td><img src="image4" alt="Diagram" /></td>
<td><img src="image5" alt="Diagram" /></td>
<td><img src="image6" alt="Diagram" /></td>
</tr>
<tr>
<td>T = 60 [μm]</td>
<td><img src="image7" alt="Diagram" /></td>
<td><img src="image8" alt="Diagram" /></td>
<td><img src="image9" alt="Diagram" /></td>
</tr>
</tbody>
</table>
図 図 被測定回路と寄生成分のモデル化．
表　□□□差し引き用パターン。

<table>
<thead>
<tr>
<th></th>
<th>下チップ</th>
<th>上チップ</th>
</tr>
</thead>
<tbody>
<tr>
<td>インダクタパターン</td>
<td><img src="image1.png" alt="インダクタパターン" /></td>
<td><img src="image2.png" alt="インダクタパターン" /></td>
</tr>
<tr>
<td>開放</td>
<td><img src="image3.png" alt="開放" /></td>
<td><img src="image4.png" alt="開放" /></td>
</tr>
<tr>
<td>短絡</td>
<td><img src="image5.png" alt="短絡" /></td>
<td><img src="image6.png" alt="短絡" /></td>
</tr>
</tbody>
</table>
(a) $D=150\,\mu$m

- Measured
- Calculated

$X=50\,\mu$m

$X=75\,\mu$m

$X=100\,\mu$m

(b) $D=200\,\mu$m

- Measured
- Calculated

$X=50\,\mu$m

$X=75\,\mu$m

$X=100\,\mu$m

(c) $D=250\,\mu$m

- Measured
- Calculated

$X=50\,\mu$m

$X=75\,\mu$m

$X=100\,\mu$m

图 诱导结合间的距离依存性测定结果。当线圈的直径为 $D=100\,\mu$m 时，计算结果与测量结果一致。
図 誘導結合のズレ依存性測定結果。方形通信距離\( D \)が\( 150 \mu m \)の時、\( 100 \mu m \)の時、\( 50 \mu m \)の時。
(a) $D=150\mu m$, $X=141\mu m$, $T=25\mu m$

(b) $D=150\mu m$, $X=125\mu m$, $T=40\mu m$

(c) $D=150\mu m$, $X=129\mu m$, $T=65\mu m$

图 誘導結合における渦電流の効果。
$D=150 \mu m, X=50 \mu m$

| Frequency [GHz] | Measured $|S_{21}|$ (w/o Ground Mesh) | Measured $|S_{21}|$ (w/ Ground Mesh) |
|-----------------|-----------------------------------|-----------------------------------|
| 0.04            | 0.20                              | 0.18                              |
| 0.08            | 0.16                              | 0.14                              |
| 0.12            | 0.12                              | 0.10                              |
| 0.16            | 0.08                              | 0.06                              |
| 0.20            | 0.04                              | 0.02                              |

Figure: Effect of ground mesh.

54
参考文献
第0章 送受信回路
Ⅲ 結言

本章で送受信方式を提案したが、本章ではこの方式を実現する送受信回路を提案する。チップ間通信の送受信回路として、容量結合方式を採用する論文がそれぞれ図1-2、図3-4の様な回路を提案している。どちらの方式も、送信器はインバータで直接電流電極にデジタルデータを印加している。受信器は図1-2では、段目のインバータにフィードバックをかけ、インバータの入力が閾値近辺に保持されるよう調整している。これにより、インバータのゲインは最大となる。このインバータに送信電圧が印加されると、入力波形に応じて反転出力がなされ、後段のインバータでフルスイングのデジタルデータを出力する。この方式では、非同期デジタル信号を直接送信できるという利点がある。ただし、インバータの入力を常に閾値近辺にバイアスしているため、常時電流が流れ、消費電力面で不利益である。図1-2の受信器は、受信回路にラッチ付きの差動型センサアンプを採用している。容量結合はシングルエンド信号であるため、入力の片側をバイアスに接続している。入力電圧をクロックの1/2の期間にサンプリングし、1/2の期間はアンプのプリチャージとデータの保持を行う。本方式はクロックの1/2の期間のみテーブル電流源に電流が流れ、消費電力の面で有利である。ただし、送受信のクロックの位相が揃っている必要がある。

これらの送受信回路、特に受信回路は、シングルエンドの受信信号を想定しており、差動入力の誘導結合方式に適用できない。本章では、誘導結合方式に適した送受信回路を提案する。また、ばらつきを考慮した回路内の各パラメータの決め方について議論する。

Ⅳ 送受信回路

本章で述べた方式送受信器を実現するために、送信器は入力信号の転換に合わせて送信電流を流す必要があり、受信器はインダクタ端に発生する差動の受信電圧をデジタルデータとして変換・保持する必要がある。この動作を実現するために、図3-4に示す回路を提案する。送信器は遅延素子付きのロジックで実現した。この回路により、遅延素子の遅延時間分だけ、
インダクタに送信電流が流れる。受信器は、ラッチ付き差動アンプを採用した。受信器は図 が近い構成を取っているが、インダクタの両端をそれぞれ差動対に接続する事により、より効率のよい受信器となっている。また、インダクタの両端をバイアスする事により、差動アンプのゲインを制御する事が可能となる。また、差動アンプのゲインは、受信クロックの周期の期間の調整でも行える。図 には、この調整を行う、受信クロックのデューティコントローラも示している。また、クロックの周期の期間は、受信電圧の振幅が存在する期間にタイミングが合っているため、受信クロックの位相制御回路も図 に示している。

本送受信器の動作を、章で提案した誘導結合モデルを用いてシミュレーションを行った結果、図 に例を示す。送受信インダクタのサイズ、通信距離はそれぞれ を想定し、送受信器は を用いた。基本的な動作は次の通りである。まず、デジタルの送信波形が受信器に入力される。送信器は、遅延素子の時間だけ送信電流を流し、インダクタには角波状の電流が印加される。この電流の正負微分形状の電圧電流が受信インダクタに生じる。これは差動アンプで増幅され、この電圧がアンプ上部に接続されたラッチの閾値を超えると、ラッチに値が取り込まれる。値の取り込みはクロックが周期の期間のみ行われる。クロックが周期になると、プリチャージ期間となり、差動対のソース側のノードは周期となり、ラッチは値の保持期間となる。

受信器の感度調整

受信器は感度を高めるほど、微小な信号を受信しやすくなるが、ノイズや製造ばらつきに弱くなる。受信器には、ノイズ耐性と、製造ばらつきへの耐性が求められ、これは差動対のトランジスタのチャネル長を大きくする事で実現できる。チャネル長の決定は、ばらつきの大きさとタイミングマージンに依存する。本節では、表にまとめる仕様を満たすよう、チャネル長の決定を行う事とする。

図で基本的な受信の動作を示したが、ここでは感度調整について論じるために、受信器の内部ノードの動作について述べる。図 に図で示す受信機の内部ノードの動作を示す。インダクタ端の各ノードの電位を、とし、この電位差を定義する。また、を使用してラッチの入力ノードをそれぞれ、と
する。まず、ノイズが受信信号に応じて変化し、この信号に応じた電流、電圧が差動対に流れる。この電流に応じた微小な電位差がノード、電圧に生じ、これらのノードの先のクロス接続されたインバータで電位差を広げる。このインバータの出力が、電流、電圧であり、ラッチに入力される。受信信号がある場合には、電流、電圧のどちらかがラッチの閾値を越え、保持しているデータが反転する。

受信データが来ない場合は、クロックの期間の期間はノイズが変化しないか、ノイズ等で微小に変化する。差動対は理想的には電気的に完全に対称であり、入力の変化がなければ、電流、電圧は等しいはずであるが、製作は摂きやノイズの影響で必ずどこかに振れてきてしまう。図23中で受信データがない場合、電流、電圧は同じ電位を保っている必要があるが、電流、電圧が電位になる前には差が生じている。製作は摂きやノイズによる電流、電圧の変動を、ラッチが取り込まない様に受信器のパラメータを調整する必要がある。この調整で、センサアンプのゲイン調整とクロックの期間の調整の両方で行う。差動アンプのゲイン調整は差動対のチャネル長を変える事で行う。

受信器の感度調整を行う際に、製作は摂きとして、差動対のチャネル幅にノイズ差をつけ評価を行う。まず、ノイズをプロセスで許される最小のチャネル長で差動対を作成しても装置のタイミングマージンをシミュレーションで確認した。図23にこの結果を示す。縦軸に受信クロックの期間、横軸に受信クロックの位相を取っている。この図は、ラッチが正常にデータの受信・保持が出来るか否かを示し、線のより上が正常受信できる領域である。この図では、受信電圧ノイズをノイズまで振った結果である。表10にまとめた通り、ノイズを電圧以下、信号をノイズ以上としたため、ノイズ最大ノイズは電圧、信号のノイズは電圧以上となる。この図で、ノイズの線はノイズを示しており、この線を越えるとノイズを受信してしまうという意味である。ノイズが電圧以上でノイズが電圧以下が、データを正常に受信・保持できる領域という事になる。この結果では、正常受信できる領域（タイミングマージン）が、最大でクロックの幅となっている。表10より、クロックジッタはノイズと仮定しているため、タイミングマージンは必要である。

差動対のサイズを調整し、タイミングマージンがノイズとなる領域を調査したところ、ノイズであった。この場合のタイミングマージンの図を図23に示す。この図より、タイミングマージンを確保できる領域が存在し、この場合、ノイズのタイミングマージンも電圧以上確保できていた。
いる事がわかる．また，**は **程度に設定すれば良い事もわか
る．デューティ **のクロックを用いる場合には，周期が **となり，目
標の **を達成できた．

**まとめ

本章では，誘導結合を用いたチップ間無線通信のための送受信器を提案
した．送信器は遅延素子つきの **，受信機はラッチ付きセンスア
ンプで実装した．また，受信機クロックは，位相とデューティの制御を行
う．この制御により受信機の感度調整を行い，所望のタイミングマージン
を得る．タイミングマージンとは，クロックの揺らぎに対する耐性能の事を
指し，本通信手法ではクロックの位相とデューティの変化に対し正常受信
可能な領域の広さを指す．タイミングマージン決定の制約条件として，ビ
ットレート，受信信号・ノイズの値の閾値，クロックジッタは，ばらつきが
考えられる．本章ではこれらの値を，**テクノロジを使用した場
合を仮定して決定した．この制約条件下で，タイミングマージンを満たす
トランジスタのパラメータの決定を行った．まず，プロセスルールの許す
最小のチャネル長でセンスアンプを構成した場合のタイミングマージン
を求めた．この場合，受信感度が高い為，高いために同一データが連続し
た場合 [受信データが無い場合] で，ノイズの影響でデータの保持に失敗す
る領域が広く，正常受信可能な領域はクロック位相の範囲で **となっ
た．これは，想定していたクロックジッタ **の変動があると，誤動作
する事を意味する．次に，センスアンプのトランジスタサイズを大きく
してゆき，ばらつきに強くしていった．この結果，チャネル長が **の
時に十分なタイミングマージンが得られ，位相・デューティ幅，共に **の
マージンを持つ事がわかった．以上のタイミングマージンの見積もりに
より，提案している通信手法は，製造ばらつき・ジッタ等の不確定要素が
あっても，通信を確立できる事がわかった．
図 容量結合方式の送受信器回路例。
図 容量結合方式の送受信器回路例。
図 提案する送受信回路。
図 提案する送受信回路のシミュレーション波形。
表 受信感度決定の条件

<p>| | |</p>
<table>
<thead>
<tr>
<th></th>
<th></th>
</tr>
</thead>
<tbody>
<tr>
<td>データレート</td>
<td>1Gbps</td>
</tr>
<tr>
<td>受信信号レベル</td>
<td>100mV以上</td>
</tr>
<tr>
<td>ノイズレベル</td>
<td>10mV以下</td>
</tr>
<tr>
<td>製造ばらつき</td>
<td>□ 5%以下</td>
</tr>
<tr>
<td>クロックジッタ</td>
<td>100ps以下</td>
</tr>
</tbody>
</table>
図 受信器の内部ノードの動作．
図 1.34 差動対の L=0.4μm の場合の受信器のタイミングマージン．
図 ・・・差動対の □□□□ □の場合の受信器のタイミングマージン。
このページは、漢字や和文を含む自然に読むことができるテキストです。
第Ⅰ章 実験
緒言

本章までに、チップ間の誘導結合のモデル、送受信器のパラメータ決定について述べた。本章では、テストチップを試作し、実際にチップ間で通信を行い、提案しているシステム、モデル、パラメータ決定方法が正しい事を検証する。

評価方法

テストチップの作成には、前章までの議論で用いつつきた3層メタルプロセスを用いた。チップ上に送受信器を実装し、上にスロットするチップの位置を調整し、上下の送信インダクタの位置を合わせる。ここで、位置合わせの精度が問題となる。実装環境の問題から、上下チップは数十〜数百μのズレが生じることが予想された。そこで、送信器・受信器を異なるピッチでアレイ状に配置し、スタック時に30度回転する事とした。アレイ中の任意のインダクタを選択可能にする事で、位置の最も合っているインダクタ対を選択し、通信を行う事が可能である。スタック時には、チップを30度回転させるため、外部とのインタフェースはチップの3辺のうち、1辺からののみとした。通信距離を削減するために、チップを研磨した。研磨の状況により通信距離が変化し、場合によっては距離が遠くなり結合定数が低下する可能性があるため、複数のインダクタサイズを実装した。設計したチップのレイアウトを図に、実装したインダクタを表にまとめた。また、実際にスタックした状態の写真を図に示す。

テストチップには、アレイ状に配置した送受信器の他に、テストに必要となる擬似ランダムデータ発生器、送受信器セレクタ、位相シフタ、クロックデューティ変更器、データ用を搭載している。この構成により、可能となるテストは下記のつつである。

実験1. 外部から直接テストデータ印加、外部での受信データの観測

本実験は、データ・クロック共に外部から供給する。内部のクロックデューティ変更器により、0.008秒の時間を持つクロック
実験２．タイミングマージン測定
内部にあるクロックジェネレータを用い，送受信を行い，送受信終了後，エラーがあったか否かの確認をする。このテストを，クロックの位相・デューティを変化させて行い，タイミングマージンのマップを作成する。

以上のテスト結果を次節で述べる。

実験結果

まず，実験の外部からデータ・クロックを直接与える実験について述べる。本実験の測定環境を図に示す。本テストは，実チップで通信が可能である事，クロックの位相とデューティの制御機能が正しく動作する事を確認するテストである。クロックの位相・デューティを振った結果，正常にデータを送受信できる事を確認した。図に送受信波形を示す。通信距離は，受信インダクタのサイズは，クロック周波数はである。設計値より十分遅いクロックでデータの保持が出来るため，クロックデューティの制御が成功していると考えられる。また，クロックデューティを広げた結果，値の保持が出来なくなる現象も観測できた。以上より，提案する無線通信システムが正常に動作する事が確認できた。

次に内部のクロック制御機能を使い，タイミングマージンを測定した。この結果を図に示す。図中のマークが実測でビットエラーレートで達成した場所である。図中のマークはシミュレーションで通信が出来た場所である。実測でのタイミング・デューティの変更ステップはであり，かなり荒いが，ほぼシミュレーション結果と同じ領域で通信が出来る。また，図中の，通信可能領域の下に引いてある破線部分が最も高速に通信が出来た場所で，であり，の通信が達成できた事になる。この際の電力は送信側，受信側であった。
### まとめ

本章では、提案している誘導結合方式のチップ間通信手法を実測により検証した。検証用のチップを層金属配線のプロセスで作成し、実際に積層実装を行った。積層チップ間の通信を試み、の距離で通信に成功した。また、タイミングマージンの測定を行い、シミュレーション結果と一致した。以上の結果より、提案するシステム、モデルが正しい事が検証できた。また、目標性能を超えるを達成できた。この際の電力は、受信側が、送信側がであり、送信側が支配的であった。
インダクタ選択制御論理

インダクタ選択制御論理

クロック制御論理

受信インダクタアレイ

送信インダクタアレイ

図 74 テストチップレイアウト図。
表 実装したインダクタのパラメータ.

<table>
<thead>
<tr>
<th>D [μm]</th>
<th>n</th>
<th>w [μm]</th>
<th>s [μm]</th>
<th>L [nH]</th>
</tr>
</thead>
<tbody>
<tr>
<td>100</td>
<td>8</td>
<td>5</td>
<td>1</td>
<td>7</td>
</tr>
<tr>
<td>200</td>
<td>10</td>
<td>5</td>
<td>1</td>
<td>35</td>
</tr>
<tr>
<td>300</td>
<td>12</td>
<td>5</td>
<td>1</td>
<td>90</td>
</tr>
</tbody>
</table>
図 下チップ用ボンディングワイヤ

Rx Array

下Chip

Tx Array

上Chip
図 "測定環境"
図 正常動作している送受信波形。
図　図でデューティ制御を行い、データの保持が出来なくなった波形。
Fail when same Txdata continues, H to H, L to L

Fail when Txdata changes, H to L, L to H

\( T_{\text{sense}} [\text{ps}] \)

\( \Delta T [\text{ps}] \)

図 □□□タイミングマージン測定結果。□マークは □□□□シミュレーションで通信可能であった点、□は実測で通信できた点。
第0章 磁界一定のスケーリング則
緒言

本研究では、シングルチャネルのチップ間無線を提案し、性能を達成した。本方式は、チャネルを次元に配置して、全体のバンド幅を向上できる利点を持つ。チャネルを並べると、クロストークが問題となるが、これは送信タイミングを近接するチャネルからずらす技術や、最適な送信電力を選択する技術により緩和する事が出来る。クロストークを緩和する事により、論文では、送受信器をアレイ状にチャネル配置し、達成している。この際のインダクタ径はで、垂直方向の通信距離はであった。さらに、論文では、チャネルを用いての通信に成功している。この際のインダクタ径は、通信距離はであった。今後、小面積でトータルバンド幅を向上するために、単位面積あたりのチャネル数を増加させる必要がある。このためには、インダクタの直径の縮小が必要となる。

インダクタの直径を縮小すると、一般的に、結合度が低下し、通信の電力効率が低下する。直径の縮小による効率の低下は、インダクタの巻き数を増やす事と、通信距離を小さくする事でカバーできる。これは、インダクタ間の磁界が一定に保たれるからである。本章では、トランジスタで電界一定の法則を用いたスケーリング則が成り立つように、誘導結合方式データ通信でも磁界一定の法則を用いて、今後も本通信方式がスケーリングして行く事を議論する。

誘導結合の式の解析

簡単化のため、スケーリングの前提条件として、送信・受信インダクタは同じパラメータを持つと仮定する。すると、式より、受信電圧は下記の様になる。

\[ V_R = L \frac{dI_R}{dt} \]
物理的特性から、巻き数の乗に比例し、また、インダクタの直径をとすると、

この範囲では、

と近似される。このため、


dは次式の様に与えられる。

\[
\frac{dI_T}{dt} = \frac{I_0}{i_{pd}}
\]

と表される。\(I_T \)はドレイン電流で、\(I_0 \)は伝播遅延時間である。以上より、


dは下記の様に表される。

\[
V_R = kL_0n^2D^{1/2} \frac{I_0}{i_{pd}}
\]

通信はパルスベースであるため、信号の周波数大域が広がり、通信路の

\(\mu \)パラメータの周波数が必要となる。式は周波数成分の議論を含んでいない。周波数成分を含んだ議論を行うために、誘導結合のモデル図

の伝達関数を求めるが、下式の様になる。

\[
\frac{V_T}{V_T} = \frac{1}{1 + j\omega C_2 R_s} \times j\omega \sqrt{L_s L_z}
\]

\[
\times \frac{1}{R_m(1 - \omega^2 L_z C_7) + R_T + j\omega(C_7 R_T R_m + L_T)}
\]

スケーリング則の前提条件

チャネルを縮小する際に、\(\mu \)を一定とするために、\(d \)が一定である事を
制約条件として与える。$Q$は$C$を決める$O$の開口の、電圧成分の特性を
決めるからである。開口の時間方向はジタに依存するため、ここでは議
論しない。ここで、スケーリングファクタ$Q$を定義する。$Q$はプロセスの
各パラメータの寸法の変化を示す、無次元のスケーリングファクタである。
スケーリングの議論は、インダクタサイズ、データレート、通信距離を$R$
$Q$する事要件として進める。送受信回路用いるトランジスタは従来の
スケーリング則$O$による事則する。これらの条件を表$O$にまとめる。

磁界一定のスケーリング則

スケーリングの前提条件を満たす様、インダクタの各パラメータのスケ
ーリングファクタを決定する。最も大きい制約は$Q$一定である。$Q$を一定
とするためには、式$O$中の各項を一定とする必要がある。式$O$より、
$Q$は$O$に比例し、回路の遅延時間$Q$は$O$に比例するため、式$O$中の
最後の項$O$一定となる。また、$Q$は定義より定数であるため、$Q$
を一定値とするためには残りの項、$O$と$Q$が定数となればよい。この$Q$
項を定数とするために$O$のスケーリングファクタを決定する。

$Q$はインダクタの物理的な形状により決定する。$O$つのインダクタのパ
ラメータが全て$Q$に比例して変化した場合$O$、$O$つのインダクタを
貫く磁束は一定となり、$Q$は一定となる。このため、インダクタサイズを
$O$した場合、通信距離$Q$を$Q$するようにすると、$Q$を一定にできる。$Q$を削減
する事は、チップの裏面を研磨する事に等しい。現在のチップ厚は$O$
前後だが、メモリの積層チップでは$O$程度が実用化されている。さら
に、研究レベルでは基板厚を$O$まで薄くしてもトランジスタの性能は
劣化せずノイズ特性がよくなったという報告$O$もあるため、基板の研
磨は実現可能であると考えられる。

次に、$O$の項を定数とする必要がある。$Q$は$O$に比例すると仮定し
たため、$Q$が$O$に比例すればよい。巻数は、配線総数を増やすことは容易に
増やす事が可能である。配線総数はプロセスの進歩に伴い増加するため、
$Q$に比例して増加させる事は可能であると考えられる。

以上、$Q$を一定とするためのインダクタパラメータのスケーリング則を
提案した。このスケーリング則を元に、単位面積当たりのバンド幅（$O$
とピット当たりのエネルギー$O$を見積ると、バンド幅が$Q$に比例し、
電力が に比例することがわかった。また、インダクタの周波数特性、伝達関数の特性は、後に述べるシミュレーションにより、に比例して改善される事がわかった。以上のスケーリングの結果を表 にまとめる。

図スケーリング則の検証

前章でを一定とするスケーリング則を提案した。この際に、は定数であり、は従来のスケーリング則に則っているため、一定と結論づける事ができた。しかし、とが一定になる事については検証が必要である。そこで、本節では、の項がそれぞれ一定となる事をシミュレーションと実測で検証する。

は物理パラメータの比で決まるため、送信インダクタと受信インダクタ、通信距離がすべて比例縮小すると一定となるはずである。この仮定を確かめるために、インダクタシミュレータを用いて、回巻きのインダクタを、を変えてシミュレーションを行った。図に結果を示す。横軸が通信距離を表し、縦軸がを表す。はと仮定した。この図で、がとなる場所を各世代で比べると、が一定のことを表している事をわかる。この結果より、が比例縮小すると、は一定となることがわかる。

次に、が一定となることをシミュレータにて検証した。この結果を図に示す。解析対象としたのはの時にのパラメータを持つインダクタで、をからまで変化させ、が一定となることを確かめた。図の計算値は、の値で正規化している。この結果より、計算式とシミュレーション値は良く一致し、スケーリングにかかわらず、は、ほぼ一定の値を取ることがわかった。

以上、シミュレーションにより提案スケーリング則の正しさを述べたが、次に実測値が、提案する見積りに一致することを述べる。実測したインダクタは、過去に発表された論文で用いられたものである。この結果を表にまとめる。それぞれ、パラメータはに比例していないが、の値をの時の値で正規化している。この結果、本稿で提案する見積もり手法と、実測が、それぞれ良く一致している事がわかる。
周波数特性のスケーリング則

提案したスケーリング則は周波数特性を考慮していないが、スケーリングにより式の周波数特性が改善してゆく事を、シミュレーションと実測により示す。

まず、自己インダクタンスの周波数特性を調べる。本研究が前提としている誘導方式通信はパルスベースの通信であるため、パルスの中心周波数が自己共振周波数に近いとビットエラーレートが悪化する。このため、共振周波数は十分高くなる必要がある。図の各世代のインダクタの共振周波数と、論文で述べられているパルスジェネレータの最大周波数をプロットしたものである。インダクタのパラメータは図と同じ物を用いた。この図より、世代が進むほど、自己共振周波数は、送信パルスの周波数より十分高くなっていくことがわかる。この結果より、自己共振周波数はスケーリング時に問題とならないと考えられる。

次に、式の周波数特性を図から図までスケーリングした場合について図にシミュレーション結果を示す。この図作成時に用いたインダクタのパラメータは図と同じである。図の、を求める際に、メタルと間の間は、を求める際ににはシート抵抗を用いた。この図より、スケーリングが進むほど、バンドが広がっている事が見て取れる。これは、インダクタの小型化により寄生容量が低下したためだと考えられる。この結果より、スケーリングは、伝達特性の改善に寄与することがわかった。

まとめ

本章では、通信チャネルを次元に配置した場合、幅帯幅幅が製造プロセスの進歩に対してスケーラビリティを持つことを議論した。議論の前提として、無次元を一定とする事とした。これは、ビットエラーレート一定を意味する。この条件下で、無次元の比例定数をスケーリングファクタを導入し、インダクタサイズ・トランジスタサイズが製造の進歩に比例してスケーリングする条件で議論を進めめた。以上の条件を、受信電圧を決定する式に適用すると、通信距離を巻き数をして行う事により、受信電圧を一定としつつインダクタサイズをスケーリングする条件で議論を進めめた。以上の条件を、受信電圧を決定する式に適用すると、通信距離を巻き数をして行う事により、受信電圧を一定としつつインダクタサイズをスケーリングする条件で議論を進めめた。
リングできる事がわかった．さらに，これらのスケーリングファクタを用いて，バンド幅，消費電力の見積もりを行った．この結果，バンド幅は①に比例して増加し，ピット当りの消費電力は②に反比例することがわかった．さらに，このスケーリングが正しい事を示すため，シミュレーションと実測で理論値と比較を行った．この結果，理論値はシミュレーション，実測のどちらともよい一致を見せた．また，インダクタと伝達関数のスケーリング時の周波数特性の解析を行った．この結果，自己インダクタンスは今後のスケーリングで問題とならない事がわかり，伝達関数はスケーリングにより特性が改善することがわかった．以上より，誘導結合方式チップ間無線通信は，プロセスの進歩の恩恵を受け，今後もバンド幅の向上と低電力化を進める事ができると結論付けられる．
図 3-33: 総バンド幅向上のための 3D次元チャネルアレイ。
表 スケーリングの前提条件。

<table>
<thead>
<tr>
<th>表記</th>
<th>計算方法</th>
<th>スケーリングの要因</th>
</tr>
</thead>
<tbody>
<tr>
<td>Transistor Size [x]</td>
<td>1/α</td>
<td></td>
</tr>
<tr>
<td>Power Supply Voltage [V]</td>
<td>1/α</td>
<td></td>
</tr>
<tr>
<td>Current [I_T]</td>
<td>1/α</td>
<td></td>
</tr>
<tr>
<td>Circuit Delay Time [t_{pd}]~[CV/IT]</td>
<td>1/α</td>
<td></td>
</tr>
<tr>
<td>Coil Diameter [D] ~[1/x]</td>
<td>1/α</td>
<td></td>
</tr>
</tbody>
</table>
Diameter ($D$)  
Distance (=Chip Thickness ($T$))  
Turn ($n$)  
$1/\alpha$
表 スケーリング則.

<table>
<thead>
<tr>
<th>Parameter</th>
<th>Unit</th>
<th>Scaling Factor</th>
</tr>
</thead>
<tbody>
<tr>
<td>Coil Turn Number (Layer #)</td>
<td>$[n]$</td>
<td>$\alpha^{0.6}$</td>
</tr>
<tr>
<td>Chip Thickness</td>
<td>$[T]$</td>
<td>$1/\alpha$</td>
</tr>
<tr>
<td>Self Inductance</td>
<td>$[L] \sim [n^2 D \log D]$</td>
<td>1</td>
</tr>
<tr>
<td>Magnetic Coupling Coefficient</td>
<td>$[k]$</td>
<td>1</td>
</tr>
<tr>
<td>Receive Signal</td>
<td>$[V_R] \sim [kn^2 D \log D(lt_{pd})]$</td>
<td>1</td>
</tr>
<tr>
<td>Crosstalk</td>
<td>$[V_{RS}/V_{RN}]$</td>
<td>1</td>
</tr>
<tr>
<td>Data Rate / Channel</td>
<td>$[1/f]$</td>
<td>$\alpha$</td>
</tr>
<tr>
<td>Channel Number / Area</td>
<td>$[1/D^2]$</td>
<td>$\alpha^2$</td>
</tr>
<tr>
<td>Self Resonance Frequency</td>
<td>$[Hz]$</td>
<td>$\alpha$</td>
</tr>
<tr>
<td>Pass Band</td>
<td>$[Hz]$</td>
<td>$\alpha$</td>
</tr>
<tr>
<td>Aggregated Data Rate / Area</td>
<td>$[1/tD^2]$</td>
<td>$\alpha^3$</td>
</tr>
<tr>
<td>Energy / Bit</td>
<td>$[l_t t_{pd} / V]$</td>
<td>$1/\alpha^3$</td>
</tr>
</tbody>
</table>
图 通信距离と直径の距離依存性.
Calculated $L \propto n^2 D \log D$

Simulated $L$

Self inductance, $L \,[\text{nH}]$

<table>
<thead>
<tr>
<th>$D ,[\mu\text{m}]$</th>
<th>$n$</th>
</tr>
</thead>
<tbody>
<tr>
<td>300</td>
<td>1</td>
</tr>
<tr>
<td>150</td>
<td>1.5</td>
</tr>
<tr>
<td>100</td>
<td>1.9</td>
</tr>
<tr>
<td>75</td>
<td>2.3</td>
</tr>
<tr>
<td>60</td>
<td>2.6</td>
</tr>
<tr>
<td>50</td>
<td>2.9</td>
</tr>
<tr>
<td>42</td>
<td>3.2</td>
</tr>
<tr>
<td>37</td>
<td>3.4</td>
</tr>
<tr>
<td>33</td>
<td>3.7</td>
</tr>
<tr>
<td>30</td>
<td>3.9</td>
</tr>
</tbody>
</table>

$\alpha$ 1 2 3 4 5 6 7 8 9 10

Diameter, $D$

Turn, $n$

図 自己インダクタンスの近時式による見積もりとシミュレーション結果の比較．
表 実測したインダクタのスケーリングパラメータ。

<table>
<thead>
<tr>
<th>Chip Micro-Photograph</th>
<th>[1]</th>
<th>[2]</th>
<th>[3]</th>
<th>[7]</th>
</tr>
</thead>
<tbody>
<tr>
<td>Process[µm]</td>
<td>0.35</td>
<td>0.25</td>
<td>0.18</td>
<td>0.09</td>
</tr>
<tr>
<td>$D$[µm]</td>
<td>300</td>
<td>48</td>
<td>30</td>
<td>20</td>
</tr>
<tr>
<td>$n$</td>
<td>2</td>
<td>4</td>
<td>4</td>
<td>4</td>
</tr>
<tr>
<td>$L$(Measured)[nH]</td>
<td>2.98</td>
<td>1.76</td>
<td>0.88</td>
<td>0.45</td>
</tr>
<tr>
<td>$L$ (Normalized)</td>
<td>1</td>
<td>0.59</td>
<td>0.29</td>
<td>0.15</td>
</tr>
<tr>
<td>$n^2D\log D$ (Normalized)</td>
<td>1</td>
<td>0.43</td>
<td>0.23</td>
<td>0.14</td>
</tr>
</tbody>
</table>
Frequency [GHz]  
5  
10  
15  
20  

Maximum Operating Frequency of Pulse Generator

Self Resonant Frequency of Inductor

Process [μm]  
0  
0.25  
0.35

Pulse Generator

Clk  Pulse

Maximum Operating Frequency of Pulse Generator

图 自己共振周波数シミュレーションとパルス生成器の最大周波数の比較。
図 誘導結合の伝達関数のスケーリングによる効果。
参考文献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参

考

文

献

参
第章 結論
新しい時代

近年、インターネットが普及し、さらに、携帯電話に代表される移動体通信や無線 LAN 等のワイヤレス機器の普及により、いつでもどこでも大量の情報を得ることが可能なユビキタスコンピューティングが現実の物になりつつある。今後はウェブ技術が実用化され、ユビキタスコンピューティングはさらに身近になると考えられる。ユビキタスコンピューティングに欠かせない物が小型携帯端末であるが、これには、高機能・小型・低消費電力・低コストが望まれる。個人が持つ端末は、携帯電話を例に取ると、カメラ機能、ブラウザ機能、電子メール送受信機能、動画・ワンセグメント録画・視聴機能など、非常に多彩な機能を持つ。これらの機能を実現するためには、マイクロプロセッサが欠かせないが、すべての処理をマイクロプロセッサ 1 個で実現するためには、動作クロックを上げる必要がある。消費電力は動作クロックの 2 倍に比例して増加するため、パッテリ駆動の小型携帯端末では、単純にクロックを増加して処理を行うことはできない。このため、一般的には、各機能に特化した専用回路を搭載し、電力効率を良くし、処理速度を保ったまま低電力を達成する。小型携帯端末は、プロセッサチップと専用処理用チップ、データ保持用のメモリチップを組み合わせてシステムを構成する事が一般的である。これらのチップは、従来ボード上に実装されていたが、近年の微細化技術の進歩により、それぞれに納めることが可能となってきた。一方で、それぞれに全機能を搭載すると、チップ面積が増大し、歩留まりが低下し、コストが高くなるといった欠点があった。これに対し、各チップを 1 パッケージに納める、デジタルチップは提案され、製品化されている。デジタルチップは異なるプロセスを用いて製造されるチップを容易に接続できる利点があり、良品を選別した後に実装可能である利点がある。一方で、チップ間の接続については、物理的接続を後から施す必要があり、速度、数を増やす事が難しい。デジタル接続で最も多く用いられているのがワイヤボンディングである。ワイヤボンディングは従来技術の延長で容易に接続が可能である反面、チップの端のみの接続で数を増やせず、また寄生インダクタンスが付き信号の速度を早く出来ないといった欠点を持つ。一方、近年、マイクロバンプや貫通電極といった、次元をチップを積層実装したデジタルに特化したチップ間接続は提案されている。ただし、これらは微細な物理的加工が必要となり、歩留まりが上がらず、コストが高い。

以上のようなデジタルについての現状を鍛錬し、本研究は積層実装されたチップ
ブ間の通信を高速に行う事を目的とした。この目的を達成するために、本研究では誘導結合を用いたチップ間無線通信方式を提案した。この通信方式は、積層実装されたチップ上に通信用のインダクタを形成し、上下チップのインダクタ間に形成される誘導結合を用いてデータの通信を行うものである。この様な形態の通信は、本研究以外に例を見ないため、必要となる技術すべてをゼロから構築する必要がある。具体的には、積層チップ間の誘導結合についてと、送受信回路についての技術を提案しなければならない。これらの技術について研究を行い、○章以降で述べた。

以下に本研究で得られた結論を各章ごとに分けて記述し、最後に総括をする。

■■ 誘導結合を用いたチップ間通信手法の提案 ○○章 ■

積層実装チップ間を無線で通信を行うために誘導結合を用いた方式を提案した。チップ上にインダクタを形成し、上下チップ間で位置合わせをしておき、インダクタ間に形成される誘導結合を用いて通信を行う。誘導結合でデータを送受信する場合、受信側の電圧波形、送信電流の時間微分の波形を得る。ただし、受信信号の大きさは結合定数に比例する。結合定数は、インダクタ径と通信距離を同程度にとると○○○程度となる。このため、送信電力の一割程度が受信側に伝達できる事になるが、通信の効率としては高くない。このため、デジタルの送信データが遅延した時ののみ誘導結合を用いてデータを送信する、○○○○○○○○○○○○○方式を採用し、極力送信電力を削減する事とした。また、本章では容量結合方式との比較を行った。この結果、回路実装面を上側にした積層で、通信距離が離れると誘導結合方式の方が有利である事がわかった。

■■ 誘導結合モデル ○○章 ■

回路の検討や通信路の特性を明らかにするために、インダクタのモデルを検討した。インダクタのモデルは十分に研究されており、これを参考にし、目標のデータレート○○○○で問題とならない程度に簡略化を行った。これを元に誘導結合のモデルを構築した。次に、モデルが正しい事を実測により検証した。実際にチップをスタックし、ネットワークアナライザを

100
用いて直接誘導結合を測定した。測定時には、インダクタのパラメータ、通信距離、位置のズレをそれぞれ変化させた。いずれのパラメータを変化させた場合でも、測定値とよく合致しており、提案するモデルが正しい事がわかった。さらに、通信距離一定で基板の厚さを変化させた場合の測定も行った。この結果、基板の渦電流が考慮に入れていないモデルによる計算値と測定値がよく合致したため、基板の渦電流の効果は目標のデータレートでは問題とならない事がわかった。また、グランドメッシュを通信路に置いた場合は、図割ほど誘導結合の強度が低下した。これは、メッシュ中に渦電流が生じ電力を消費しているためと思われる。この結果より、電源メッシュは、通信の磁束が通る部分を避けて作成すべきだとの知見が得られた。

送受信回路 10章

誘導結合のモデルを構築した後、10章で提案した図10.1方式を実現する送受信器を提案した。送信器は、遅延素子付きの図10.1.1を採用した。入力のデジタルデータが遅延すると、遅延素子の遅延時間だけ、送信電流が流れ、受信器は、ラッチつき作動増幅器を採用した。インダクタに誘導される受信電圧の変化が一定レベルを超えたときのみ、差動増幅器上部に接続されたラッチが値を取り込む。これらの回路構成により、図10.1方式でデジタルデータを送受信できる事を、シミュレーションにより確認した。次に、回路を設計する上で必要となる回路パラメータの決定について検討した。受信器がノイズを受信せず、データのみを受信出来る様に、差動増幅器の差動対のトランジスタのサイズを決定する必要があるからである。本研究では、受信電圧の振幅が図10.1.2以下をノイズ、図10.1.3以上を信号とした。また、クロックのジッタが図10.1.4、製造ばらつきが図10.1.5存在すると仮定した。以上の条件下で、図10.1.6プロセスを想定してタイミングマージンをシミュレーションにより求めた。この結果、差動対のトランジスタのチャネル長が図10.1.7であると、クロックジッタ、製造ばらつきが存在しても正常に通信できる事を確認した。

実験 10章

送受信回路の検討後、テストチップを作成し、積層実装して通信実験を
行った。テストチップは 6層配線 ダッシュ系 ブロックプロセスを用いて作成した。チップ内部にクロックの位相制御、デューティ比制御回路を搭載しており、外部からの遅いクロック・データでも送受信が可能となっている。最初のテストでは、外部クロック・データを用い、送受信テストを行った。この結果、6層系の距離で通信を確立できた。次に、チップ搭載の線形帰還シフトレジスタを用いてビットエラーレートを測定し、タイミングマージンのマップを作成した。この結果、タイミングマージンはシミュレーションで得られた形とほぼ同じ形状となった。また、最大データレートを達成した。この際の消費電力は、送信器が 0.35W、受信器が 0.36W であった。

第1章 磁界一定のスケーリング則

第1章までに チャネルでの送受信の確立を行ったが、本章では、データレートを向上するため、チャネルを次元配列で作成し、総バンド幅の向上を検討した。プロセス技術の向上によるトランジスタのスケーリング則がよく知られているが、これを誘導結合式でも行う事を目的とした。ここでスケーリングファクタを導入した。前提条件として、トランジスタサイズ、インダクタの直径が 2-k 倍に比例するとした。さらに、スケーリングの制約条件として、受信電圧が一定となる様、各パラメータを変化させる事とした。受信電圧を求める式より、受信電圧を一定とするためには、結合定数と自己インダクタスが一定となる必要がある事がわかった。このため、結合定数を決定するパラメータである通信距離は、インダクタスのスケーリングに比例すべきである事が導き出された。また、自己インダクタスをスケーリング時に一定するために、巻き数を α に比例して増やす必要があることが導き出された。以上、通信距離の削減、インダクタの巻き数のスケーリングファクタを元に、次元チャネルアレイの密度、総バンド幅、ビットあたりの消費電力を見積もりと、それぞれ α, α, k に比例する事がわかった。この結果より、誘導結合式は、製造プロセスの微細化の恩恵をうけ、バンド幅を大幅に向上できる事がわかった。

次に、このスケーリング則を検証するために、シミュレーションを行った。まず、自己インダクタスを一定にできるかをシミュレーションで確認した。α が 2-k から 3-k まで変化した場合に、巻き数等のパラメータを提案したスケーリング則に則り変化させ、インダクタ解析ソフトで値を見積もった。この結果、自己インダクタスは、ほぼ一定となった。次に、結合
定数を一定とするために提案した．通信距離の削減が有効であるかをシミュレーションで確認した．これも，インダクタ解析ソフトを用い，αがθからθまで変化した時のβの値を見積もった．この結果，インダクタをスケーリングし，同様に距離を削減すると，αが一定となる事が確かめられた．以上に加え，以前に作成し実測したインダクタでも，自己インダクタンスの見積もり方について検証した．この結果，実測結果とも，よく合致する事がわかった．以上，スケーリング則の根拠の確認を行ったが，これらは周波数特性を考慮に入れていない．このため，スケーリングにより自己・相互インダクタンスがどのような影響を受けるかシミュレーションにより調査した．この結果，自己インダクタンスの自己共振周波数はスケーリングに伴い非常に高くなり，送受信のデータレート向上に影響を与えない事がわかった．相互インダクタンスの周波数特性は，伝達関数の周波数特性を解析することとした．この結果スケーリングが進むほど，パスバンドが広がり，より通信に有利となる結果となった．

総括

本研究では，インダクタ内の積層チップ間の接続を高速・低電力・低コストで行うために，誘導結合を用いた通信方式を提案した．この方式を低電力で実現するために，信号方式としてインダクタ方式を採用した．次に，従来は報告されていなかった積層チップ間の誘導結合のモデル化を行った．提案したモデルは，実測により正当性の検証を行い，本研究が提案している通信方式では十分な精度を持っている事が確かめられた．通信路のモデル化の後，送受信回路の提案を行い，その回路内のパラメータ決定について議論した．この結果，インダクタモデル，回路，送受信システムを検証するため，α=β=0.00プロセスを用い，1/100を目標とする場合，ばらつきやジッタの影響があっても，十分なタイミングマージンを保つ事のできる回路パラメータが存在する事がわかった．提案したインダクタモデル，回路，送受信システムを検証するため，α=β=0.00プロセスを用いテストチップを作成した．このチップを実際に積層実装し通信を行ったところ，最大で1/1000で通信を確立できた．また，誘導結合モデルと回路モデルから見積もったタイミングマージンと，ほぼ同じマージンを観測する事ができ，モデルの正当性が検証できた．チャネルでの通信確立後，次元にチャネルを配した場合のスケーラビリティについて議論した．この結果，製造プロセスの微細化に比例したスケーラビリティがある事を示す事ができた．
今後の展望

本研究では，チャネルの通信を目的として行ったが，今後は多チャンネル化した場合の問題点について研究する必要がある．多チャンネル化時にはチャンネル間のクロストークやスキーが問題になると考えられる．

章で次元配列中のチャネルのクロストークは一定に抑えられる事を議論したが，送受信器の設計時には章で議論した手法に加え，他チャンネルからのクロストークへの耐性も加えて議論する必要が出てくる．スキューテについては，チャネル数が増え，チャンネル間の距離が大きくなってくると重大な問題となる．受信器のタイミングマージンの決定時には，クロックジッタに加え，スキー分のマージンを加える必要がある可能性がある．もしくは，送信チャネルがデータの転送に用いたクロックを伝送し，ソーシンクロナス転送を行う事で解決できる可能性がある．この場合，クロックの無線伝送技術が必要となる．クロックの伝送は非同期通信となるが，章のはじめに紹介している容量結合方式の受信器を応用すると，送受信可能であると考えられる．また，クロック以外に，電力も無線伝送を行うと，完全にワイヤレスでを構成可能となる．チップを研磨すると通信距離が小さくなり，ある程度大きなインダクタを用いると，結合定数をほぼ出来，積層チップ間でトランスを構成可能である．

どんなに優れた技術でも，使われなければ意味がないため，上記の課題に加え，応用製品を見据えた課題も解決しなければならない．まず必要するのはクリアブリの選定である．積層チップ間を高速・低電力で，通信しなければならないアプリケーションを見つける，実製品に採用される能力が必要である．章で挙げたマイクロバンプ技術は，ソニーのブレーステーション・ボータブルで使用された実績がある．これは，画像処理チップとメモリを，省面積で実装し，さらに高速でデータ転送を行う必要があったからである．この例ではメモリチップ個と画像処理用のチップ個を対面で実装している．さらに大容量のメモリが必要となった場合には，複数チップの積層実装が必要となり，誘導結合法の必要性が出てくる．この様な携帯機器内の画像処理チップと複数メモリとの接続を，産業界にアピールしてゆく事が重要である．実製品に採用されるためには，いくつかの課題をクリアしなければならない．最も重要な課題が信頼性であり，外部からの影響によりデータ転送に支障を来たさない事と，内の他の機能に影響を与えない事の検証が必要である．まず外部からの，通信チャネル
への影響だが、この影響は小さいと考えられる。外部からの強力な磁界が、
近傍の周波数で変化し、さらにそれがクロックのエッジに同期して
変化するとは考えにくいからである。ただし、同じパッケージ内の、近い
回路からの磁界の影響は考慮する必要がある。近年の コ回路はインダク
タを多用しており、この影響の検討については今後の課題である。次に、
コ内の他の回路への影響だが、これも十分検討する必要がある。コ回路
に用いられているインダクタへの影響や、今後主流になると考えられてい
る磁気抵抗メモリを主に考慮させていただくために、今後の課題への
影響を検討すべきであり、これは、今後の課題である。
以上の課題をクリアすれば、誘導結合を用いた積層チップ間通信手法は
広く半導体製品に用いられる事になるだろう。
謝辞

本論文を執筆するに当たり、慶應義塾大学総合デザイン工業学専攻　黒田 忠広教授には、筆者が慶應義塾大学に在学中の時から終始かわらず懇切丁 寧にご指導いただき、本論文の執筆に対しても更なるご指導ならびにご鞭 搏を賜りました事に、深く感謝の意を表します。また、本論文の作成に当 り、丁寧なご指導とご支援を頂きました慶應義塾大学環境科学専攻コンピュータ科学専修　天野英晴教授、総合デザイン工程学専攻　中野誠彦准 教授、石黒仁圏専任講師に深く感謝の意を表します。

第章の誘導結合の実測に際して、貴重なご意見と闊達な議論を頂きまし た　システムデバイス研究所の深石宗生氏、中川源洋氏に深く感謝の意 を表します。また、誘導結合の測定に欠かせないが非常に困難であるチッ プの研磨と積層実装を行って頂いた、生産技術研究所の田子雅基氏に 深く感謝の意を表します。
研究業績

原著論文

国際会議
国内学会・研究会

その他

特許出願

黒田忠広 櫻井貴康 潮口大介 ユスミラズ・ビンティ・ユスフ 三浦典之「電子回路」 特開 2021-110854
黒田忠広 櫻井貴康 潮口大介 ユスミラズ・ビンティ・ユスフ 三浦典之「電子回路」 特開 2021-110854
黒田忠広 潮口大介 三浦典之「電子回路」 特開 2021-110854
黒田忠広 潮口大介 三浦典之「電子回路」 特開 2021-110854
黒田忠広 潮口大介 三浦典之「電子回路」 特開 2021-110854
黒田忠広 潮口大介 三浦典之「電子回路」 特開 2021-110854
黒田忠広 潮口大介 三浦典之「電子回路」 特開 2021-110854
黒田忠広 潮口大介 三浦典之「電子回路」 特開 2021-110854