

$\text{Si}_{1-x}\text{Ge}_x$  上歪 Si 基板の  
欠陥及び電気的特性評価に関する研究

2007 年度

住友 隆道

## 目次

第1章 序論 .....	4
1.1 本研究の背景 .....	4
1.2 歪の導入と歪 Si 基板の問題点 .....	5
1.3 本論文の目的と構成 .....	9
第1章の参考文献 .....	10
第2章 歪 Si 基板とデバイスへの応用 .....	12
2.1 移動度向上の原理 .....	12
2.2 $\text{Si}_{1-x}\text{Ge}_x$ を用いた歪 Si 基板 .....	14
2.3 転位 .....	17
2.4 組成傾斜層 .....	17
2.5 現状と応用 .....	17
2.6 まとめ .....	18
第2章の参考文献 .....	20
第3章 欠陥分布と表面モフォロジー .....	21
3.1 組成傾斜 SiGe 層を用いた s-Si 基板サンプル .....	21
3.2 化学エッチング法による欠陥密度評価 .....	21
3.2.1 エッチャント .....	23
3.2.2 貫通転位とミスフィット転位 .....	27
3.3 原子間力顕微鏡による表面粗さ評価 .....	31
3.3.1 クロスハッチパターン .....	31
3.3.2 Ge 濃度依存性 .....	34
3.3.3 熱処理温度依存性 .....	34
3.4 まとめ .....	35
第3章の参考文献 .....	36
第4章 カソードルミネッセンスによる評価 .....	38
4.1 カソードルミネッセンス (Cathodoluminescence: CL) .....	38
4.2 欠陥準位 .....	40
4.3 励起領域 .....	40

4.4	測定 .....	42
4.5	CL スペクトル .....	42
4.5.1	Ge 濃度依存性.....	42
4.5.2	加速電圧依存性.....	43
4.5.3	強度に関する詳細.....	43
4.5.4	強度比の変化.....	46
4.6	熱処理によるスペクトル強度変化.....	46
4.6.1	酸素の影響.....	49
4.6.2	酸素雰囲気下での熱処理.....	52
4.7	D1・D2 の起源の問題.....	52
4.8	まとめ .....	54
	第4章の参考文献 .....	55
第5章	キャリア移動度測定.....	57
5.1	ドーパント熱拡散法.....	57
5.2	As 拡散係数.....	57
5.3	Ge 拡散係数.....	59
5.4	移動度 .....	61
5.5	まとめ .....	63
	第5章の参考文献 .....	65
第6章	結論 .....	66
	謝辞 .....	68
	発表論文及び学会講演リスト.....	69
1.	本研究に関するもの.....	69
1.1	定期刊行誌掲載論文.....	69
1.2	国際会議発表.....	69
1.3	国内学会発表.....	70
2.	その他に関するもの.....	70
	国内学会発表 .....	70

# 第1章 序論

## 1.1 本研究の背景

今日、電気電子産業を支えるエレクトロニクスは、シリコン (Si) を始めとする半導体の進歩が支えているといっても過言ではない。特に Si を中心としたIV族元素を利用した半導体電子デバイスは、大電流を制御するパワーエレクトロニクスから演算処理を行う論理回路を構成するロジックゲート構造まで多岐に利用されている。なかでも 1960 年代に開発された Si とその熱酸化膜である  $\text{SiO}_2$ 、金属電極により作製された MOS-FET (Metal Oxide Silicon Field Effect Transistor) は、論理回路の構成に適したスイッチング素子であり、集積化に向き、かつ素子の微細化により性能の向上とコストの減少が図れるというメリットがあったため、今日の実用的な LSI 論理演算回路のほぼすべてを構成している。MOS-FET デバイスではこの微細化による性能向上を指す“スケーリング則”と呼ばれているガイドラインが、当初のチャネル長  $20\mu\text{m}$  から現在の  $60\text{nm}$  までの微細化を牽引する原動力となってきた。チャネル長が  $1/K$  になれば、キャリアの走行時間が  $1/K$  になり消費電力を  $1/K^2$  にすることが出来、また、素子寸法の微細化により同一面積に集積できる素子数が増加しコストの低減が可能になる。

しかし、これまでの LSI 開発においては幾度もスケーリング則の限界が指摘されてきた。MOS-FET はその基板となる Si 単結晶、ゲート電極、ゲート電極とチャネル領域との間の絶縁膜となる Si 酸化膜、ソース・ドレイン構造を形成する不純物拡散領域、微細構造の描画を行うリソグラフィなどこれ以外にも多様な要素技術の集積として成り立っており、スケーリング則に沿った微細化を進めるにあたっては、これらの要素技術が並行して向上していかななくてはならない。逆に言うと、どれかひとつの要素技術において微細化の限界を迎えると、それが MOS-FET 自体の微細化の限界とすることになる。過去にあったこれらの限界は、使用材料の変更や局所的な構造の改良などによりクリアされてきた。しかし、スケーリング則に依存した微細化に基づく性能の向上は、現在限界に近づきつつある。Si デバイス開発の指針である 2006 国際半導体技術ロードマップによると、2010 年の物理的ゲート長は  $18\text{nm}$  と予想されている。これは Si 原子数十層分に相当し、このままスケーリング則に沿って微細化をして行くと、いずれ量子効果により MOS-FET の動作原理の根幹が崩れて

しまうことを意味している。今現在、スケーリング則に依存しないデバイスの性能向上が求められているのはこのためである。

今日、スケーリング則に依存しない技術はテクノロジーブースターと呼ばれ、要素技術ごとに様々な研究開発が行われている。代表的なものでは単チャンネル効果抑制のためのメタルソース・ドレイン構造[1]、ポリシリコンゲートの空乏化を防ぐメタルゲート、ゲート絶縁膜( $\text{SiO}_2$ )の薄膜化によるゲートリーク電流の増大を抑制するための High- $k$  ゲート絶縁膜[2 - 6]、基板を介して漏洩するサブスレッシュホールドリク電流を抑制するための Ultra Thin Body FET[7]、Fin FET[8]などであるが、このひとつにチャンネル領域への“歪”の導入がある。

## 1.2 歪の導入と歪 Si 基板の問題点

Si MOS-FET のチャンネルを見直し、チャンネルのキャリア速度を高めることが出来れば、同じ電源電圧のもとでも高いオン電流を得ることができ、また、オン電流一定のもとではゲート絶縁膜の薄膜化に頼らず電源電圧を低下させることが出来る。チャンネル速度を高めるための有効な手段としてチャンネル移動度の向上があるが、実験やシミュレーション結果によれば[9-11]、チャンネル長 50nm 付近でのオン電流は移動度のおよそ 0.5 乗程度に比例し、この先の 45, 32, 24nm のテクノロジーノードにおいて、それぞれ約 30, 70, 100%の移動度の向上が性能トレンドを維持するために必要とされている[12]。

現在の Si を前提とした大規模 LSI の中でチャンネル材料を高移動度の化合物半導体に変更するのはプロセス的な問題やコストの観点からも難しく、材料変更の無いままに移動度を向上させる手段として Si に歪を印加した、歪 Si チャンネルの導入が検討されている。

Si MOS-FET と歪の関係は古くから議論されているが、1990 年以前においてそれは問題点としての認識であった。例えば、Si 基板の熱酸化の際には Si と  $\text{SiO}_2$  の体積膨張率の違いから界面に応力がかかり欠陥の発生を誘発した。デバイススケールの縮小に伴いデバイス特性に関わる応力の影響は増大し問題となりつつあった。一方、化合物半導体デバイスにおいてはヘテロエピタキシャル成長が必要不可欠であり、この際に異種結晶の格子定数の違いにより発生する歪は古くからの問題点であったが、同時にこの結晶歪を積極的に利用し

バンドエンジニアリングを行うことが Si デバイスよりも先行して行われてきた。結晶に歪を加えることにより格子定数を変化させ電子的な物性値を操作するという手法である。1990年代に入り Si MOS-FET の限界がささやかれ始めると、Si MOS-FET においても歪を積極的に導入してキャリアの移動度を向上させようという試みがなされるようになってきた。

現在研究されている Si MOS-FET への歪の導入には、デバイスに局所的に歪を導入する“ローカル歪”と Si 基板全体に導入する“グローバル歪”に大別できる。ローカル歪では、ソース・ドレイン領域に Si より格子定数の大きな SiGe をエピタキシャル成長で作製することにより、チャンネル領域に圧縮歪を導入する方法[13] (図 1.1.a) や、MOS 構造上部にシリコン窒化膜を形成し熱処理により引っ張り歪を導入する手法がとられている[14] (図 1.1.b)。グローバル歪では、Si 基板上に SiGe をエピタキシャル成長させその上部に Si をエピタキシャル成長させることにより、格子定数差に依存する二軸引っ張り歪を導入する手法がとられている (図 1.2)。SiGe は全率固溶性を示すために、Ge 濃度を操作することによりその上部に成長させる Si 結晶のダイヤモンド構造を維持したまま歪量を意図的に操作することが出来る。表 1.1 にそれぞれの特徴を示す。両手法とも一長一短があるが、将来的には両方を最適に取り入れた歪の導入が成されると考えられる。今現在は、ローカル歪の導入が先行しており一部の製品には取り入れられている状況にある。しかしながら、ウエハスケールでの歪導入が可能なグローバル歪は、歪量の大きさや均一性、また、SOI (Si on Insulator) 基板と組み合わせた SSOI (Strained Si on Insulator) などの発展も考えると非常に有用である[15]。MOS-FET への歪導入による移動度向上の取り組みの歴史は以下に詳しい[16, 17]。

しかしながら、グローバル歪を導入した Si 基板には今なお大きな問題点がある。それは先にも述べた、歪導入による格子欠陥の発生である。歪導入のために利用する SiGe と Si の格子定数差により、SiGe 上にエピタキシャル成長させた Si 層は弾性変形の限界に来ると界面にミスフィット転位と呼ばれる欠陥の導入と共に塑性変形し、ひずみを緩和させる。チャンネル領域に使用する歪 Si だけではなく、歪を導入するための SiGe 層を Si 基板上に成長させる際には SiGe 層に圧縮応力が加わり、同様にミスフィット転位の導入とともに緩和する。SiGe 層形成の際には意図的に格子定数を拡大することが目的であるため、SiGe 層自体が弾性限界を超えて塑性変形し歪が緩和していなければならず欠陥の導入は不可避である。この欠陥は最上部の歪 Si 層をエピタキシャル成長させる際に引き継がれ、結晶成長層

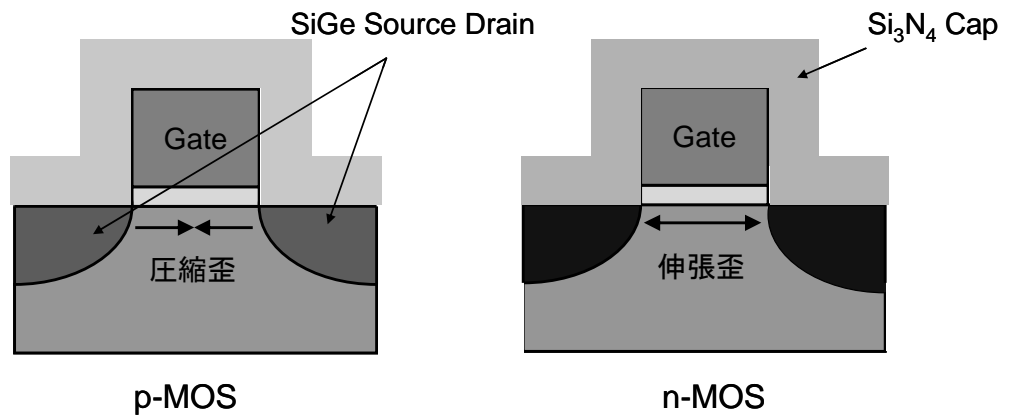


図 1.1 MOS-FET チャンネル領域へのローカル歪の導入

(a) SiGe ソース・ドレインによる圧縮歪の導入 (b) Si<sub>3</sub>N<sub>4</sub> キャップ層による伸張歪の導入

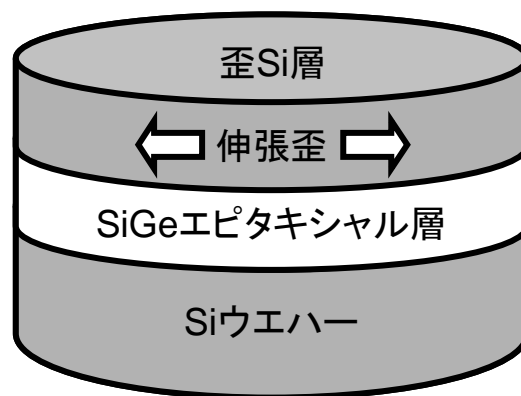


図 1.2 SiGe 層を用いたグローバル歪 Si 基板

表 1.1 ローカル歪とグローバル歪の特徴

	ローカル歪	グローバル歪
サイズ	トランジスタスケール	ウエハスケール
歪導入源	Si <sub>1-x</sub> Ge <sub>x</sub> ソース・ドレイン 窒化膜 浅い溝構造分離 (Shallow Trench Isolation)	歪緩和 Si <sub>1-x</sub> Ge <sub>x</sub> 層
特徴	一軸性 歪量小さい 複雑な歪	二軸性 歪量大きい 均一な歪
結晶欠陥	生じにくい	s-Si 中に生じやすい
コスト	低い	高い
備考	歪方向を制御できる	歪量を制御しやすい



表面まで達することになり、当該箇所に作製される MOS-FET デバイスのキャリアの移動度低下や、欠陥を介したドーパントの異常拡散などのプロセスへの悪影響をもたらすことになるため極力排除しなくてはならない。

### 1.3 本論文の目的と構成

本論文では、SiGe 層、特に転位密度低減を目的とした組成傾斜 SiGe 層を用いたグローバル歪 Si 基板において、その Ge 濃度による変化に注目して結晶性、電気的特性の評価を行った。欠陥の分布・挙動を詳細に調査することにより、より欠陥密度の低い高品質な結晶を得るための指針を得、MOS-FET 作製プロセスへの適用限界を探るためのデータを得ることを目的とした。

本論文の構成を以下に示す。序論に続き、第 2 章では本研究で用いた組成傾斜 SiGe 層を用いた SiGe 上歪 Si 基板についての詳細を述べる。また、歪 Si 基板のデバイスへの応用の現状について述べる。第 3 章では化学エッチング法および原子間力顕微鏡を用いて転位の分布、表面のモフォロジーを調査した結果について述べる。第 4 章ではカソードルミネッセンス法を用いて基板内部の欠陥の光学的評価を行った結果について、第 5 章では歪 Si 層に砒素(As)を拡散させ電気的な評価を行った結果について述べる。最後に第 6 章で本研究結果をまとめる。

## 第 1 章の参考文献

- [1] J. Kedzierski', P. Xuan, E. H. Andersonf, J. Bokor, T. -J. King, C. Hu, IEDM Tech. Dig. (2000) 57
- [2] Y. Moriyama, H. Minakata, and T. Sugii, 1997 Symp. on VLSI Tech. (1997) 135
- [3] J. L. Autran, R. Devine, C. Chaneliere, and B. Balland, IEEE Electron Dev. Lett. 18 (1997) 447
- [4] D. H. Lee, K. H. Yeom, M. H. Cho, N. S. Kang, and T. E. Shim, 1996 Symp. on VLSI Tech. (1996) 208
- [5] I. C. Kizilyalli, P. K. Roy, F. Baumann, R. Y. Huang, D. Hwang, C. Chacon, R. Irwin, Y. Ma, and G. Alers, 1998 Symp. on VLSI Tech. (1998) 216
- [6] K. Ino, T. Ushiki, K. Kawai, I. Ohshima, T. Shinohara, and T. Ohmi, 1998 Symp. on VLSI Tech. (1998) 186
- [7] K. Rim, K. Chan, L. Shi, D. Boyd, J. Ott, N. Klymko, F. Cardone, L. Tai, and S. Koester, IEDM Tech. Dig. (2003) 49
- [8] B. Yu, L. Chang, S. Ahmed, H. Wang, S. Bell, C. -Y. Yang, C. Tabery, C. Ho, Q. Xiang, T. -J. King, J. Bokor, C. Hu, M. -R. Lin, and D. Kyser, IEDM Dig. (2002) 251
- [9] R. Ohba and T. Mizuno, IEEE Trans. Electron Devices 48 (2001) 338
- [10] M. S. Lundstrom, IEEE Electron Device Lett. 22 (2001) 293
- [11] D. A. Antoniadis, Proc. 2002 Symp. VLSI Technology, Honolulu, (2002) 2
- [12] International Technology Roadmap in Semiconductors(ITRS), <http://public.itrs.net/>
- [13] T. Ghani, M. Armstrong, C. Auth, M. Bost, P. Charvat, G. Glass, T. Hoffmann, K. Johnson, C. Kenyon, J. Klaus, B. McIntyre, K. Mistry, A. Murthy, J. Sandford, M. Silberstein, S. Sivakumar, P. Smith, K. Zawadzki, S. Thompson, and M. Bohr, IEDM Tech. Dig. (2003) 978
- [14] K. Goto, S. Satoh, H. Ohta, S. Fukuta, T. Yamamoto, T. Mori, Y. Tagawa, T. Sakuma, T. Saiki, Y. Shimamune, A. Katakami, A. Hatada, H. Morioka, Y. Hayami, S. Inagaki, K. Kawamura, Y. Kim, H. Kokura, N. Tamura, N. Horiguchi, M. Kojima, T. Sugii, and K. Hashimoto, IEDM Tech. Dig. (2004) 209
- [15] T. A. Langdo, M. T. Currie, A. Lochtefeld, R. Hammond, J. A. Carlin, M. Erdmann, G. Braithwaite, V. K. Yang, C. J. Vineis, H. Badawi, and M. T. Bulsara, Appl. Phys. Lett. 82 (2003) 4256

- [16] M. L. Lee, E. F. Fitzgerald, M. T. Bulsara, M. T. Currie, and A. Lochtefeld, *J. Appl. Phys.* 97 (2005) 011101
- [17] D. J. Paul, *Semicond. Sci. Technol.* 19 (2004) R75

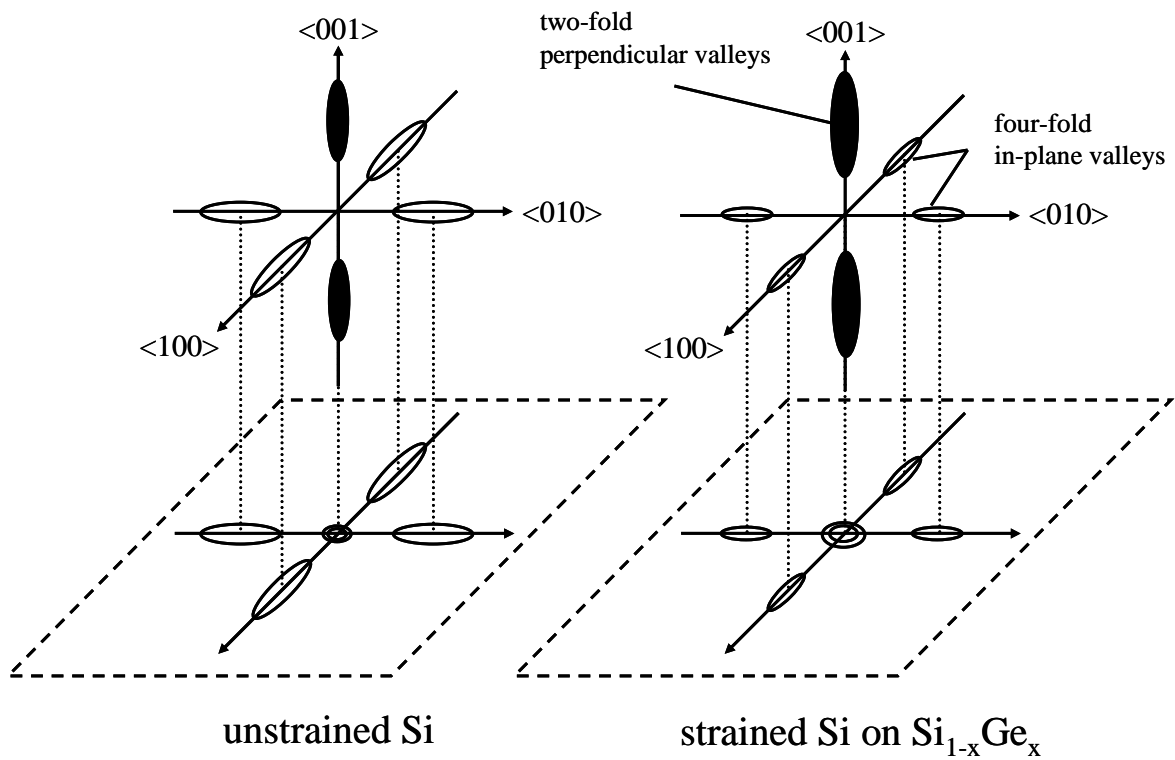
## 第 2 章 歪 Si 基板とデバイスへの応用

### 2.1 移動度向上の原理

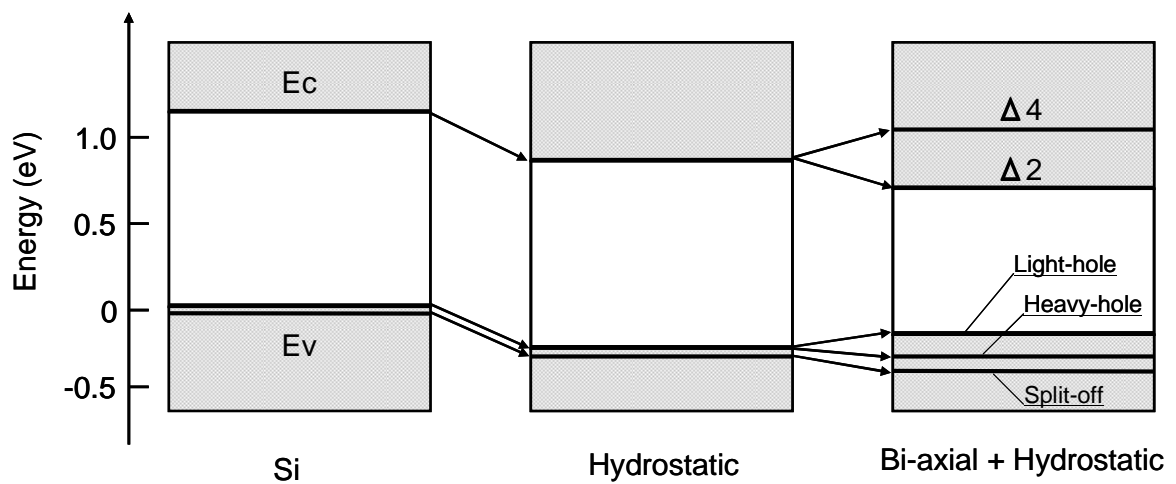
半導体中のキャリア移動度は、平均緩和時間と伝導帯下部もしくは価電子帯上部のバンドの曲率で決まる有効質量からなる物性値である。有効質量に注目すると、波数空間でのスケールは格子定数から決まることから明らかなように、結晶構造に大きな影響を受ける。化合物半導体では、古くから二元・三元混晶など積極的にバンド構造を操作するバンドエンジニアリングが行われてきた。特に高速動作を要求される高周波デバイスは現在も高移動度をもつ化合物半導体が主流である。歪 Si における移動度向上も歪みの導入によるバンドエンジニアリングだが、歪みの導入の仕方によりそのキャリア移動度への影響も多岐にわたる[1, 2]。

SiGe 上にエピタキシャル成長させた Si の場合、Si には面内方向に二軸性(biaxial)の引っ張り応力とポアソン比に基づく垂直方向の圧縮応力が加わることになる。伝導帯ではスピニング縮退を無視すると、有効質量の軽い 2 重縮退と 4 重縮退のバンドに分裂する (図 2.1.a)。価電子帯では重い正孔と軽い正孔のバンドに縮退が解ける (図 2.1.b)。この結果、基底状態では電子は 2 重縮退のバンドへ、正孔は軽い正孔のバンドに分布することになる。これと同時に、特に重い正孔の異方性が小さくなる。電子は有効質量の小さい 2 重縮退したバンドへ分布し、正孔は有効質量の減少と重い正孔と軽い正孔のバンド間散乱の減少により、面内方向の移動度が増加することになる[3, 4]。電子の移動度向上には有効質量の減少・バンド間散乱の減少と共に、バンドの縮退が解けることによるエネルギーバンドの谷間の散乱(Intervalley scattering)が減少することによる効果が大きいとする報告もある[3]。

SiGe 層を用いて上部 Si 層に歪を加える場合、Ge 濃度を調整することにより歪量を操作することが出来る。しかし、後述するように Ge 濃度の増加は臨界膜厚の低下をもたらし、欠陥量も増加することになるため、歪量と結晶品質はトレードオフの関係にある。



(a)



(b)

図 2.1(a) 伝導帯構造の変化 (b) バンド図

## 2.2 Si<sub>1-x</sub>Ge<sub>x</sub>を用いた歪 Si 基板

Si<sub>1-x</sub>Ge<sub>x</sub>を用いた歪 Si (strained Si, s-Si) 基板は PVD (Physical Vapor Deposition) や CVD (Chemical Vapor Deposition)、MBE (Molecular Beam Epitaxy) 法によって作製される。原料にガスを用いる場合には主にシラン(SiH<sub>4</sub>) とゲルマン(GeH<sub>4</sub>) などが用いられる。Si 基板上に意図する Ge 濃度の Si<sub>1-x</sub>Ge<sub>x</sub>層を堆積させ、その後 Si 層を成長させることにより Si 基板上全面に歪を導入した Si 層を持つ s-Si 基板を得ることが出来る。

Si<sub>1-x</sub>Ge<sub>x</sub>上に s-Si を成長させる際のみならず、Si 基板上に SiGe 層を成長させる際にも歪は発生する[5 - 8]。Si と SiGe ヘテロエピタキシャル成長の模式図を図 2.2 に示す。Si (格子定数 a<sub>Si</sub> = 5.431 Å) と Ge (格子定数 a<sub>Ge</sub> = 5.656 Å) の格子不整合率は 4.1 % (a)なので、SiGe では Ge 濃度により 0 ~ 4.1 % まで変化させることが出来る。成長初期には基板の格子定数を維持し弾性的に歪んだまま成長する(b)が、臨界膜厚(Critical Thickness) を超えると界面にミスフィット転位(Misfit Dislocation)を形成し塑性変形すると同時に歪みは緩和される(c)。s-Si のテンプレートとしての SiGe 層は格子緩和して大きな格子定数を持っていなければならない、このことにより Si を歪ませることが出来る。しかし、s-Si 層は歪みを維持していなければならない、このため s-Si 層は臨界膜厚以下に抑えなくてはならない。

Matthews らによって定義された力学的平衡理論に基づく臨界膜厚  $h_c$  は、

$$h_c = \frac{b}{8\pi\epsilon} \frac{(1-\nu \cos^2 \alpha)}{(1+\nu)\cos \lambda} \left( \ln \frac{h_c}{b} + 1 \right) \quad (2.1)$$

で与えられる[9]。b は Si/SiGe 界面に導入されるミスフィット転位のバーガーズベクトルの大きさ、 $\epsilon$  は格子不整合度、 $\nu$  はポアソン比、 $\alpha$  は転位線とバーガーズベクトルのなす角、 $\lambda$  はすべり面と界面の交線に垂直な面とすべり方向のベクトルのなす角である。Si<sub>1-x</sub>Ge<sub>x</sub> 混晶にはベガード則が適用され、Ge 濃度 x での格子定数 a<sub>SiGe</sub> は

$$a_{\text{SiGe}}(x) = a_{\text{Si}}(1-x) + a_{\text{Ge}}x \quad (2.2)$$

と表され、歪緩和された状態では図 2.3 のようになる。この値を用いて Si<sub>1-x</sub>Ge<sub>x</sub> 上の s-Si 臨界膜厚を Ge 濃度 x について計算した結果を図 2.4 に示す。導入されるミスフィット転位は

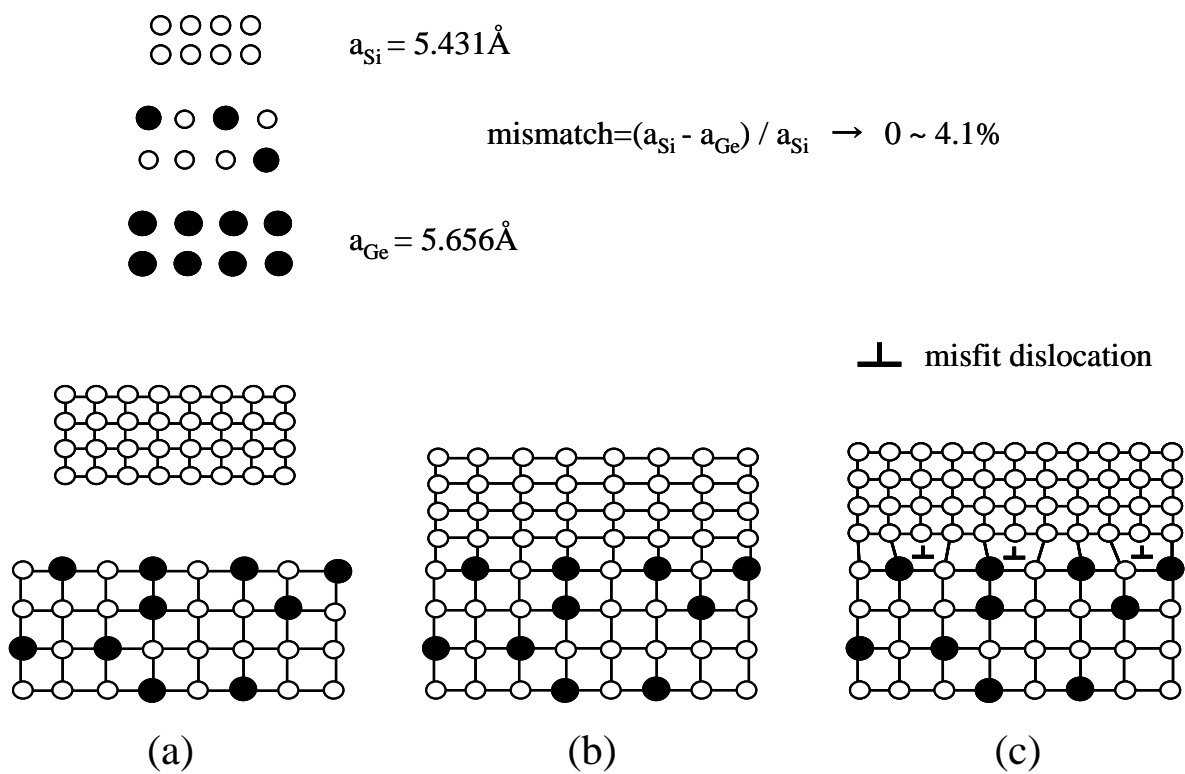


図 2.2 SiGe 上に成長した Si の模式図

(a) 個別の状態 (b) 歪を維持した状態 (c) 緩和した状態

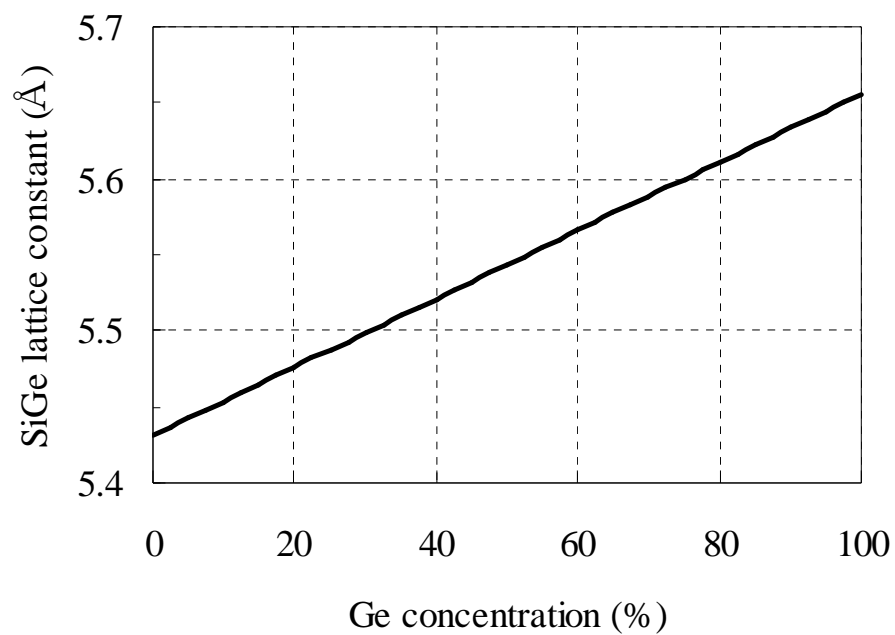


図 2.3 SiGe 格子定数の Ge 濃度変化

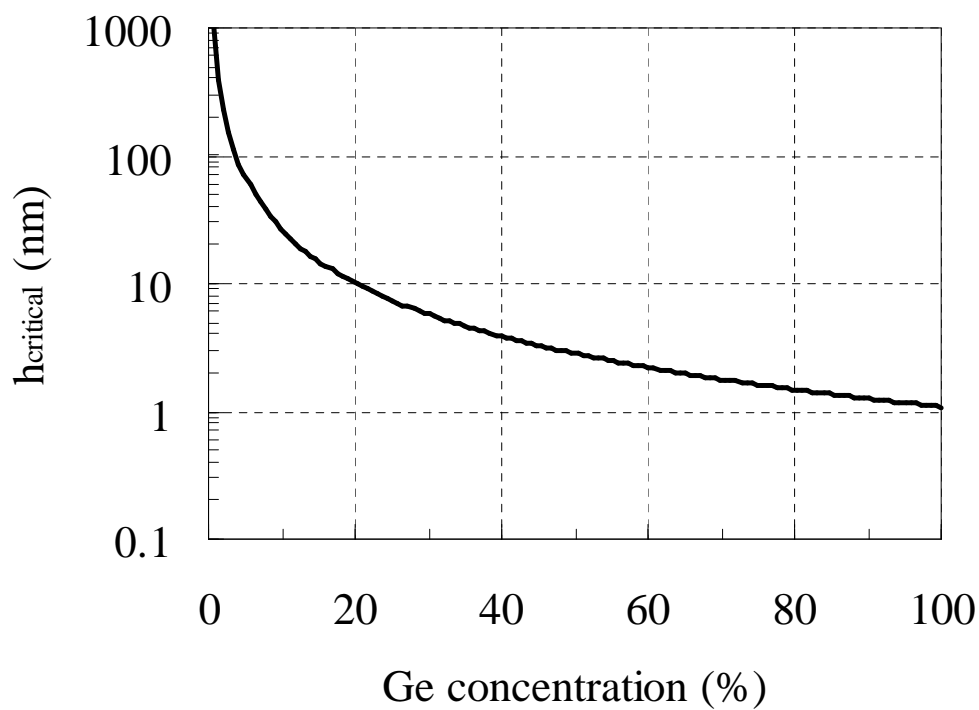


図 2.4 歪 Si 臨界膜厚の基板 SiGe の Ge 濃度依存



60 度転位として計算している。

### 2.3 転位

以上のことから、SiGe 層での転位の発生は避けられないが、その上に形成する歪 Si 成長を通してこのミスフィット転位が上昇運動を起こし成長表面へ露出することは、デバイス特性に影響を与えるために避けなければならない。Si(001)基板の場合、ミスフィット転位は<110>方向に発生し{111}すべり面上を運動する。SiGe/Si 系ではこのミスフィット転位は 60 度転位が支配的で、この転位のバーガーズベクトルは(001)界面と 72.8 度の傾きを持つ[10, 11]。このため、原子半面(extra half plane) は界面上に存在することになり、ミスフィット転位の周辺ではひずみ分布が非対称になる。このひずみ分布は成長の際の材料分子の吸着レートを変化させ、局所的に成長レートが変化し成長表面にクロスハッチパターンと言う特徴的な荒れをもたらすことになる。

### 2.4 組成傾斜層

成長表面へ露出した転位は貫通転位(Threading Dislocation)と呼ばれるが、これを抑制するために組成傾斜(Composition Graded) SiGe 層が用いられる[12]。Si 基板上に直接意図する Ge 濃度の SiGe を積むのではなく、Ge 濃度を徐々に上げることにより、格子不整合率を抑えながら成長が進むため格子緩和も段階的に進む。成長中に発生したミスフィット転位は成長と共に上昇運動をおこし表面方向へ向くが、次の格子緩和が起こる際に緩和中心となりやすく、ミスフィット転位となり界面に平行な方向へ走ることになる。この繰り返しにより結晶内部で発生したミスフィット転位は結晶端面に露出し、結晶表面への貫通転位を減少させることになる。組成傾斜 SiGe 層を用いた歪 Si 基板における転位模式図を図 2.5 に示す。

### 2.5 現状と応用

今現在、MOS-FET への歪導入にはローカル歪が先行しており、グローバル歪 Si 基板を用いた MOS-FET の作製報告は成されているが、いまだ製品化には至っていない。ローカル歪はチャネル領域への一軸性応力の導入により加えられるが、この場合 p-MOS では SiGe 選

択エピタキシャル成長ソース・ドレインによる圧縮応力が、n-MOS ではキャップ  $\text{Si}_3\text{N}_4$  による引っ張り応力が移動度の向上をもたらす (図 1.2a, b)。二軸性の引っ張り応力によるグローバル歪は n-MOS の特性を高めるが、移動度向上機構が異なる p-MOS では理論計算との差が大きく、その特性への依存性はいまだ議論が分かれている。CMOS 論理回路としての利用を考えると、p 型・n 型双方のバランスの取れた特性向上が必要になり、現在のところローカル歪が利用しやすい状況にある。

また、もうひとつの原因は基板作製プロセスの増加によるコスト増であり、基板欠陥による歩留まりの低下である。コスト増のデメリットを上回る移動度増加のメリットを得られない限り製品への適用には限界があるため、歪 Si と SOI (Si on Insulator) を組み合わせた SSOI (strained Si on Insulator) や Si より移動度の高い Ge を用いる SGOI (strained Ge on Insulator) などの高付加価値基板も提案・研究されている[13, 14]。これらの多層膜基板においても各層の応力から導入される欠陥は依然として問題点であり、欠陥の性質や移動度上昇の詳細な調査が必要とされている。

## 2.6 まとめ

本章では、歪の導入による移動度向上の原理と、SiGe を用いての歪導入における欠陥発生メカニズムを述べた。s-Si における電子移動度の向上について S. Takagi らは特に縮退が解けることによるバンド間・谷間散乱の減少による効果が支配的だとし、現在確認されている MOS チャネル反転層の 2 次元電子ガスだけではなくバルク状態の歪 Si でもこの理論が適用できるとしているが実験の報告例はまだ無い[3]。この点について調査した結果は第 5 章で述べる。また臨界膜厚を越えても歪が完全に緩和されるわけではないという議論もあり、今後歪 Si の応用・発展を考慮した際にもこれらは根本的な問題として残っている。

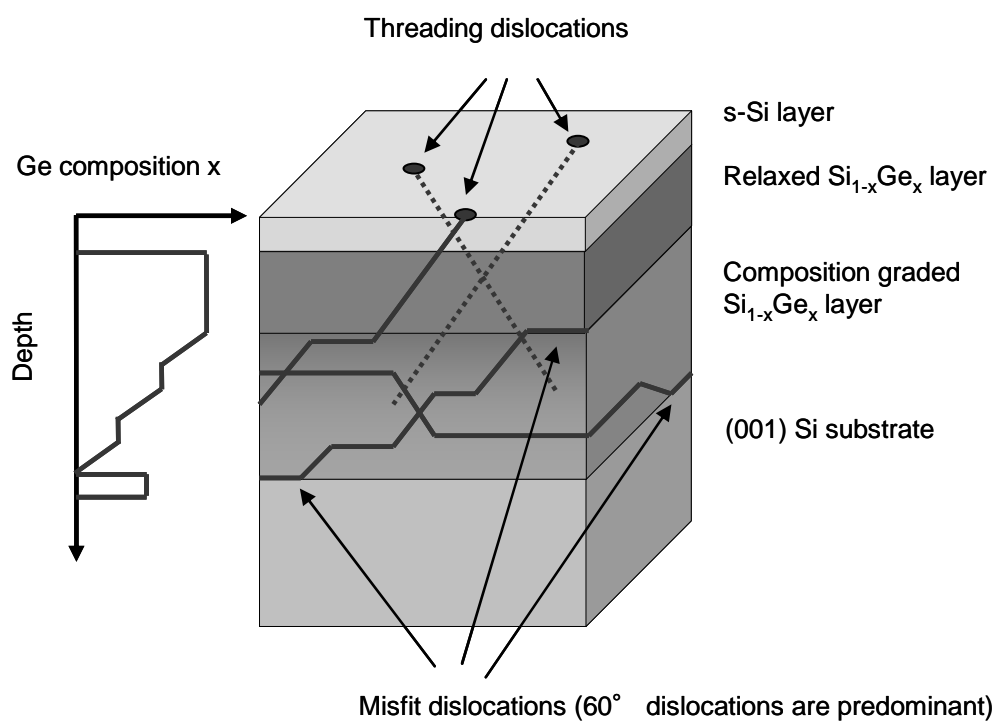


図 2.5 歪 Si 基板における転位模式図

## 第 2 章の参考文献

- [1] T. Mizuno, N. Sugiyama, T. Tezuka, Y. Moriyama, S. Nakaharai, and S. Takagi, *IEEE Trans. Electron Devices* 52 (2005) 367
- [2] S. E. Thompson, M. Armstrong, C. Auth, M. Alavi, M. Buehler, R. Chau, S. Cea, T. Ghani, G. Glass, T. Hoffman, C. -H. Jan, C. Kenyon, J. Klaus, K. Kuhn, Z. Ma, B. McIntyre, K. Mistry, A. Murthy, B. Obradovic, R. Nagisetty, P. Nguyen, S. Sivakumar, R. Shaheed, L. Shifren, B. Tufts, S. Tyagi, M. Bohr, and Y El-Mansy, *IEEE Trans. Electron Devices* 51 (2004) 1790
- [3] S. Takagi, J. L. Hoyt, J. J. Welsler, and J. F. Gibbons, *J. Appl. Phys.* 80 (1996) 1567
- [4] 手塚勉、杉山直治、黒部篤、*東芝レビュー* 55 (2000) 54
- [5] Y. Atici, *Phys. Rev. B* 51 (1995) 51
- [6] M. Rzaev, F. Schaffler, V. Vdovin, and T. Yugova, *Materials Science in Semiconductor Processing* 8 (2005) 137
- [7] T. Yamamoto, A. Sakai, T. Egawa, N. Taoka, O. Nakatsuka, S. Zaima, and Y. Yasuda, *Appl. Surf. Sci.* 224 (2004) 108
- [8] H. Gao, C. S. Ozkan, W. D. Nix, and J. A. Zimmerman, *Philosophical Magazine A* 79 (1999) 349
- [9] J. W. Matthews, and A. E. Blakeslee, *J. Crystal Growth* 27 (1974) 118
- [10] J. Narayan, and S. Sharan, *Mat. Sci. Eng. B* 10 (1991) 261
- [11] V. I. Vdovin, *Phys. Stat. Sol. (a)* 171 (1999) 239
- [12] A. D. Capewell, T. J. Grasby, T. E. Whall, and E. H. C. Parker, *Appl. Phys. Lett.* 81 (2002) 4775
- [13] T. Mizuno, N. Sugiyama, T. Tezuka, and S. Takagi, *IEEE Electron Device Lett.* 24 (2003) 266
- [14] Z. Cheng, J. Jung, M. L. Lee, A. J. Pitera, J. L. Hoyt, D. A. Antoniadis, and E. A. Fitzgerald, *Semicond. Sci. Technol.* 19 (2004) L48

## 第3章 欠陥分布と表面モフォロジー

本章では、組成傾斜 SiGe 層を用いた歪 Si 基板内の欠陥分布と表面モフォロジーについて調査した結果を述べる。基板結晶内の欠陥は基板上にデバイスの作製プロセスにおいて不純物の拡散過程に影響を及ぼし、熱処理による欠陥自体の生成・運動など結晶部分とは異なる振る舞いを示しデバイスの不良を招く原因となる。本研究では特に SiGe を用いる際に必然的に発生する転位について化学エッチング法を用いてその分布を調査した。つぎに、MOS-FET のチャンネル反転層の品質に重要となる s-Si 層の表面粗さについて原子間力顕微鏡 (Atomic Force Microscope: AFM) を用いて評価した。

### 3.1 組成傾斜 SiGe 層を用いた s-Si 基板サンプル

本論文で評価のために用意した s-Si 基板は LPCVD (Low Pressure Chemical Vapor Deposition) を用いて作製された。サンプルの詳細を図 3.1 と表 3.1 に示す。シラン ( $\text{SiH}_4$ )、ゲルマン( $\text{GeH}_4$ )を原料とし、キャリアガスに  $\text{H}_2$  を用いている。キャリア濃度  $10^{15} \text{ cm}^{-3}$  前半の p 型 Si(001)基板上に格子拡張のための  $\text{Si}_{0.9}\text{Ge}_{0.1}$  層を 200 nm 成長し、その後  $\text{GeH}_4$  流量を調整することにより組成傾斜 SiGe 層を 2000 nm、緩和  $\text{Si}_{1-x}\text{Ge}_x$  層を 1000 nm 成長し、最後に s-Si 層を成長している。組成傾斜 SiGe 層は 400 nm ごとに Ge 濃度を増加させる領域と、緩和を目的とした Ge 濃度を維持している領域を持っており、最終的な Ge 濃度を 15, 20, 25% とするようになっている。緩和 SiGe 層成長後に表面粗さ低減を目的とした CMP (Chemical Mechanical Polishing) 処理を施し、再度 s-Si の成長を行っている。

### 3.2 化学エッチング法による欠陥密度評価

化学エッチング法とは、結晶材料を溶解させる液体中に入れ結晶欠陥周辺が持つ歪により溶解速度(エッチングレート)が変化することを利用して、欠陥を顕在化させる手法である。欠陥によって生じた腐食孔(エッチピット)は結晶構造や欠陥構造によって特徴的な形状を示す。この手法を用いて、s-Si 基板の転位分布を調査した。

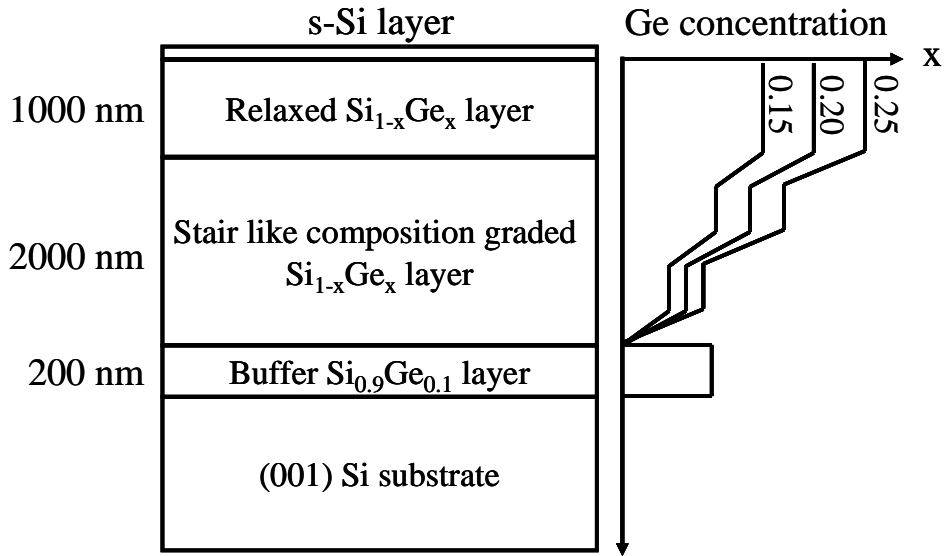


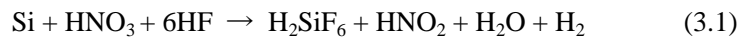
図 3.1 組成傾斜 SiGe を用いたサンプルの構造模式図

表 3.1 サンプルの s-Si 膜厚と緩和 SiGe 層の Ge 濃度

	s-Si膜厚(nm)	Ge濃度(%)
S-1	11.9	14.5
S-2	9.5	20.4
S-3	18.8	19.8
S-4	23.1	20.6
S-5	25.0	24.2

### 3.2.1 エッチャント

Si の欠陥検出に用いるエッチング溶液(エッチャント)は Dash, Secco, Sirtl, Wright, Silver エッチ液等が有名である[1]。代表的な組成を表 3.2 に示す。環境負荷を考慮し Cr を含有する溶液を避け Dash エッチ液を用いることにした。HNO<sub>3</sub> は酸化剤としての NO<sub>2</sub> を生成し、Si を酸化して SiO<sub>2</sub> を形成する。形成された SiO<sub>2</sub> は HF によって水溶性の H<sub>2</sub>SiF<sub>6</sub> になる。反応式は、



となる。また、今回評価する組成の異なる多層膜ではエッチングレートの変化が起こるために、酢酸(CH<sub>3</sub>COOH)によってこれを調節しやすいという利点もある。

図 3.2 に Ge 濃度 20% の s-Si サンプルを HNO<sub>3</sub> : HF : CH<sub>3</sub>COOH = 3:1:6 でエッチングを行った際のエッチング深さのエッチング時間依存性を示す。

エッチング深さは、エッチング耐性のあるエレクトロンワックスを基板表面に部分的に塗布し、エッチング後有機洗浄でワックスを除去、形成された段差高を AFM (Atomic Force Microscope) によって評価した。時間が 2 min を超えたところでエッチングが急激に進んでいることがわかる。これは、s-Si 層から SiGe 層に入りエッチングレートが増加したことによる。SiGe のエッチングでは、Ge 濃度 20% までは Ge がエッチャントに対して不純物のように振る舞うのでエッチングレートが増加し、それ以上では母材のように振る舞うので低下するという報告がある[2, 3]。図 3.3 に今回のサンプルでの Ge 濃度に対するエッチングレートのグラフを示す。Ge 濃度の高い領域ではエッチングレートが早く制御が難しいため、HNO<sub>3</sub> : HF : CH<sub>3</sub>COOH = 3:1:9 とし制御性を高めた。

図 3.4 はエッチング後の表面の AFM 画像である。直径 1μm 深さ 100nm ほどのエッチピットが観測された。これが、表面方向へ走る転位線（貫通転位）に対応している。図 3.5 の三次元画像では、(001)面に特徴的な<110>方向の辺に囲まれた 4 回対称の構造が確認できる。

表 3.2 代表的な Si エッチング溶液

エッチング液	組成	組成比
Dash	HF : HNO <sub>3</sub> : CH <sub>3</sub> COOH	1:3:10
Secco	HF : K <sub>2</sub> Cr <sub>2</sub> O <sub>7</sub> (0.15M in H <sub>2</sub> O)	2:1
Sirtl	HF : CrO <sub>3</sub> (5M in H <sub>2</sub> O)	1:1
Wright	HF : HNO <sub>3</sub> : CH <sub>3</sub> COOH : H <sub>2</sub> O : CrO <sub>3</sub> (1g CrO <sub>3</sub> in 2ml H <sub>2</sub> O)	2:1:2:2:1
Silver	HF : HNO <sub>3</sub> : AgNO <sub>3</sub> (0.65M in H <sub>2</sub> O)	2:1:2



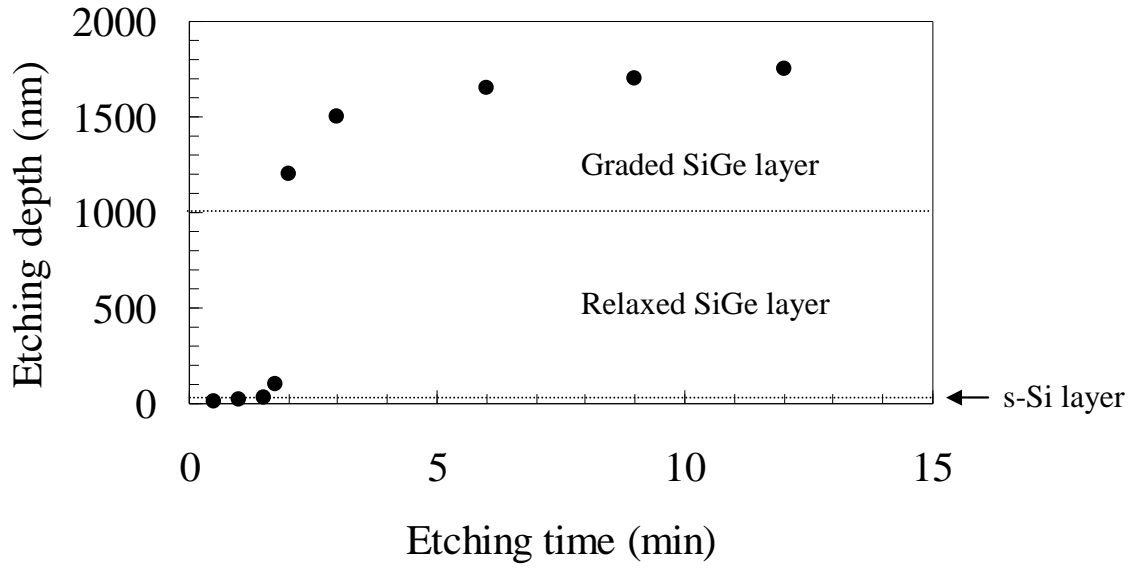


図 3.2  $\text{HNO}_3 : \text{HF} : \text{CH}_3\text{COOH} = 3:1:6$  による s-Si 基板エッチング

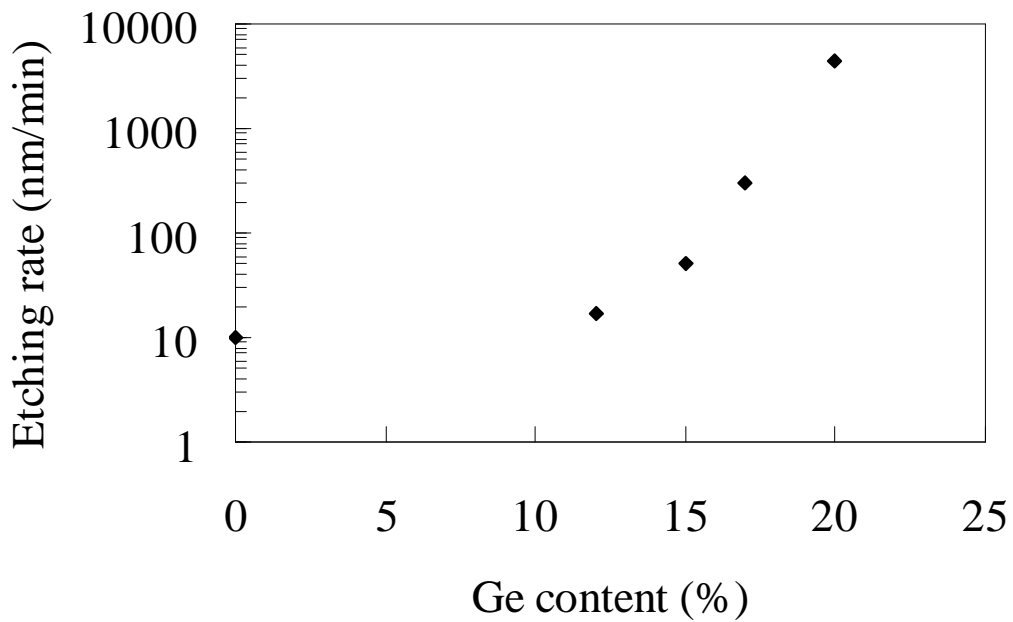


図 3.3  $\text{HNO}_3 : \text{HF} : \text{CH}_3\text{COOH} = 3:1:6$  による Ge 濃度に対するエッチングレートの変化

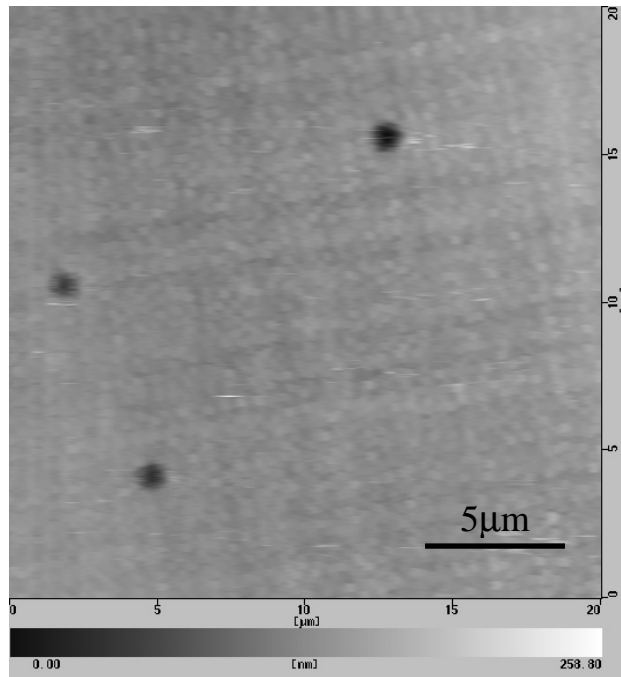


図 3.4 エッチング後の表面 AFM 像 (s-Si 層内)

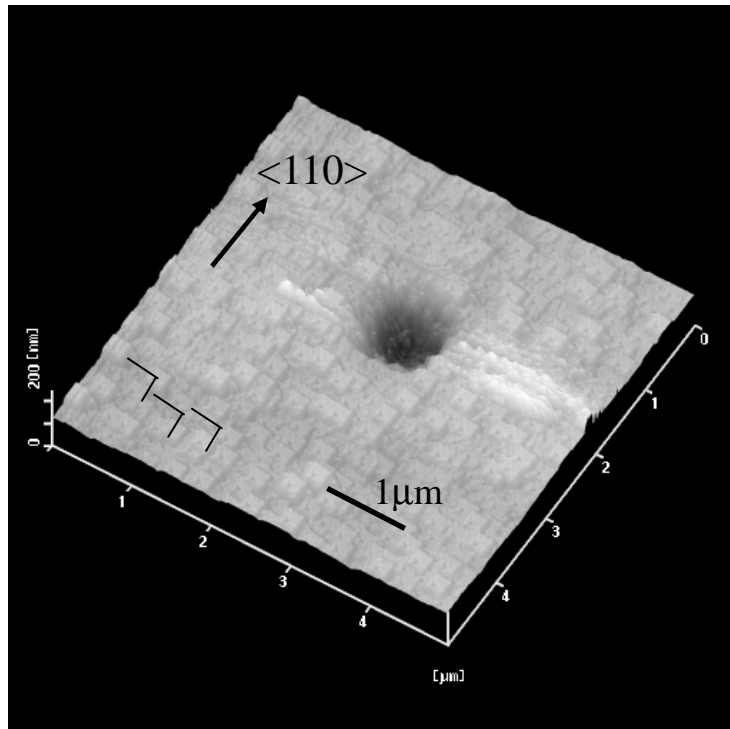


図 3.5 図 3 のエッチピットの AFM 三次元像

図 3.6(a)は SiGe 層内で確認されたミスフィット転位の AFM 画像である。図 3.4, 3.5 よりエッチング時間が長いため表面の荒れが進み対称構造は確認できないが、図 3.6(b)から明らかのようにミスフィット転位が周辺部より低くライン状に観察される。また三次元画像(図 3.6(c))からもミスフィット転位周辺は他の部分に比べ高くなっていることがわかる。表面粗さ評価の項で詳しく述べるが、ミスフィット転位周辺は圧縮歪が緩和されエッチングレートが遅くなることにより周囲より高くなっていることが確認できる。

### 3.2.2 貫通転位とミスフィット転位

図 3.7 にエッチング後の緩和(Relaxed) SiGe 層内の光学顕微鏡像を示す。貫通転位がエッチピット(Etch Pit)として観測され、ミスフィット転位がライン状に観測される。ミスフィット転位が $\langle 110 \rangle$ 方向に沿っているのが確認できる。

s-Si 層表面において、デバイス作製プロセス上問題となる貫通転位について、その深さ方向の分布を調査した結果を図 3.8 に示す。s-Si 層内では  $1 - 2 \times 10^4 \text{ cm}^{-2}$  程度の貫通転位密度に抑えられているが、緩和 SiGe 層内では  $1 - 3 \times 10^5 \text{ cm}^{-2}$  程度に増加している。エッチング後における劈開面の断面 SEM 写真(図 3.9(a))を見ると、緩和 SiGe 層と s-Si 層界面にエッチピットが観測できる。これは、緩和 SiGe 層内の貫通転位が界面においてミスフィット転位となり劈開面へ抜けたものと考えられ[4, 5]、結果的に s-Si 層内の転位密度が減少した。一方、緩和 SiGe 層内では劈開面へ走るミスフィット転位は観察されず、貫通転位密度にも顕著な差は見られない。このことは緩和 SiGe 層が成長開始の時点で十分に緩和され、新たな転位が発生していないことを示している。次に組成傾斜 SiGe 層を見てみると、貫通転位密度はほとんど変化が無いが、わずかな増加しかしていないことが分かる。断面 SEM 写真では、多数のエッチピットがライン状に並んでいるのが観察できる。図 3.9(a)の場合よりエッチング時間を長く取り、エッチピットを見やすくしたものが図 3.9(b)である。Si 基板(Substrate)に近づくにつれ Ge 濃度が低いためエッチングレートが遅くエッチピットが小さくなってはいるが、ほぼ同じ数のエッチピットが、Ge 濃度プロファイルの変化している領域で劈開面へ出ている。Ge 濃度の上昇に伴いミスフィット転位が発生し、劈開面へ抜けたものが断面 SEM 写真のエッチピットとして観測され、上昇運動により表面方向へ走るものが貫通転位として観測される。組成傾斜 SiGe 層内で貫通転位密度に変化が見られず、断面 SEM

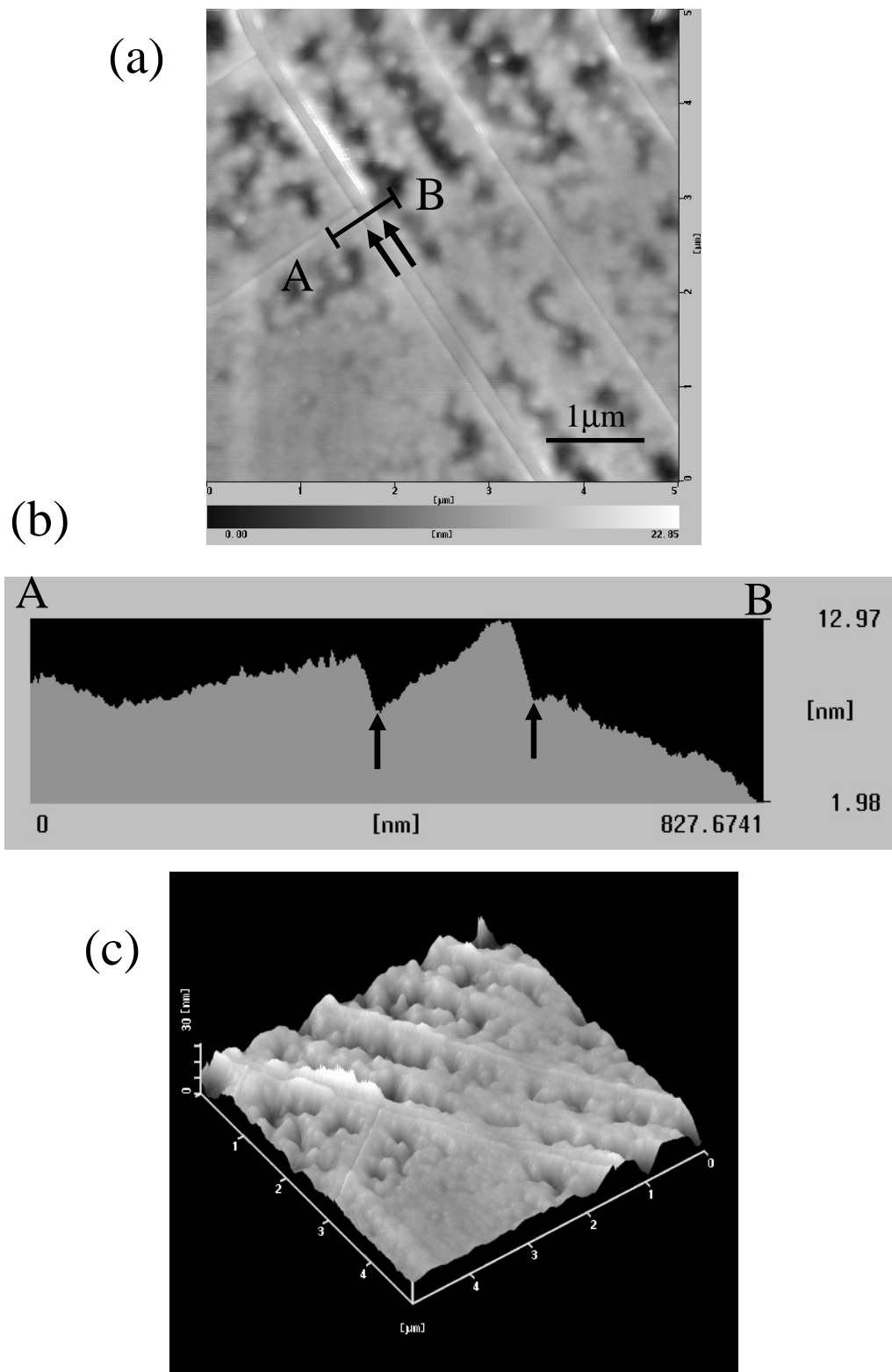


図 3.6 SiGe 層内のミスフィット転位の AFM 像 (a)平面像 (b)断面像 (c)三次元像

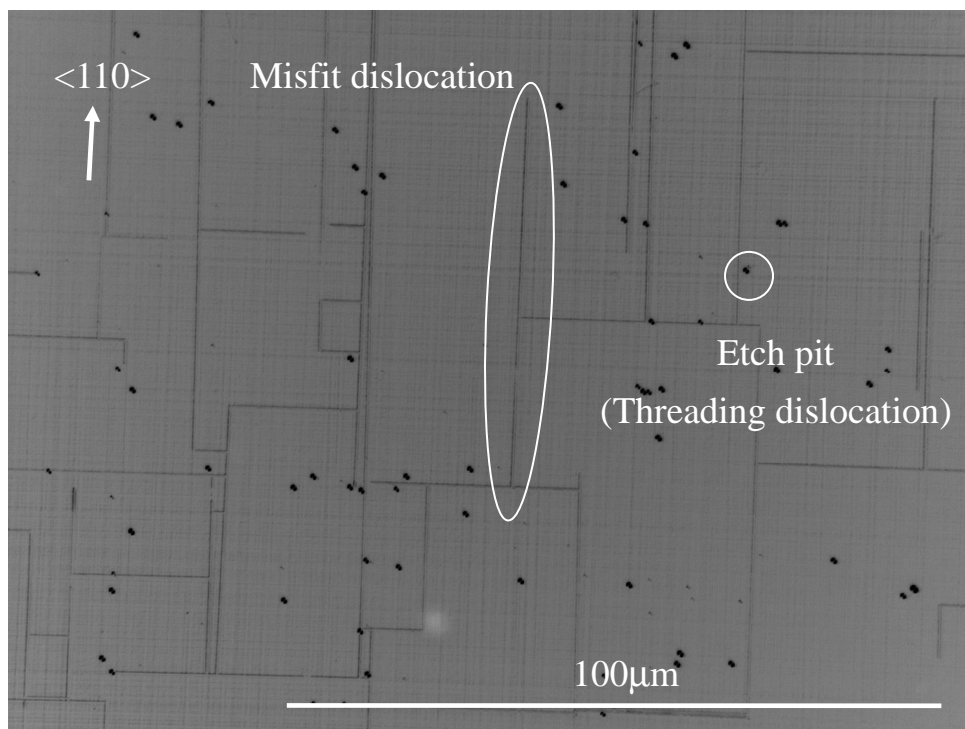


図 3.7 エッチング後の光学顕微鏡像 (SiGe 層内)

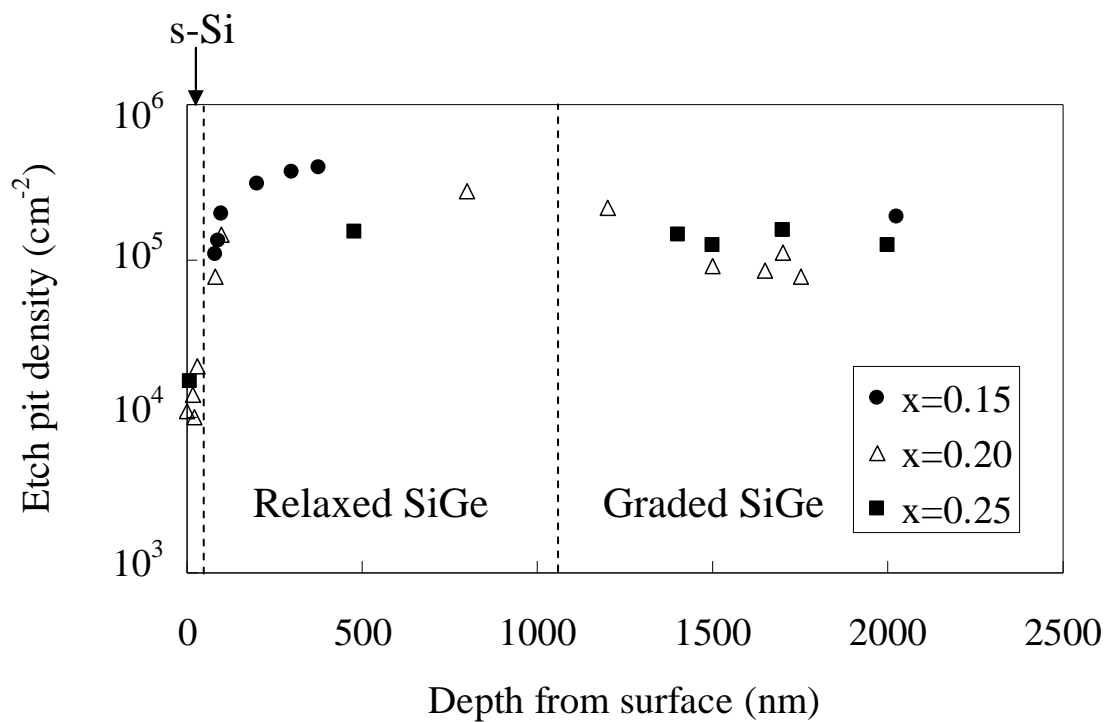


図 3.8 サンプル内の貫通転位分布

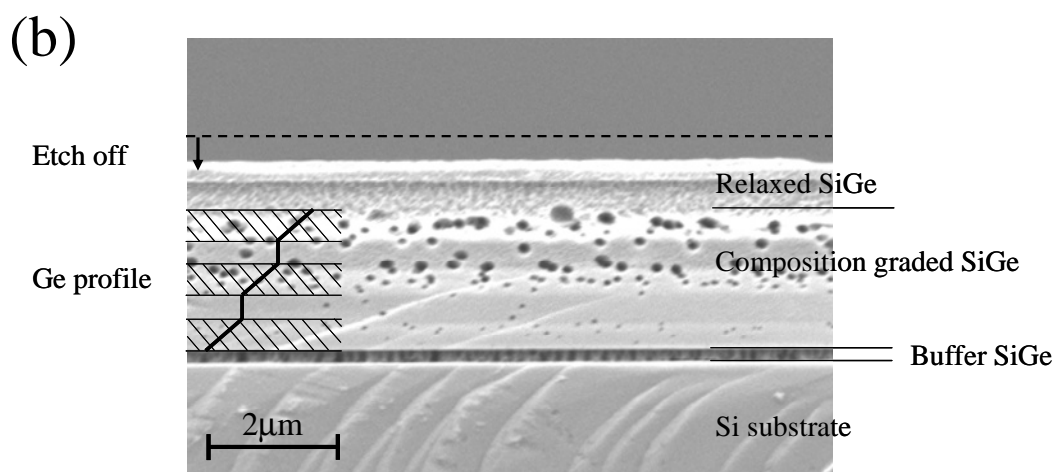
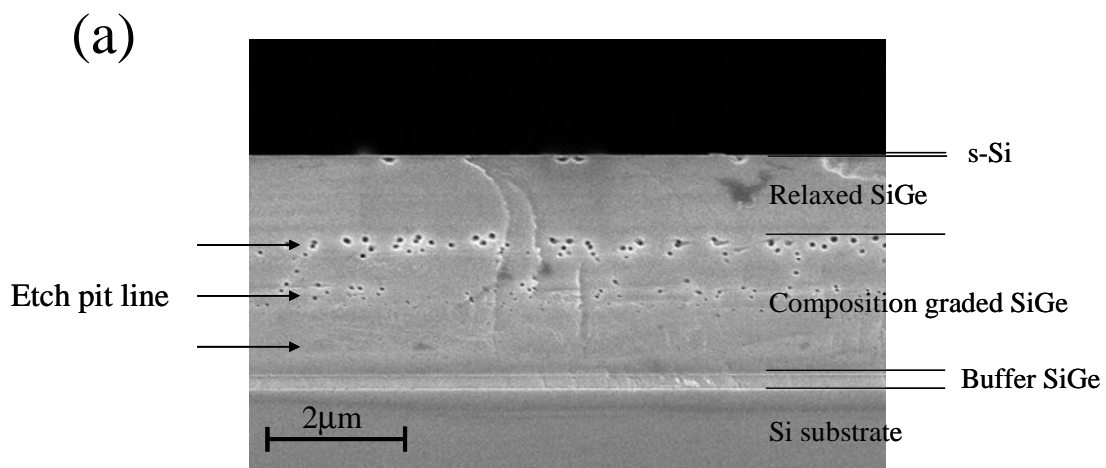


図 3.9  $\text{HNO}_3 : \text{HF} : \text{CH}_3\text{COOH} = 3:1:9$  エッチング後断面 SEM 像

(a) エッチング時間 3 min. (b) 20 min.

観察の結果では界面方向に抜けるミスフィット転位の数が一定であることから、組成傾斜 SiGe 層では層内を通じて、ミスフィット転位の発生・上昇運動により貫通転位として現れるものと、劈開面へ抜けるものの比が一定になっているといえる。組成傾斜 SiGe 層内で緩和のため発生したミスフィット転位は一定の割合のものが劈開面へ抜けず貫通転位として残り、緩和 SiGe 層内へ持ち越される (図 3.8)。断面 SEM による観察の結果からは、s-Si との界面において 9 割ほどがミスフィット転位として基板と水平方向へ走り、残りが貫通転位として s-Si 表面へ現れることがわかる。

### 3.3 原子間力顕微鏡による表面粗さ評価

#### 3.3.1 クロスハッチパターン

前述したように、ミスフィット転位の発生による歪の不均一な分布により、Si あるいは SiGe の成長レートが局所的に変化しクロスハッチパターンが発生する[6 - 13]。これは、化学エッチング法による評価で見たように、成長中にミスフィット転位が層内で随時発生する組成傾斜 SiGe 層を用いる場合には顕著になる。組成傾斜 SiGe 層成長当初は、s-Si とは逆に SiGe 層には圧縮ひずみ加わる。この歪はミスフィット転位の発生により転位周辺で緩和され、成長ガス分子の吸着レートを変化させる。評価したサンプルのように緩和 SiGe 層を CMP により平坦化した場合でも、歪の分布は残りその後の成長で再度クロスハッチパターンが出現してしまう。表面の凹凸は MOS-FET 作製プロセスにおいて障害となるばかりではなくチャネル移動度の低下をもたらし、また、歪の分布は素子間の性能のばらつきを誘起する。歪分布が酸化レートに影響するという報告もある[14, 15]。現在の Si 基板はオングストロームオーダーの平坦性を維持しているが、そのために、成長後のバルク結晶から切り出したウエハーを研削・研磨し、その際に導入されたダメージを RIE(Reactive Ion Etching) などで除去している。この処理では数 10 から数 100 $\mu\text{m}$  の厚みが消費されるため、s-Si などのエピタキシャルウエハーに適用することは困難であり、エピタキシャル層成長時点での表面平坦性が必要とされる。

図 3.10 に Ge 濃度 20%の緩和 SiGe 上に成長させた s-Si 表面の AFM 像を示す。<110>方向に 3~5 $\mu\text{m}$  間隔で波打つクロスハッチパターンが確認できる。

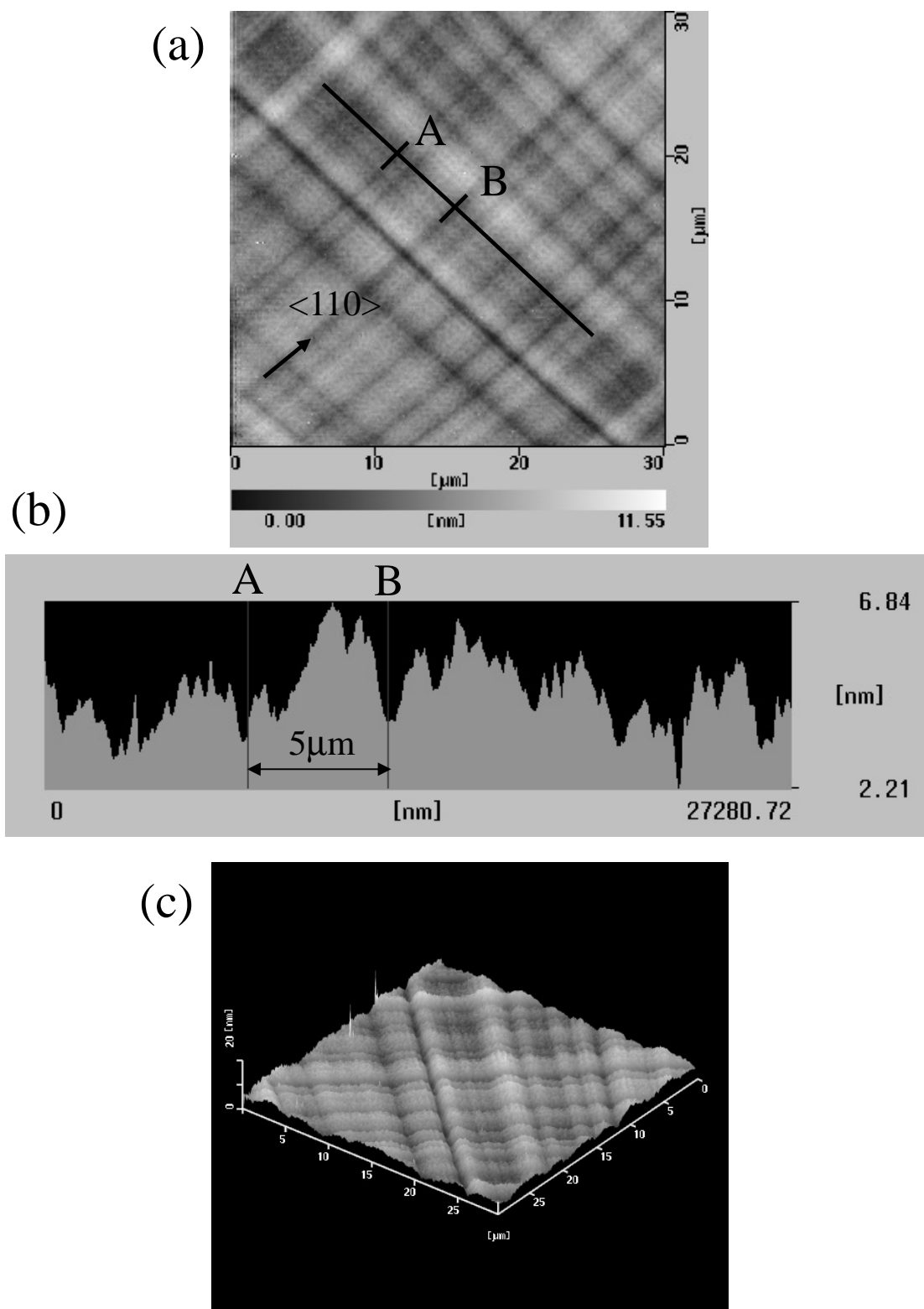


图 3.10 s-Si 表面 AFM 像 (a)平面像 (b)断面图 (c)三次元像



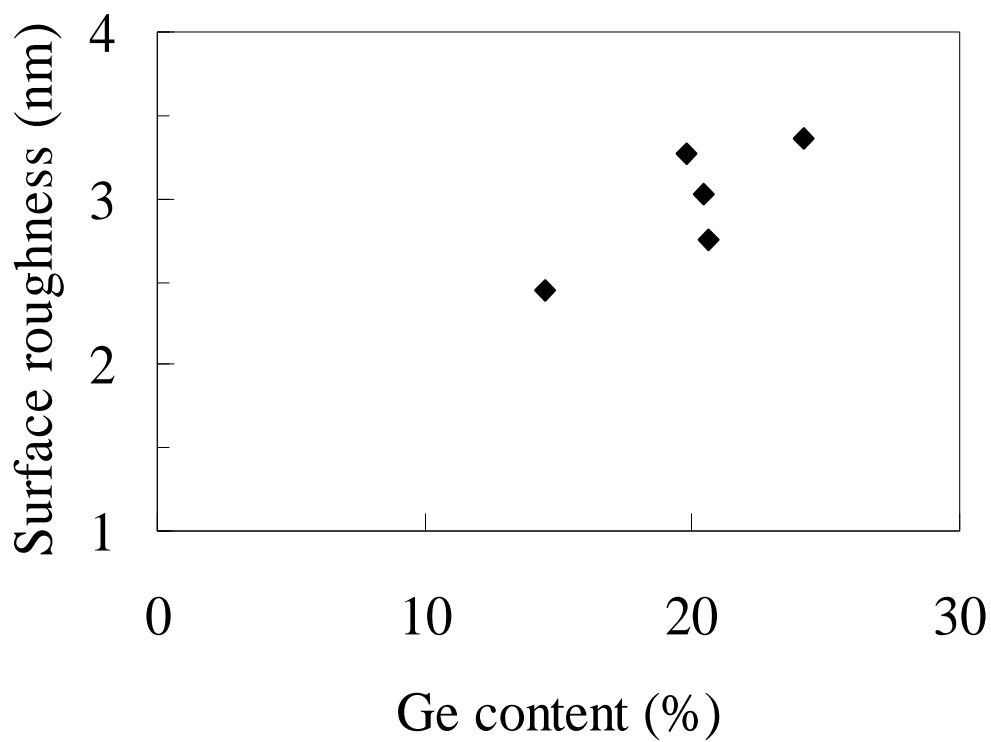


図 3.11 表面粗さの Ge 濃度依存性

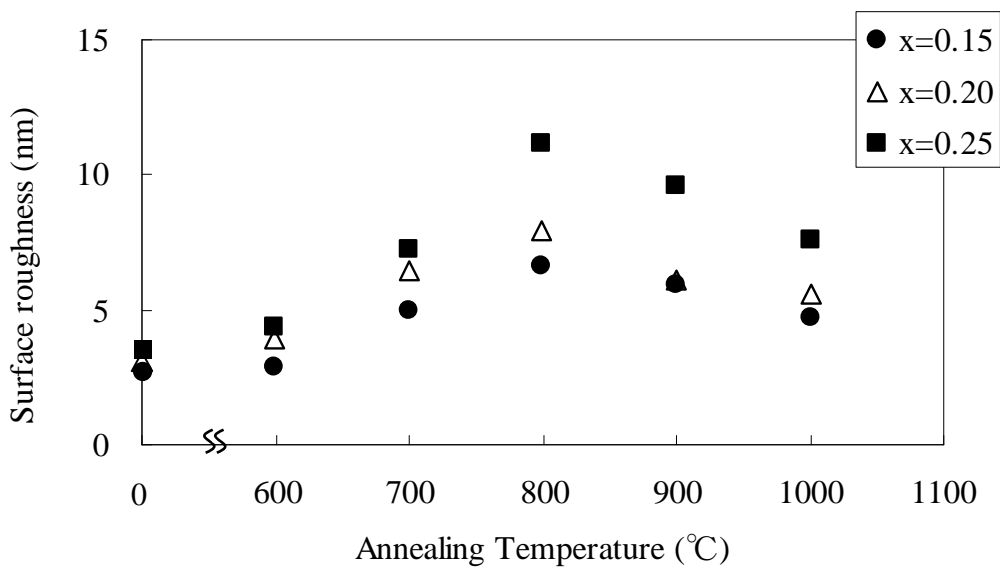


図 3.12 表面粗さの熱処理温度依存

### 3.3.2 Ge 濃度依存性

表面粗さ(Surface Roughness)の RMS (Root Mean Square : 二乗平均平方根) を Ge 濃度に対してプロットしたグラフを図 3.11 に示す。Ge 濃度の増加により、表面粗さも増加していることが確認できる。SiGe 成長中のミスフィット転位の発生による周辺の歪緩和が成長速度の局所的な上昇を引き起こし、表面粗さを創出すると考えられる。700°C以上での SiGe のエピタキシャル成長の際、Ge 濃度の増加により成長速度が変化することが知られており[16]、ミスフィット転位周辺とそれ以外の場所での成長速度差が Ge 濃度の増加につれてひろがることにより表面粗さの Ge 濃度依存性が現れると考えられる。先に述べたエッチングの際に転位周辺部が高くなっていたのは(図 3.6)、転位周辺部は歪が緩和された状態でエネルギー的に安定なため、エッチングレートが遅くなっていると考えられる。過去の報告によると、組成傾斜 SiGe 層の Ge 濃度勾配(Grading Rate)が表面粗さに影響するという結果もあるが、勾配が比較的緩やかな今回のサンプル(7 ~ 12 % /  $\mu\text{m}$ )では Ge 濃度増加が速すぎて緩和が追いつかないということは無く、濃度勾配の影響は無視できると考えられる。

s-Si 層が臨界膜厚を超えミスフィット転位が発生した場合、s-Si 成長中に更なる表面荒さの増加が起こると考えられるが、Ge 濃度 20 %のサンプルにおける表面粗さの s-Si 膜厚依存性は確認できなかったため、これらのサンプルは臨界膜厚以内だと考えられる。

### 3.3.3 熱処理温度依存性

図 3.12 に窒素雰囲気中で 1 時間、温度 600 - 1000°Cで熱処理をほどこしたサンプルの表面粗さの変化を示す。800°Cまでは徐々に増加傾向にあるが 800°Cを超えると低下しているのが確認できる。また、Ge 濃度依存性はどの温度でも維持されている。Sugii らは 950°Cから 1000°Cで s-Si 表面に歪緩和とスリップラインの出現に関連した転位が形成され表面粗さが増加し、それ以上の温度で SiGe 層からの s-Si 層への Ge の拡散により歪が緩和し、表面が安定化して表面粗さが減少すると報告している[17]。表面粗さのピークは 1000°C付近にあるとしている。歪緩和とそれに伴うミスフィット転位の生成と運動が、表面粗さの増加を起こしていることは本調査の結果からも類推できるが、我々の結果ではピークが 800°Cにあるため、表面粗さ減少の原因が Ge の拡散にあるとは考えにくい。本調査で表面粗さの減少が

起き始める 900°C, 1 時間では、Ge の拡散長は 6 nm 程度であり、表面に影響を与えるとは考えにくい。また、Ge の拡散が原因であれば s-Si 層の厚さが薄いほど影響を受けやすく s-Si 膜厚依存性が出ると思われるが、Ge 濃度 20 %における s-Si 膜厚の異なるサンプルでの実験結果からはその影響は確認できなかった。

### 3.4 まとめ

本章では、SiGe を用いた歪 Si 基板の欠陥分布と表面モフォロジーについて調査した結果を述べた。歪 Si 基板において Dash エッチ液を用いたエッチング法による転位分布の調査が可能であることを示し、その結果、組成傾斜 SiGe 層と緩和 SiGe 層では貫通転位密度に大きな差は無く、貫通転位は Ge 濃度の変化する領域においてミスフィット転位として劈開面へ抜けることが確認できた。表面粗さは Ge 濃度に依存して増加し、その関係は熱処理によっても維持される。本実験では、熱処理温度 800°C までは転位の影響により表面粗さは増加するが、その後低下する原因が Ge の拡散であるという確証は得られていない。

### 第3章の参考文献

- [1] 応用物理学会編, 応用物理ハンドブック (平成2年) 543
- [2] S. Kreuzer, F. Bensch, R. Merkel, and G. Vogg, *Materials Science in Semiconductor Processing* 8 (2005) 143
- [3] J. Werner, K. Lyutovich, and C. P. Parry, *Eur. Phys. J. Appl. Phys.* 27 (2004) 367
- [4] E. A. Fitzgerald, S. B. Samavedam, *Thin Solid Films* 294 (1997) 3
- [5] P. Ferret, B. J. Robinson, D. A. Thompson, and J. -M. Baribeau, *Appl. Phys. Lett.* 57 (1990) 2220
- [6] X. L. Yuan, T. Sekiguchi, J. Niitsuma, Y. Sakuma, S. Ito, and S. G. Ri, *Appl. Phys. Lett.* 86 (2005) 162102
- [7] K. Sawano, N. Usami, K. Arimoto, K. Nakagawa, and Y. Shiraki, *J. J. Appl. Phys.* 44 (2005) 8445
- [8] G. G. Goodman, V. Pajcini, S. P. Smith, P. B. Merrill, *Materials Science in Semiconductor Processing* 8 (2005) 255
- [9] T. -S. Yoon, J. L. Liu, A. M. Noori, M. S. Goorsky, and Y. -H. Xie, *Appl. Phys. Lett.* 87 (2005) 012104
- [10] K. Sawano, N. Usami, K. Arimoto, S. Koh, K. Nakagawa, and Y. Shiraki, *Materials Science in Semiconductor Processing* 8 (2005) 177
- [11] H. Chen, Y. K. Li, C. S. Peng, H. F. Liu, Y. L. Liu, Q. Huang, and J. M. Zhou, *Phys. Rev. B* 65 (2002) 233303
- [12] J. W. P. Hsu, E. A. Fitzgerald, Y. H. Xie, P. J. Silverman, and M. J. Cardillo, *Appl. Phys. Lett.* 61 (1992) 1293
- [13] M. Albrecht, S. Christiansen, J. Michler, W. Dorsch, and H. P. Strunk, *Appl. Phys. Lett.* 67 (1995) 1232
- [14] M. Nishisaka, Y. Hamasaki, O. Shirata, and T. Asano, *J. J. Appl. Phys.* 43 (2004) 1886
- [15] S. H. Olsen, A. G. O'Neill, D. J. Norris, A. G. Cullis, S. J. Bull, S. Chattopadhyay, K. S. K. Kwa, L. S. Driscoll, A. M. Waite, Y. T. Tang, and A. G. R. Evans, *Mat. Sci. Eng. B* 109 (2004) 78
- [16] B. S. Meyerson, K. J. Uram, and F. K. LeGoues, *Appl. Phys. Lett.* 53 (1988) 2555

[17] N. Sugii, J. Appl. Phys. 89 (2001) 6459

## 第4章 カソードルミネッセンスによる評価

本章では、カソードルミネッセンス(Cathodeluminescence: CL)を用いて s-Si 基板内部の光学的に活性な欠陥の評価を行った。CLは加速電子を物質に照射して得られる発光現象である。半導体中に入射した電子は、結晶ポテンシャルによる弾性散乱と共に、半導体中の電子を励起して非弾性散乱を受ける。この非弾性散乱により、エネルギーの一部は価電子帯やアクセプタ準位にある電子をドナー準位や伝導帯に励起するのに使われ、電子-正孔対が発生する。電子-正孔対はバンド間やドナー、アクセプタ、欠陥準位などを通して再結合しそれぞれのエネルギーに対応する発光を起こす。本論文では特に、電子線の加速電圧を変化させることにより観察領域を深さ方向に変化させる手法を、s-Si / 緩和 SiGe / 組成傾斜 SiGe 基板に適用することにより、欠陥準位からの発光の深さ方向の変化を捉えた。また、窒素雰囲気中・酸素雰囲気中それぞれ 600 – 1000°C で 1 時間、熱処理を行い、その際の発光スペクトルの変化を追うことにより、基板中の欠陥の挙動を捉える試みを行った。

### 4.1 カソードルミネッセンス (Cathodeluminescence: CL)

加速電子線を半導体試料に照射すると、試料中の電子が励起される。励起された電子が再結合する際には幾つかの過程があるが (図 4.1)、間接遷移型半導体である Si の場合、フォノン放出と共に各準位からのエネルギーに相当する発光が観測される。この発光のスペクトルを観察することにより、半導体試料の特性を調査することが可能になる。特に CL では加速電圧の変化により試料中での励起電子線の飛程を制御でき、その結果として励起領域を変化させることが可能になる。

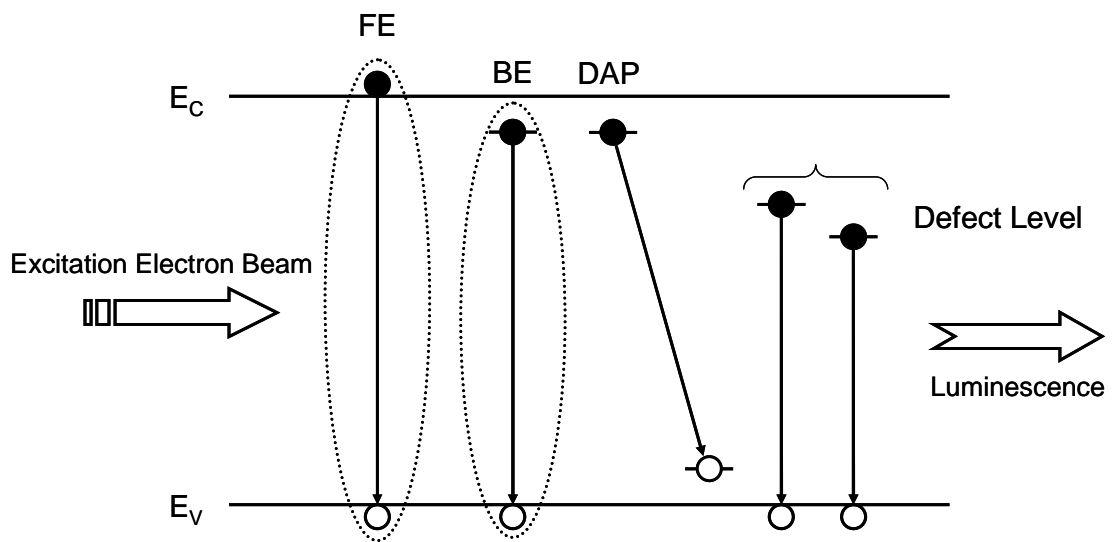


図 4.1 再結合過程

- (a) 自由励起子 (Free Exciton)    (b) 束縛励起子 (Bound Exciton)  
(c) ドナー・アクセプターペア (Donor-Acceptor Pair)    (d) 欠陥準位

## 4.2 欠陥準位

再結合過程には様々なものがあるが、半導体中では転位線に対応した発光が観測されている。特に、塑性変形させた Si や Si 基板上にヘテロ成長させた SiGe などでは低エネルギー側から D1, D2, D3, D4 と呼ばれる D-line 発光があり、順に 810, 870, 930, 990meV 付近にピークを持つ[1 - 3]。Si<sub>1-x</sub>Ge<sub>x</sub>では Ge 濃度の上昇によりバンドギャップが減少し[4]、D-line が低エネルギーへシフトするという報告もなされている[5, 6]。D3, D4 については CL, EBIC (Electron Beam Induced Current), PL(Photoluminescence)などの観察により[7 - 13]、転位自身からの発光によるものと見解が一致しているが、D1, D2 については不純物との関連によるという説や、転位線上の欠陥によるなど原因がはっきりしていない。Shreter らは、各種転位線が持つバーガーズベクトルから決定されるエネルギー準位と実験の対応から、D1 が格子間型柱状ループ 90 度完全転位か Lomer-Cottrell 型転位、また、D2 がフランクの部分転位に起因しているという見解を示している[14]。Sekiguchi らは転位線の交点で super-jog が Lomer-Cottrell 型転位と同様のバーガーズベクトルの edge component を持つために、これらも D1, D2 の強度を上げることになるだろうと述べている[15, 16]。本研究では、これらの見解をもとに、D1, D2 の起源となる転位種の解明も試みた。

## 4.3 励起領域

Kanaya らによると物質中での電子線の飛程 Re は

$$Re = \left( \frac{2.76 \times 10^{-2} \times A}{\rho \times Z^{0.889}} \right) E^{1.67} \quad [\mu m]$$

と表せる[17]。A は質量数(g/mol)、 $\rho$ は密度(Mg/m<sup>3</sup>)、Z は原子番号、E は入射電子線のエネルギー(keV)である。Si, Ge, Si<sub>0.8</sub>Ge<sub>0.2</sub>において計算した結果を図 4.2 に示す。今回調査したサンプルでは組成傾斜 SiGe 層があるため電子線の飛程は一意に決定できないが、加速電圧 20kV でもその誤差は 10 %以内に収まり、サンプル毎の Ge 濃度の違いはそれ以下に収まるため、Si<sub>0.8</sub>Ge<sub>0.2</sub>での値を用いた。サンプル中での電子線飛程の様子を模式的に図 4.3 に示す。



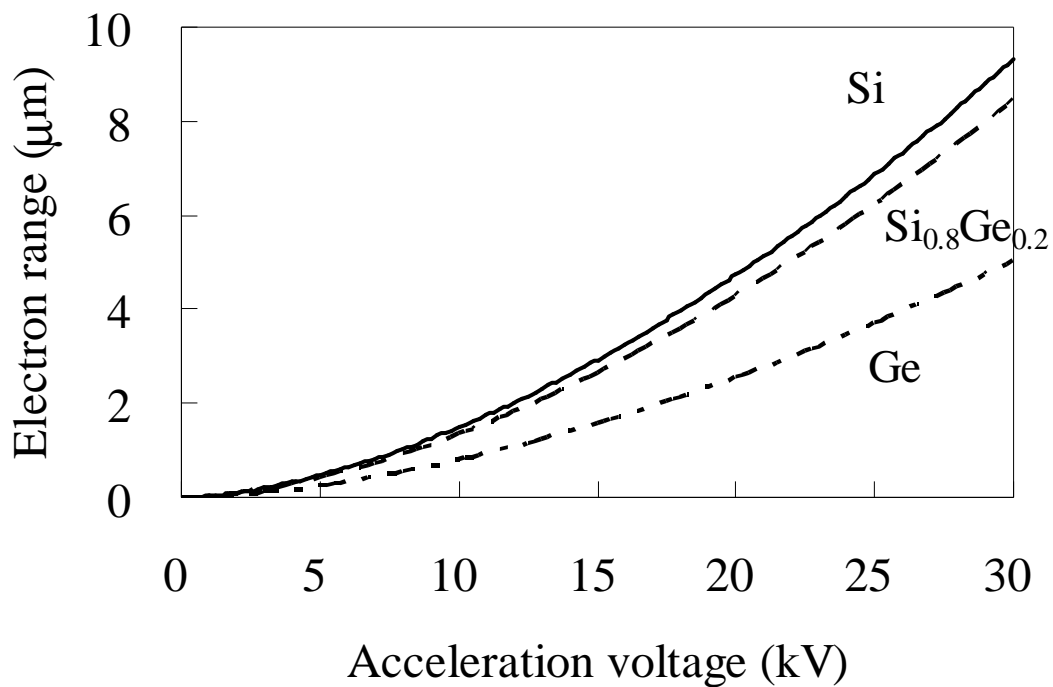


図 4.2 半導体中での電子線飛程

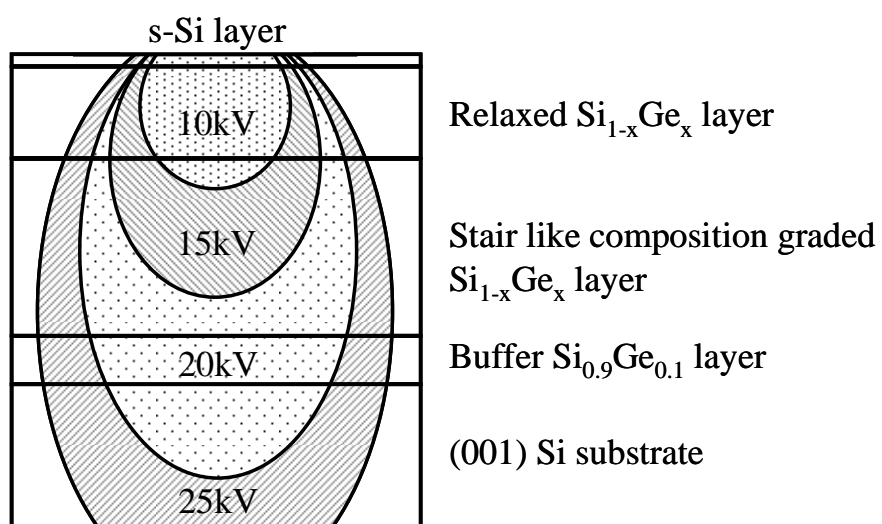


図 4.3 サンプル中での電子線飛程の模式図

このように、加速電圧を上げることにより物質中での電子線飛程を変化させ励起領域を変化させることにより、サンプル深さ方向の変化を読み取ることが出来る。欠陥分布に基板面方向のゆらぎが無いと仮定すれば励起領域の横方向の変化は無視でき、励起領域の広がり深さ方向に限定して捉えることができる。

#### 4.4 測定

CLの測定は、日本FEI社製のXL30走査型顕微鏡(SEM)に装備したヘリウム冷却サンプル・ステージを用いサンプル温度5Kにおいて、オックスフォード・インストゥルメント社製MonoCL2により行った。検出器には液体窒素冷却のGe pin フォトダイオードを用い680~1180meVの範囲のスペクトルを得た。適時加速電圧を変化させ深さ方向の変化を観測した。今回の観察時におけるスペクトルの分解能は3meVである。観察領域は100 $\mu$ m平方で、図3.7の光学顕微鏡写真の欠陥分布と照らし合わせても、観察領域の任意性による欠陥分布の局所的な変化は無いと考えられる。実際にサンプルの観測点を換え観察した結果、D1, D2強度に数%の変化は見られるが、ピークシフトなどは観察されなかった。

#### 4.5 CL スペクトル

図4.4に緩和SiGe層のGe濃度25%のサンプルに対し、加速電圧30kVで観測して得られたスペクトルを示す。D1, D2に対応するピークが800meVと860meVに現れている。しかしD3, D4に対応するピークは観測されなかった。ガウスフィッティングによる解析の結果、790meVに酸素関連(Oxygen related)のピーク[18]が確認できる。D2の高エネルギー側(880meV以上)に見られるフィッティングの誤差は、D3, D4ピークの存在の可能性を示しているが、微弱であるため解析には用いなかった。

##### 4.5.1 Ge濃度依存性

図4.5にCLスペクトルのGe濃度依存性を示す。Ge濃度の増加は、バンドギャップの減少を引き起こし、欠陥準位からの発光のエネルギーを減少させるが、本調査では過去の報告にあるようなGe濃度によるスペクトルのシフトは観測されなかった[5]。Ge濃度範囲が

狭いために確認できなかった可能性と、SiGe のバンドギャップは Ge 濃度だけではなく歪量によっても変化するため[4] 組成傾斜 SiGe 層の Ge 濃度勾配が異なる本サンプルでは、SiGe 層の歪緩和率が異なっているという可能性が考えられる。

#### 4.5.2 加速電圧依存性

しかし、図 4.6(a)に示したように加速電圧を変化させ深さ方向のスペクトルの変化を見ると、D2 において加速電圧を上げるに従い、ピークが高エネルギー側へシフトしているのが確認できる。加速エネルギーの増加により励起領域は緩和 SiGe 層から組成傾斜 SiGe 層、Si 基板へと広がっていくため、励起領域内の平均 Ge 濃度が低下しピークが高エネルギー側へシフトしたと考えられる。励起領域を増加させていっても緩和 SiGe 層からの発光は常に捉えるため、ピークはシフトせずピーク幅が増加していくだけのようにも考えられる。しかし緩和 SiGe 層以外の励起領域の増大により緩和 SiGe 層からの寄与が少なくなるため実際にピークはシフトする。以上のことにより、加速電圧の変化がサンプル深さ方向における変化を捉えていることが確認できる。

#### 4.5.3 強度に関する詳細

結晶欠陥に関連する CL スペクトルの強度は、基本的には欠陥密度と関連しているが[19, 20]、欠陥の種類により再結合時間つまりキャリア寿命が異なることと、測定条件に左右されるので、異なるサンプル間による絶対的な評価は意味を持たない。また、加速電圧を変化させた場合には飛程の変化と共に、加速電子が生成する電子-正孔対も増加するため必然的に強度は増加する。一般的に電子-正孔対を作るためのエネルギーはバンドギャップの 3 倍であり、Si 中では加速電圧 20 kV の電子一個が作る電子-正孔対は 6000 個程度となる[21]。また、T. Sekiguchi との議論によると、低エネルギー側の欠陥準位による高エネルギー側の発光の再吸収が起きている可能性も指摘されている。しかし、それぞれのピークの強度比を取れば、それは結晶中の欠陥密度比を反映していることになる。キャリア寿命が一定である保障は無いので（一般的には異なる）、その強度比がそのまま欠陥の存在量比にはならない点には留意しなくてはならない。

以上のことを踏まえ、以下 D1 と D2 の強度比を分析することにより、サンプル内での D1,

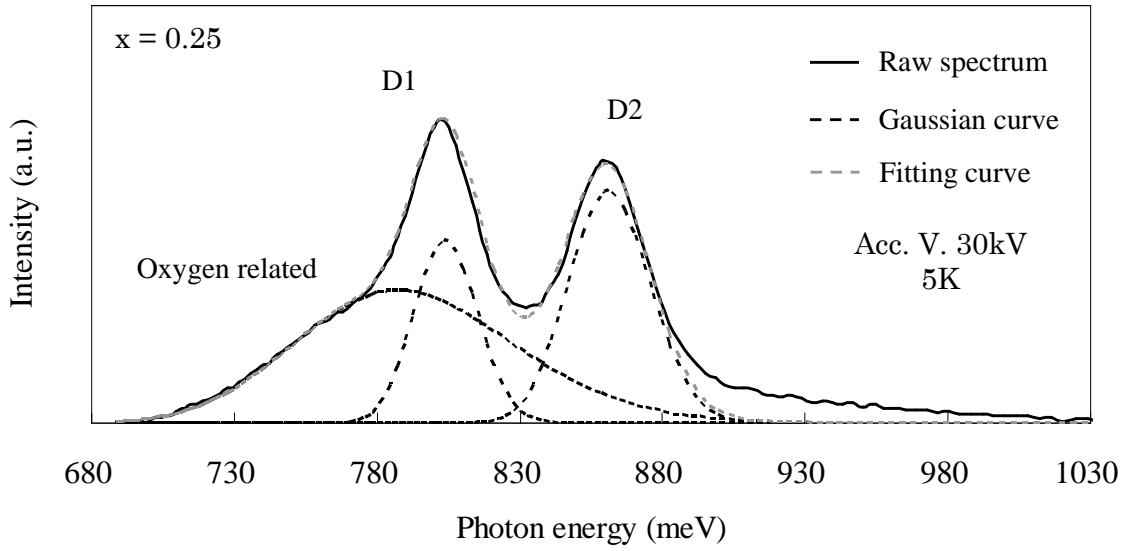


図 4.4  $x = 0.25$  のサンプルにおける CL スペクトル

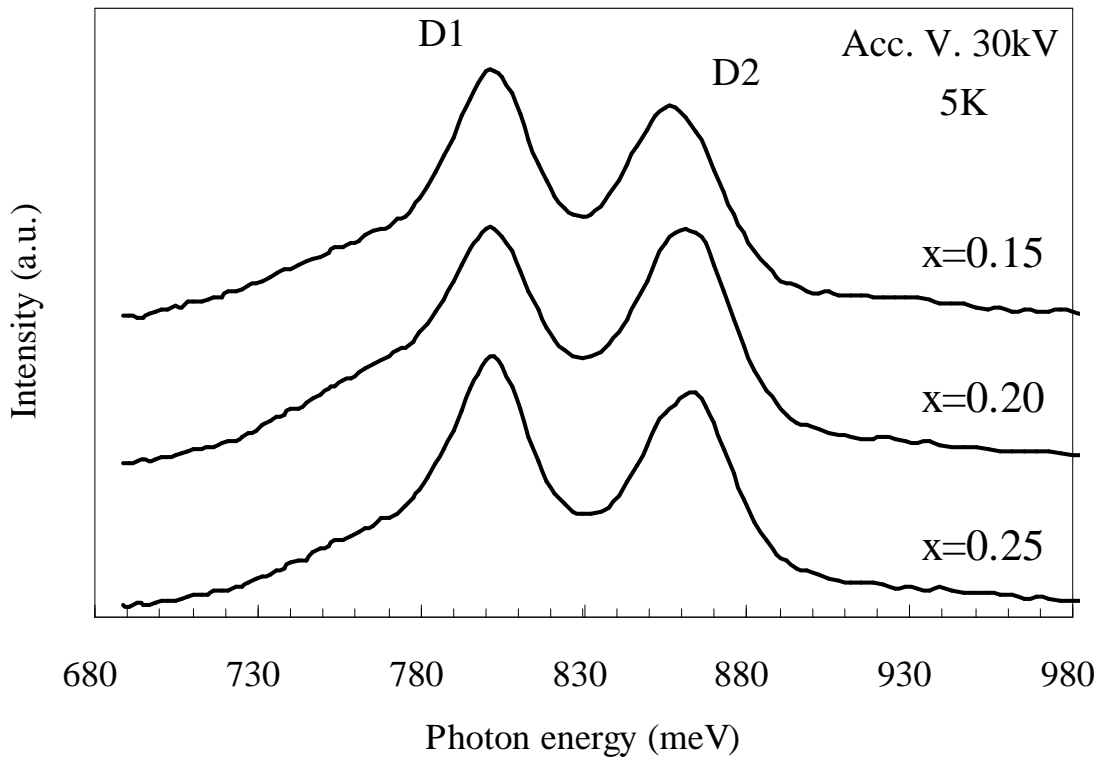


図 4.5 CL スペクトルの Ge 濃度による変化

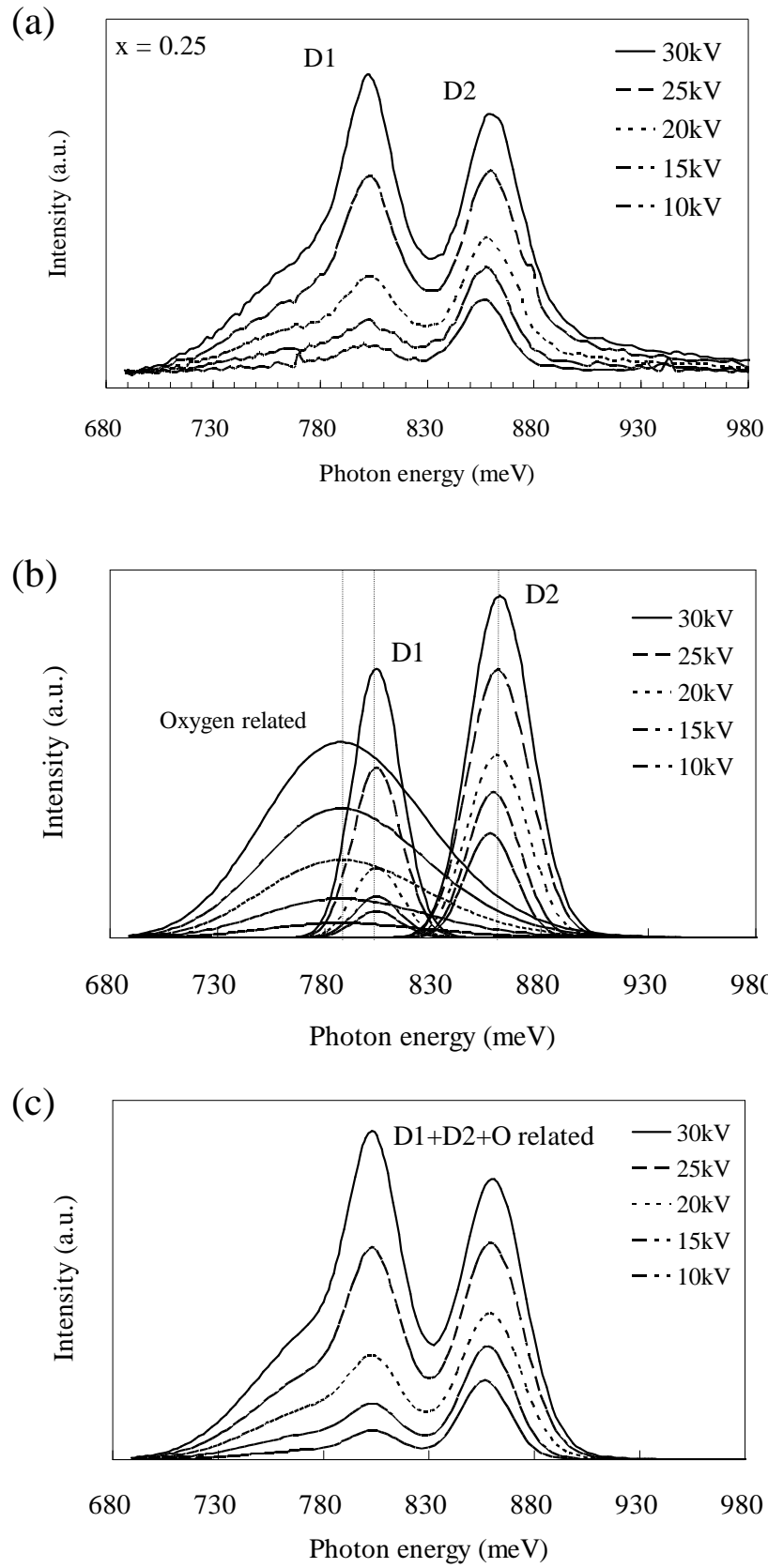


図 4.6 加速電圧によるスペクトルの変化(a)Raw spectra (b)Gaussian curve (c)Fitting curve

D2 発光の原因となっている転位種の分布とその種類について議論する。

#### 4.5.4 強度比の変化

図 4.6(b)の結果から、D1 と D2 の強度比(D1/D2)の加速電圧依存性を示したグラフを図 4.7 に示す。加速電圧の増加につれて、強度比が上昇していることが確認できる。このことは、D1 の方が D2 よりも加速電圧の増加に対する強度の上昇が速いことを示している。言い換えると、D1 発光の原因となっている転位種の割合が、サンプル内の深い領域になるにつれ多くなっていることを示している。このことを明確にするために、D1 と D2 の加速電圧ごとの差分スペクトルを図 4.8 に示す。加速電圧 20 kV までは増分は D2 が支配的なのに対し、20 kV を超えると D1 の増分が多くなる。加速電圧 20 kV での電子線飛程は 4.7  $\mu\text{m}$  で、Si 基板とエピタキシャル成長層の境界に当たる。成長前の Si 基板は無転位であり、測定した結果欠陥に関するピークは確認できなかった。これらの事実を考えると、D1 は成長過程で上部に成長した SiGe エピタキシャル層との歪を緩和させるために発生した転位が、Si 基板側に伸びたものを捉えていると言える[22 - 25]。

#### 4.6 熱処理によるスペクトル強度変化

サンプルに熱処理を加えることにより、転位の生成・運動・相互作用を促し、そのときの D1/D2 強度比変化を捉えることにより基板内の転位の詳細を捉える試みを行った。

図 4.9 に窒素雰囲気中で 1 時間熱処理を行った際の、強度比(D1/D2)の熱処理温度依存性を示す。加速電圧 10, 15 kV の浅い領域では熱処理温度の上昇と共に強度比が徐々に上昇していき、1000°C で急激な上昇を示している。一方、加速電圧 25, 30 kV の深い領域では、徐々に減少していき、やはり 1000°C で急激な上昇を示している。この結果からも、SiGe エピタキシャル層と Si 基板での D1 と D2 の振る舞いが異なることがわかる。また、1000°C での急激な変化は両層とも同じであり、転位の急激な変化、すなわち、相互作用による転位の生成・消滅・変成が起きていることを示唆している[26]。

しかしながら、先述したように、強度比による議論では D1・D2 の起源となる転位種の絶対量の変化を知ることは出来ない。そこで、酸素からのピークを標準として用い、これとの比を議論することによりその詳細を解析した。

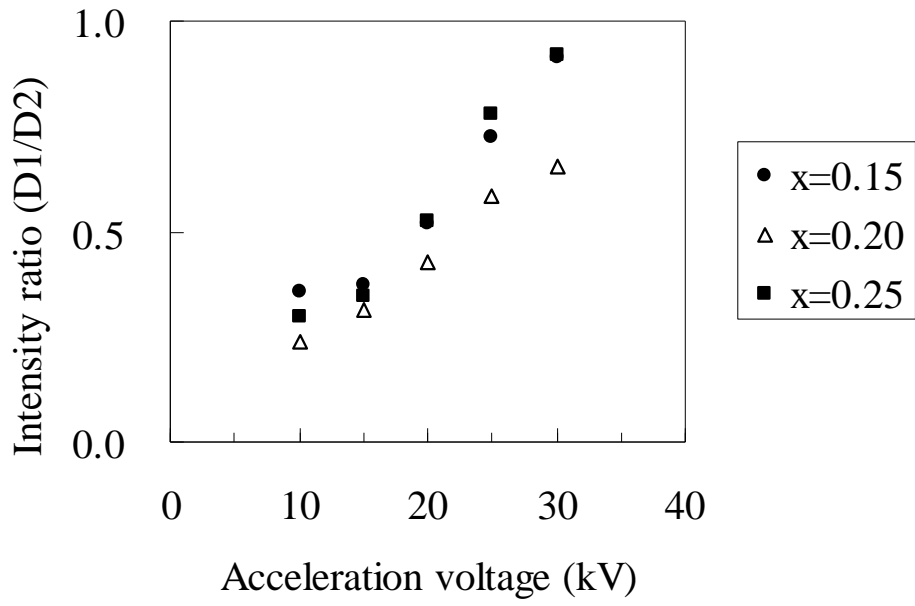


図 4.7 D1/D2 強度比の加速電圧依存性

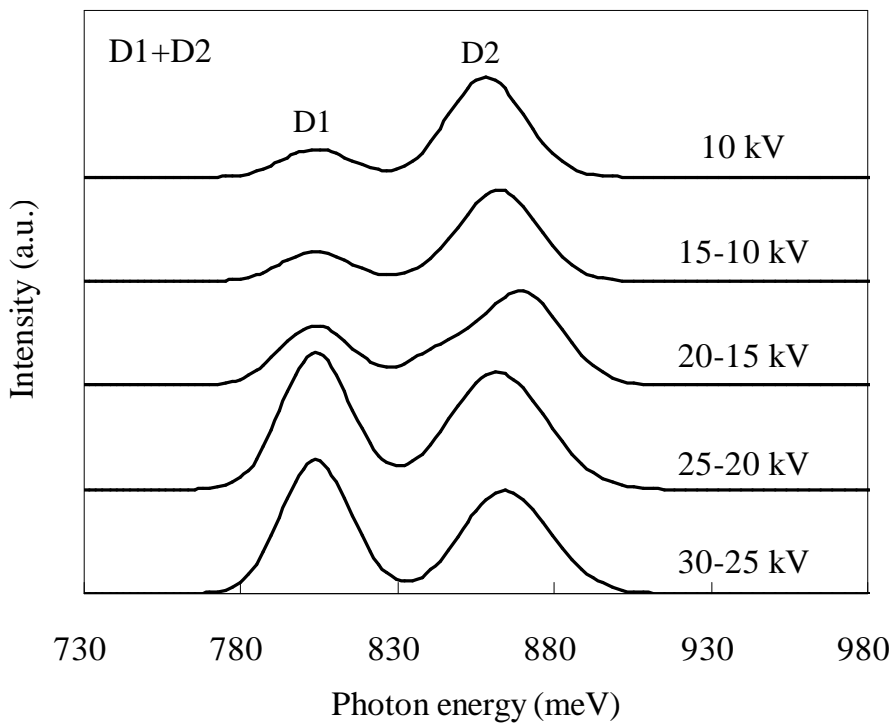


図 4.8 加速電圧変化の差分スペクトル

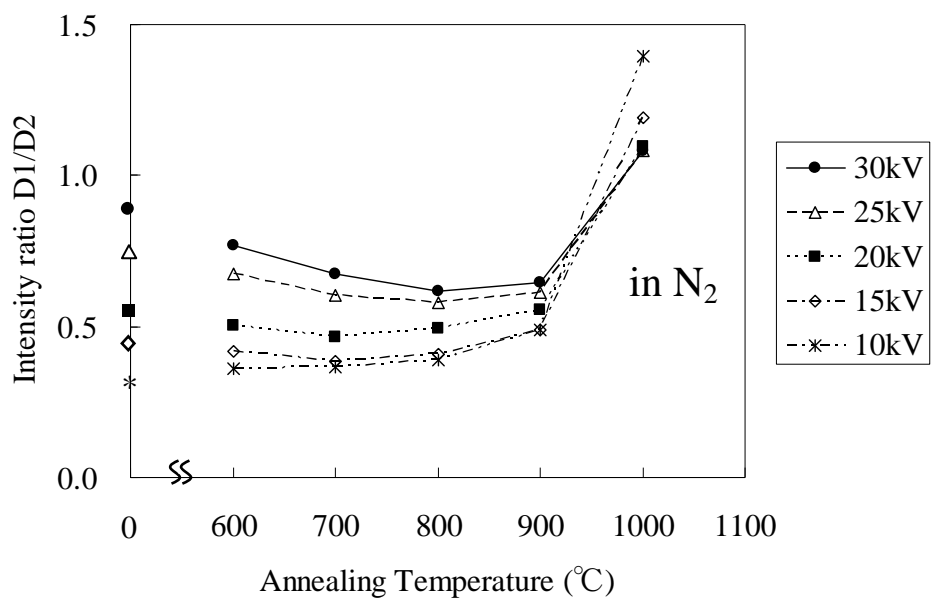


図 4.9 D1/D2 強度比の窒素雰囲気中熱処理温度依存性



#### 4.6.1 酸素の影響

図 4.10 に D1 と、図 4.11 に D2 と酸素関連のピーク(O)の熱処理温度による強度比(O/D1, O/D2)の変化を示す。両強度比に共通の興味深い特徴は、加速電圧 10,15 kV の SiGe エピタキシャル層領域では、900°Cまで強度比は低下し 1000°Cで上昇するのに対し、20~30kV の Si 基板領域では 800°Cで上昇に転じている。この変化は酸素の析出と関連していると考えられる。900°Cまでの熱処理では、酸素はその初期濃度に応じた速度で核形成し析出し、900°C以上の熱処理では酸素の拡散が早く、核形成速度が遅いため核形成が進みにくいことが知られている(図 4.12) [27]。この結果を踏まえると、熱処理により酸素析出物の形成が起こり、光学的に活性な酸素が減少し、酸素関連ピークの強度減少 (O/D1, O/D2 強度比の減少) が起こる(図 4.12(b))が、800°Cもしくは 900°C以上で核生成が成されなくなり酸素は活性なまま拡散し、Si もしくは SiGe 中に存在するため(図 4.12(c))強度比が上昇すると考えられる。SIMS の測定結果によると、熱処理前の酸素濃度は SiGe エピタキシャル層では  $3 - 4 \times 10^{16} \text{ cm}^{-3}$ 、Si 基板はチョクラスキー法(cz 法)により作製された基板なのでエピタキシャル層より高く  $4 - 5 \times 10^{17} \text{ cm}^{-3}$  となっており(図 4.12(a))、SiGe エピタキシャル層と Si 基板での転換点の温度の違いは初期酸素濃度の違いによるものと考えられる。初期酸素濃度の高い Si 基板領域では、800°Cでも核形成の進行が早く光学的に活性な酸素の減少が起きるために、強度比の低下が起きるが、初期濃度の薄い SiGe エピタキシャル層領域では核形成の進行が遅く、多くの活性な酸素が残っている為に Si 基板領域に比べ強度が強くなっている。

この結果は D1 に対しても D2 に対しても同様な傾向を示しているが、熱処理前のサンプルと比較した場合大きな差が見られる。D1 の場合、熱処理前(図 4.10 グラフ上 0°C)に比べて 1000°Cでの熱処理後には全体的に強度比が低下しているのに対し、D2 の場合には Si 基板領域でほぼ等しく、SiGe エピタキシャル層領域で増加していることが確認できる(図 4.11)。1000°Cの熱処理で、酸素の核生成が起こらず拡散のみが起きると、活性な酸素の絶対量に変化は無く強度比は熱処理前と同じになるはずであるが、O/D1 の強度比が減少しているということは、D1 の強度の増加が起きているといえる。O/D2 では Si 基板領域(加速電圧 20~30kV)では熱処理前と 1000°Cでの熱処理後で変化は無く、SiGe エピタキシャル層では O/D2 強度比が増加している。先にも述べたように Si 基板領域の方が酸素濃度が高い

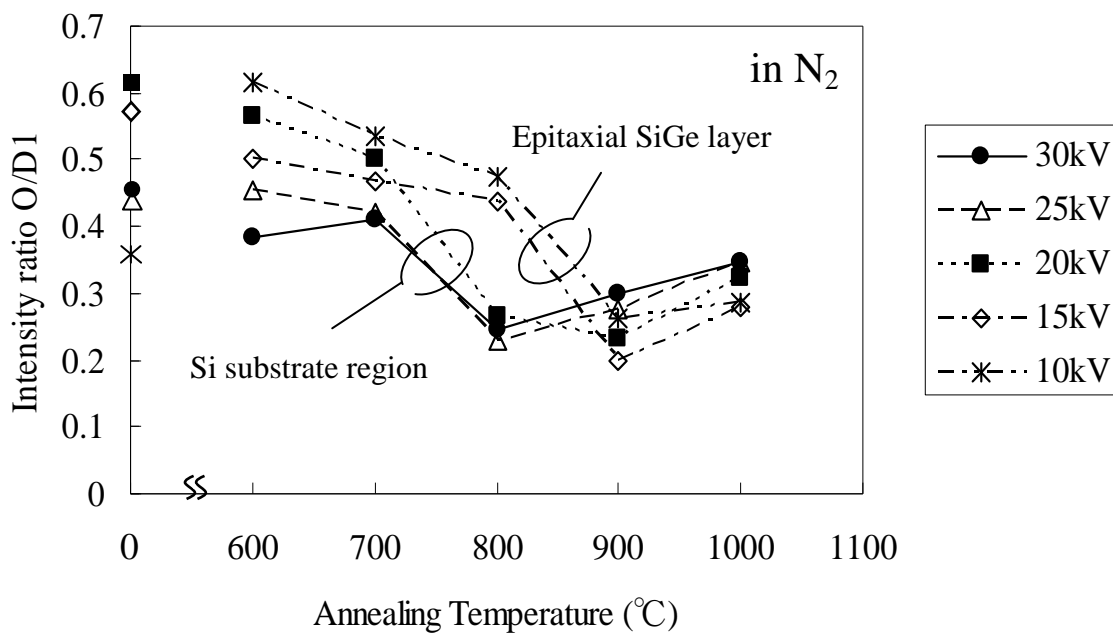


図 4.10 O/D1 強度比の熱処理温度依存性

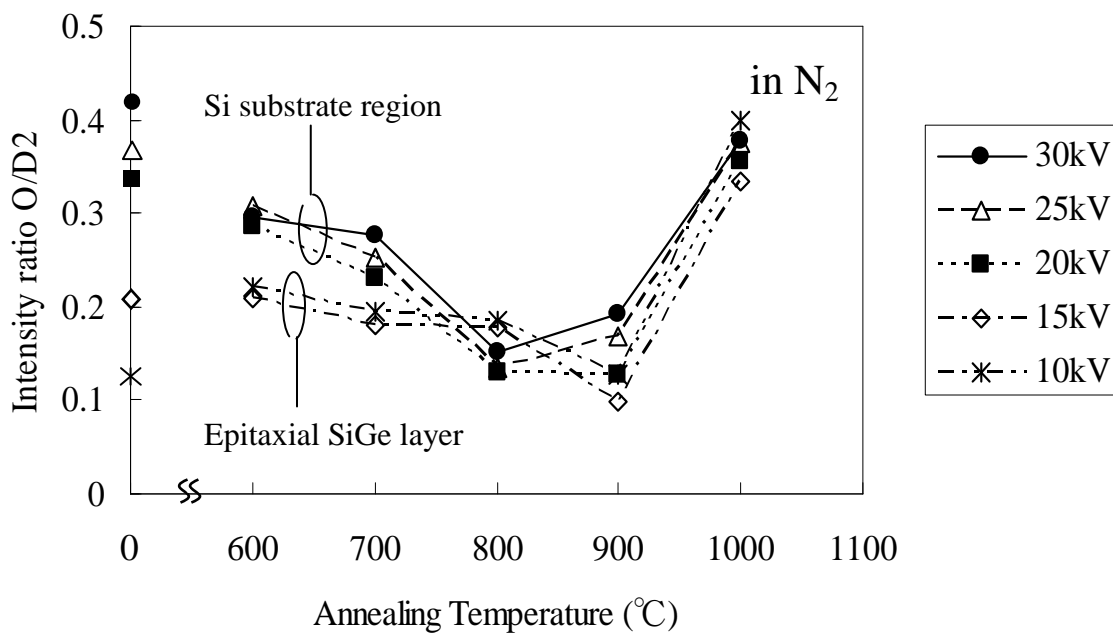


図 4.11 O/D2 強度比の熱処理温度依存

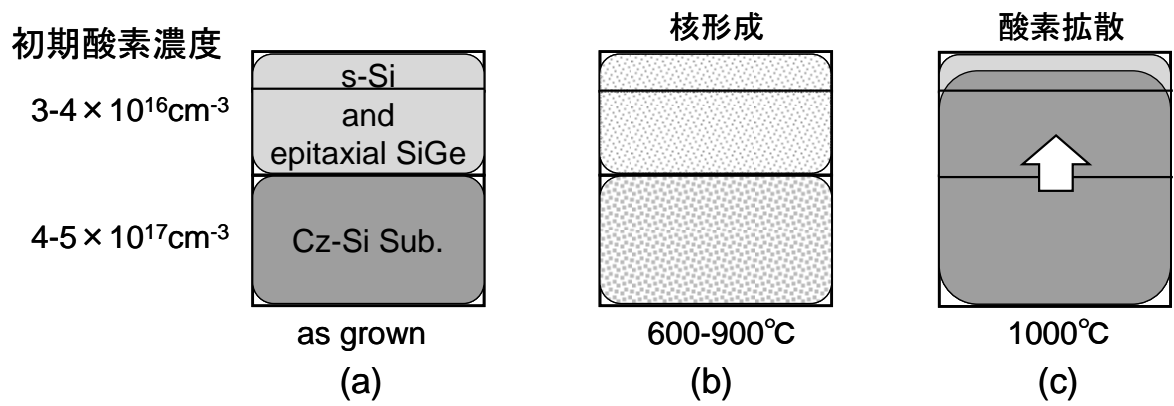


図 4.12 s-Si 基板内での熱処理温度による酸素状態の模式図

(a) 成長後 (b) 600-900°C (c) 1000°C

ので、この領域が酸素の拡散源として働き、Si 基板から SiGe エピタキシャル層へ酸素が拡散することにより、SiGe エピタキシャル層で酸素濃度が増加し O/D2 強度比が熱処理前よりも上昇すると考えられる。以上のことから、1000°Cにおける酸素の Si 基板からの拡散状況下で、D1 強度のみが酸素の影響を受けていることが推測できる。

#### 4.6.2 酸素雰囲気下での熱処理

酸素の影響を明確にするために、酸素雰囲気下で同様な熱処理を行った。窒素雰囲気下での結果と同様に強度比 (O/D1, O/D2) をそれぞれ図 4.13 - 14 に示す。O/D1 では、明確な依存性が見られなくなったが、O/D2 では窒素雰囲気下と同様な傾向が見られる。また、O/D2 では熱処理前に比べて 1000°Cでの熱処理後の強度比の上昇が窒素雰囲気下に比べて大きく (窒素雰囲気下では 0.3 - 0.4、酸素雰囲気下では 1.0 まで上昇している)、これは表面から酸素の拡散が進み、基板内の酸素濃度が増加したためと考えられる。O/D1 については、Si 基板からと表面からの酸素の拡散と D1 強度自体の変化が影響しあい詳細な議論は不可能であるが、このこと自体が、D1 が酸素からの何らかの影響を受けていることを示唆している。

#### 4.7 D1・D2 の起源の問題

シリコン結晶中では不純物酸素による転位の不動化が進むことはよく知られている[27]。4.2 欠陥準位の項で述べた Shreter らの考察によると、D1 は格子間型柱状ループ 90 度完全転位か Lomer-Cottrell 型転位、D2 がフランクの部分転位からの発光と予測しているが、本実験の結果は D1 が酸素からの影響を受けていることを示唆している。D1 が Lomer-Cottrell 転位と考えたと、熱処理により酸素が D1 の Lomer-Cottrell 固着を引き起こし強度変化を招いていると説明することができる。また、D2 の起源と考えられるフランクの部分転位は、ダイヤモンド型結晶格子の Si 中では(111)面上に存在する積層欠陥の周囲に形成される転位ループとして存在することが知られており、この転位は不動転位となっている。この転位が成長する、つまり長さが伸びるためには、積層欠陥が成長しなくてはならず、その速度は Lomer-Cottrell 転位の変化に比べて無視できるものと考えられ、D2 が熱処理によっても変化を受けないのは、これがフランクの部分転位からであることを裏付けている。またこの積層欠陥は、cz-Si 基板ではほぼ存在は認められず、一般的にエピタキシャル成長で多く発生

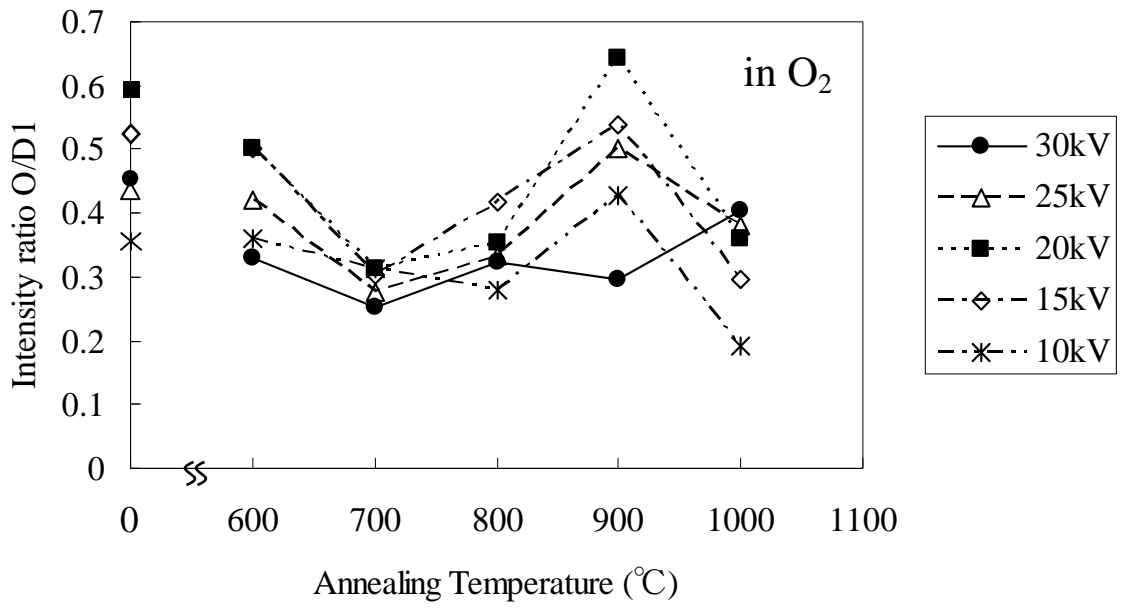


図 4.13 O/D1 強度比の熱処理温度依存 (酸素雰囲気下)

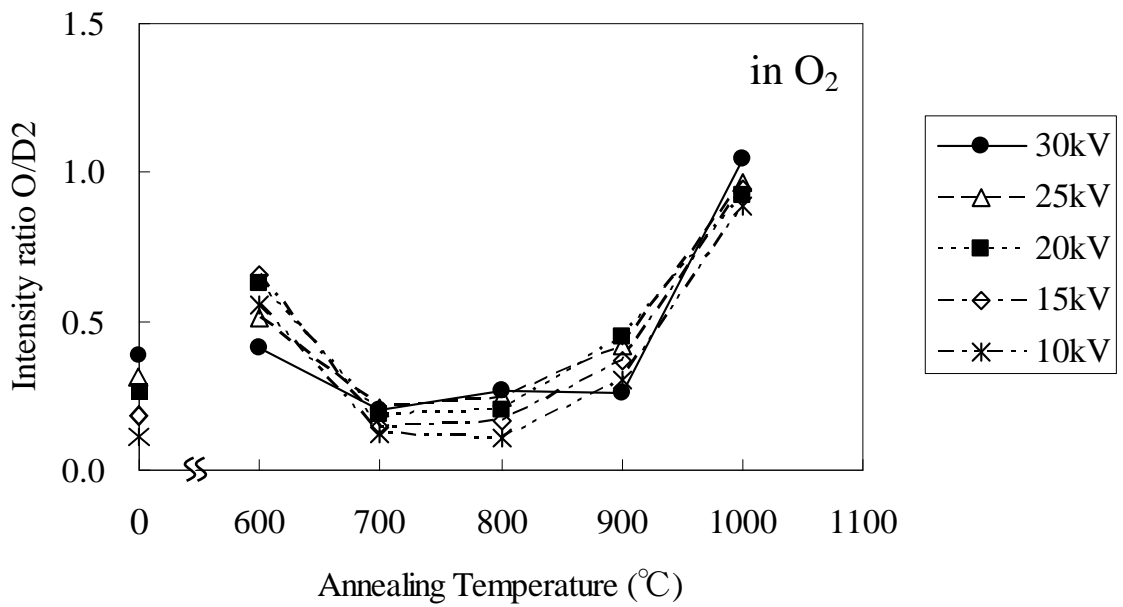


図 4.14 O/D2 強度比の熱処理温度依存 (酸素雰囲気下)

する。深さ方向の強度変化を見た際に（図 4.7、4.8）、エピタキシャル層領域で D2 強度が高いのもこのことを示唆している。

#### 4.8 まとめ

本章では、CL 法を用いて欠陥の光学的性質から基板内部の欠陥の調査を行った。本研究に用いたサンプルでは D1, D2 および酸素に関連するピークが確認され、加速電圧を変化させることにより、それらが深さ方向に分布を持つことと Ge 濃度の変化を捉えることが可能であることを示した。D1 は Si 基板側に多く伸びていることが観測され、その熱処理の際の酸素との関連から Lomer-Cottrell 転位であることが、D2 はフランクの部分転位であることが予想されることを示した。

#### 第4章の参考文献

- [1] V. Higgs, E. C. Lightowers, S. Tajbakhsh, and P. J. Wright, *Appl. Phys. Lett.* 61 (1992) 1087
- [2] K. Terashima, M. Tajima, A. Sakai, and T. Tatsumi, *J. Crystal Growth* 111 (1991) 920
- [3] R. Sauer, J. Weber, J. Stolz, E. R. Weber, K. -H. Kusters, and H. Alexander, *Appl. Phys. A* 36 (1985) 1
- [4] R. People, *Physical Rev. B* 32 (1985) 1405
- [5] V. Higgs, E. C. Lightowers, E. A. Fitzgerald, Y. H. Xie, and P. J. Silverman, *J. Appl. Phys.* 73 (1993) 1952
- [6] J. Weber and M. I. Alonso, *Physical Rev. B* 40 (1989) 5683
- [7] T. Sekiguchi, V. V. Kveder, and K. Sumino, *J. Appl. Phys.* 76 (1994) 7882
- [8] T. Sekiguchi, K. Sumitno, Z. J. Radzimski, and G. A. Rozgonyi, *Mat. Sci. Eng. B* 42 (1996) 141
- [9] E. A. Steinman, V. I. Vdovin, T. G. Yugova, V. S. Avrutin, and N. F. Izyumskaya, *Semicond. Sci. Technol.* 14 (1999) 582
- [10] E. A. Steinman, and H. G. Grimmeiss, *Semicond. Sci. Technol.* 13 (1998) 124
- [11] Hosun Lee, Suk-Ho Choi, and T. -Y. Seong, *Appl. Phys. Lett.* 71 (1997) 3823
- [12] V. V. Kveder, E. A. Steinman, S. A. Shevchenko, and H. G. Grimmeiss, *Phys. Rev. B* 51 (1995) 51
- [13] G. P. Watson, J. L. Benton, Y. H. Xie, and E. A. Fitzgerald, *J. Appl. Phys.* 83 (1998) 3773
- [14] Yu. G. Shreter, Yu. T. Rebane, and A. R. Peaker, *Phys. Stat. Sol. (a)* 138 (1993) 681
- [15] T. Sekiguchi, and K. Sumino, *J. Appl. Phys.* 79 (1995) 3253
- [16] 関口隆史, *まてりあ* 35 (1996) 551
- [17] K. Kanaya, and S. Okayama, *J. Phys. D* 5 (1972) 43
- [18] A. J. Kenyon, E. A. Steinman, C. W. Pitt, D. E. Hole, and V. I. Vdovin, *J. Phys.: Condens. Matter* 15 (2003) S2843
- [19] A. M. Sembian, F. Banhart, M. Konuma, J. Weber, S. Moorthy Babu, and P. Ramasamy, *Thin Solid Films* 372 (2000) 1
- [20] A. Daami, G. Bremond, M. Caymax, and J. Poortmans, *J. Vac. Sci. Technol. B* 16 (1998)

- [21] C. A. Klein, *J. Appl. Phys.* 39 (1968) 2029
- [22] F. K. LeGoues, B. S. Meyerson, and J. F. Morar, *Phys. Rev. Lett.* 66 (1991) 2903
- [23] T. G. Yugova, V. I. Vdovin, M. G. Mil'vidskii, L. K. Orlov, V. A. Tolomasov, A. V. Potapov, and N. V. Abrosimov, *Thin Solid Films* 336 (1998) 112
- [24] V. I. Vdovin, M. Muhlberger, M. M. Rzaev, F. Schaffler, and T. G. Yugova, *J. Phys.: Condens. Matter* 14 (2002) 13313
- [25] P. M. Mooney, F. K. LeGoues, J. Tersoff, and J. O. Chu, *J. Appl. Phys.* 75 (1994) 3968
- [26] V. V. Kveder, E. A. Steinman, and H. G. Grimmeiss, *J. Appl. Phys.* 78 (1995) 446
- [27] 角野浩二監修, 半導体の結晶欠陥制御の科学と技術—シリコン編 (1993)



## 第5章 キャリア移動度測定

s-Si のキャリア移動度増加は理論的・実験的に確認されているが、その大部分は MOS-FET におけるチャンネル反転層における実効移動度(Effective mobility)に関してである[1-5]。チャンネル反転層では、MOS-FET 作製プロセスにおけるイオン注入のダメージの影響や[6]、第3章でも示した表面のクロスハッチパターンによる界面散乱の影響を受けやすい[7]。Takagi らの報告によればバルクの s-Si でもチャンネル反転層と同様の移動度増加が予想されているが[8]、そのような報告はまだ無い。そこで、s-Si 基板へのダメージの少ないドーパントの熱拡散法を用い、薄膜としての s-Si の移動度を測定することを目的とした。砒素(As)拡散源を用いて n 型ドーパ層を作製し、二次イオン質量分析法 (Secondly-Ion Mass Spectroscopy: SIMS) を用いてドーパント分布を、ホール効果測定(Hall effect measurement) によりキャリア濃度およびホール移動度(Hall mobility) を測定した。

### 5.1 ドーパント熱拡散法

拡散源に東京応化工業(株)の OCD (Ohka Chemical Diffuser) を用い、窒素雰囲気下で熱処理を行い As の拡散を行った。OCD は添加剤(拡散用不純物)とケイ素化合物 ( $RnSi(OH)_{4-n}$ ) を有機溶剤中に溶解したもので、スピンドーターでサンプル上に塗布した後に 200°C で焼成させ、その後高温熱処理によりドーパントをサンプル中に拡散させる。熱処理温度は、CL・表面粗さの結果や過去の報告による歪緩和を起こさない範囲の上限である 900°C とし[9]、拡散時間は 30min とした。拡散後のドーパント濃度分布は一次イオンに  $Cs^+$  を用いた SIMS 分析の結果から確認した。As を拡散させた 1cm×1cm の s-Si 基板の四隅に Al 電極を作製し van der Pauw 法により移動度を測定した。

### 5.2 As 拡散係数

図 5.1 に異なる Ge 濃度の緩和 SiGe 層を持つ s-Si / SiGe サンプルへの As 拡散後 SIMS 結果を示す。表面濃度一定の条件下の拡散では、深さ  $x$  でのドーパント濃度  $C(x)$  は、次に示す補誤差関数(Complementary Error Function, erfc)で与えられる。

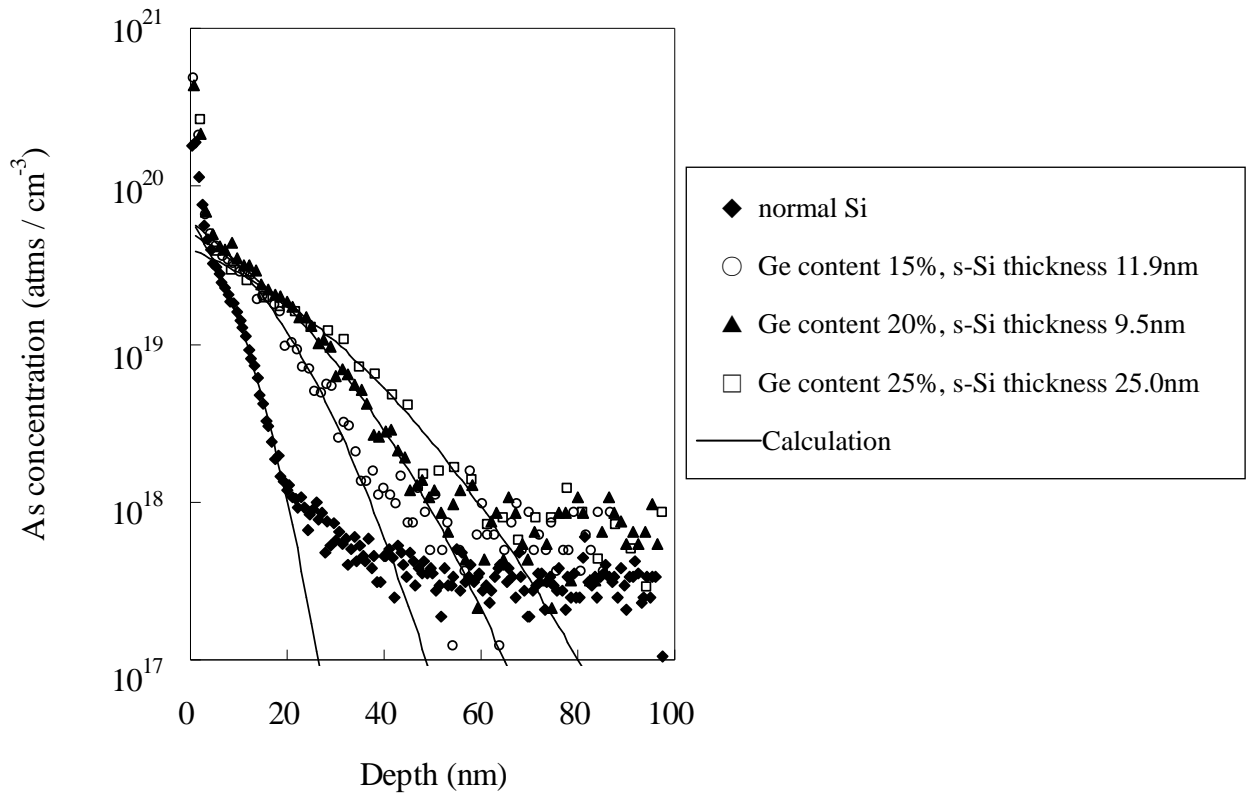


図 5.1 s-Si/SiGe 中への As 拡散後の SIMS プロファイルの Ge 濃度依存性

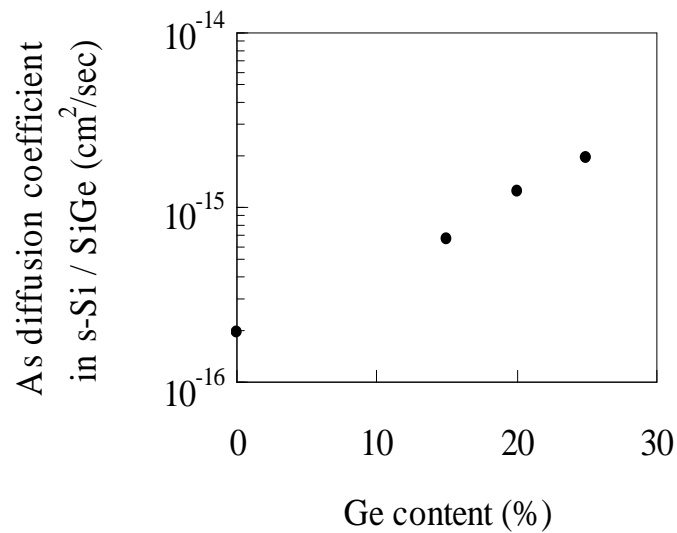


図 5.2 As 拡散係数の Ge 濃度依存性

$$C = C_s \times \operatorname{erfc} \left( \frac{x}{2\sqrt{Dt}} \right) \quad (5.1)$$

$C_s$ は表面濃度、 $D$ は拡散係数、 $t$ は拡散時間である。すべてのSIMS分析の結果についてこの式でフィッティングを行い、As拡散係数を算出した。表面濃度は $4 - 5 \times 10^{19} \text{cm}^{-3}$ となっており、よくフィッティングできていることが確認できる。標準試料として用いた通常のp型Si基板 (normal Si) の結果から、拡散係数は $2 \times 10^{-16} \text{cm}^2/\text{sec}$ となった。これは真性 (Intrinsic) 拡散でのSi中のAsの拡散係数 $7 \times 10^{-17} \text{cm}^2/\text{sec}$ より大きく[10]、この拡散が外因性 (Extrinsic) 拡散であることを示している。また、Ge濃度20%のs-Si膜厚の異なるサンプルで有意差は見られなかったが、緩和SiGe層のGe濃度の増加に伴い拡散係数の増大が見られた。

図5.2に、図5.1より算出したAs拡散係数のGe濃度依存性を示す。Ge濃度による対数的な拡散係数の増大が見られる。緩和SiGeにおけるGe濃度の変化によるAs拡散係数の変化は、P. Laitinenらにより詳細に調べられており、Ge濃度上昇と共に増加し、Ge濃度0–35%の範囲では自己格子間原子 (Self-interstitial) と空格子点 (Vacancy) 両方を通して拡散が進行するとしている[11, 12]。また、S. Eguchiらの報告によると、Ge濃度20%のSiGeで通常のSiに比べ7倍程度の拡散係数の上昇が確認されているが、我々の結果も同様な値を示している[13]。ここで留意すべき点は、我々のサンプルではs-Si/SiGeヘテロ構造であるにも係わらずs-Si/SiGe界面でAs濃度分布は連続しており、SiGeと同様な結果を示していることである。本実験と同様なサンプル構造を持つs-Si/SiGeでAsのイオン注入とそれに続くアニーリングを行ったN. Sugiiらの結果では、900°Cのアニーリングでは、s-Si/SiGe界面でAsの偏析が起きていることが報告されているが[14]、本実験の結果ではそのような現象は見られなかった。この結果から、イオン注入による結晶性悪化の影響を防げる熱拡散法を用いると、 $1 \times 10^{19} \text{cm}^{-3}$ 前後のAs濃度領域ではs-Siは基板となる緩和SiGeと同程度の拡散係数を持つことが分かる。

### 5.3 Ge 拡散係数

図5.3にAs拡散後のGeのプロファイルを示す。Ge濃度15%と、20%でs-Si膜厚が薄い

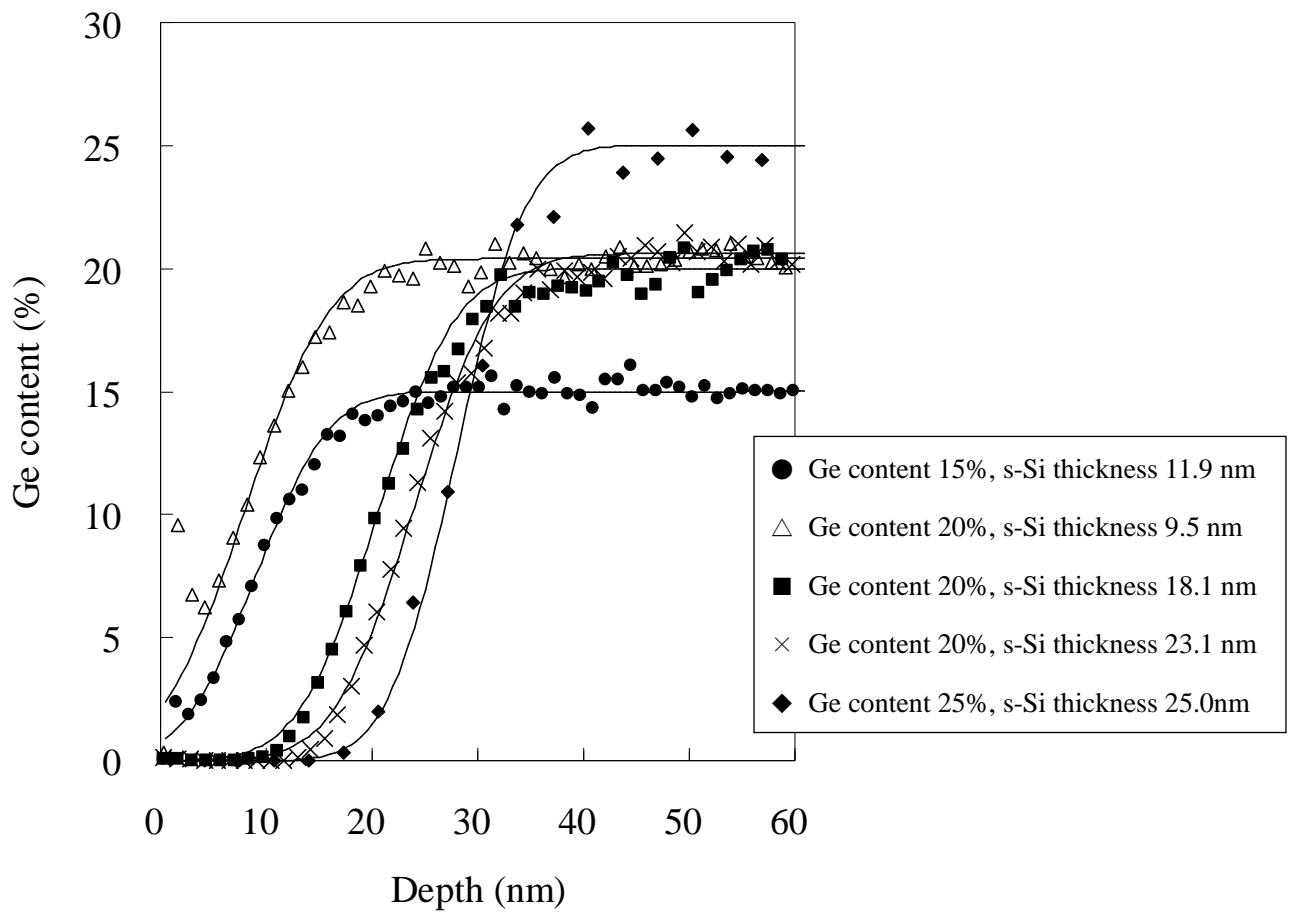


図 5.3 As 拡散後の Ge の SIMS プロファイル

サンプル（図中●、△）において Ge が表面に偏析しているのが確認できる。特に Ge 濃度 20% で s-Si 膜厚 9.5nm のサンプル（△）では、表面で Ge 濃度が 10% まで達している。900°C での s-Si 中での Ge の拡散係数は Sugii によると Ge 濃度 30% で  $2.71 \times 10^{-17} \text{ cm}^2/\text{sec}$  と報告されている[9]。我々の結果では  $3 - 5 \times 10^{-17} \text{ cm}^2/\text{sec}$  となっており、報告にあるような明確な Ge 濃度依存性は見られなかった[15, 16]。As ドープの際の空格子点の注入により Sugii の結果よりわずかに高い値を示していると考えられる。

#### 5.4 移動度

電氣的測定で得られたシートキャリア密度と SIMS より得られた接合深さから平均キャリア密度を算出した結果、すべてのサンプルで  $1 \times 10^{19} \text{ cm}^{-3}$  程度となりドーパントの活性化率は Ge 濃度に依存せず 95% 程度と一様なことが確認できた。このことにより、どの Ge 濃度を持つ s-Si/SiGe サンプルにおいても、As ドーパントのイオン化不純物散乱による効果は同一であると考えることが出来る。

図 5.4 に Ge 濃度対移動度のグラフを示す。▲で示した系列は、フッ硝酸により s-Si 層を除去したあとの緩和 SiGe 層に同様に As を拡散させたサンプルの結果である。s-Si/SiGe サンプルでは通常のパルク Si より全体的に移動度が低下しているのが確認できる。これは SiGe 層の合金散乱(Alloy Scattering)の影響を受けているためと考えられる[17 - 19]。合金散乱の影響は s-Si を除去した緩和 SiGe 層の結果から、Ge 濃度の増加と共に増加し移動度の低下を招いていることから確認できる。しかしながら、s-Si/SiGe サンプルでは Ge 濃度の上昇と共に移動度が増加しており、これは s-Si 層内での歪量の増大が移動度に影響を及ぼしている結果だといえる。

また、図 5.5(a)に示したように Ge 濃度 20% のサンプルにおける s-Si 膜厚依存性を見ると、s-Si 膜厚の低下により、移動度が低下していることが確認できる。s-Si/SiGe ヘテロ構造は、150meV 程度のバンドオフセットを持ち、As ドーピング層が SiGe 層まで達していても電流は s-Si を流れ s-Si 層の移動度を反映しているが、膜厚の減少により合金散乱の影響が拡大していると考えられる（図 5.5(b)）。特に s-Si 膜厚 9.5nm では図 5.3 の SIMS 分析の結果から分かるように表面に偏析した Ge の影響が顕著になっていると考えられる。

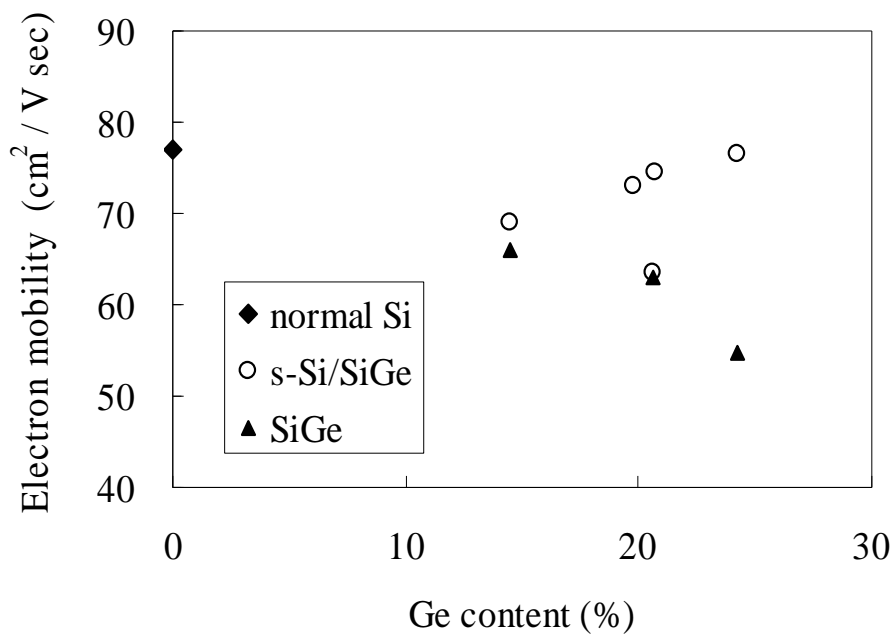


図 5.4 Ge 濃度による移動度の変化

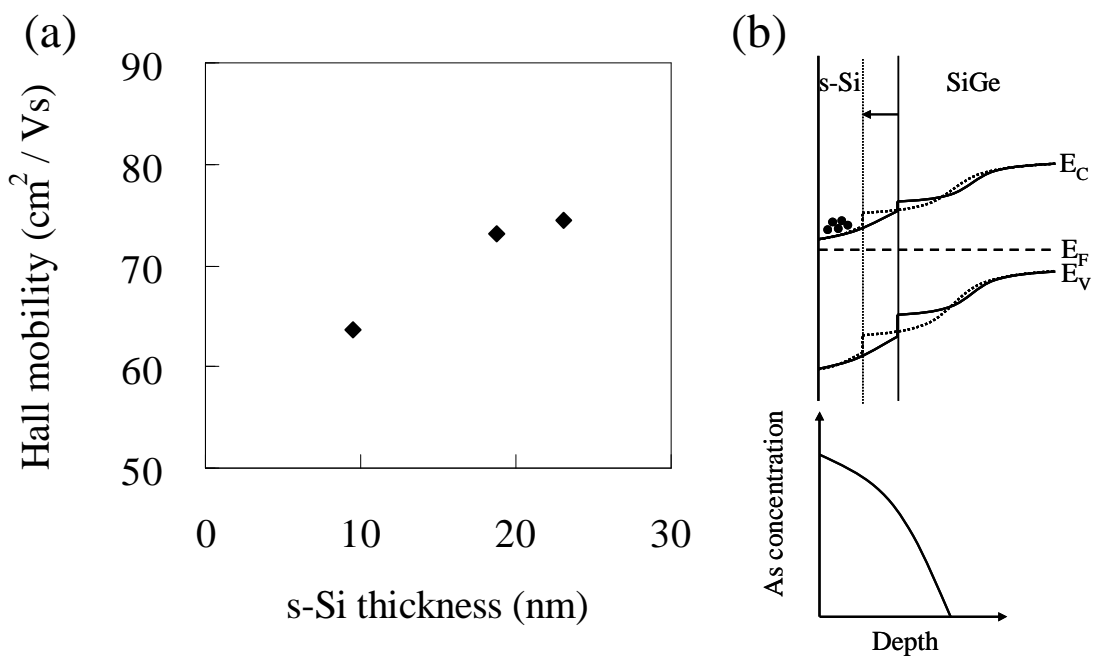


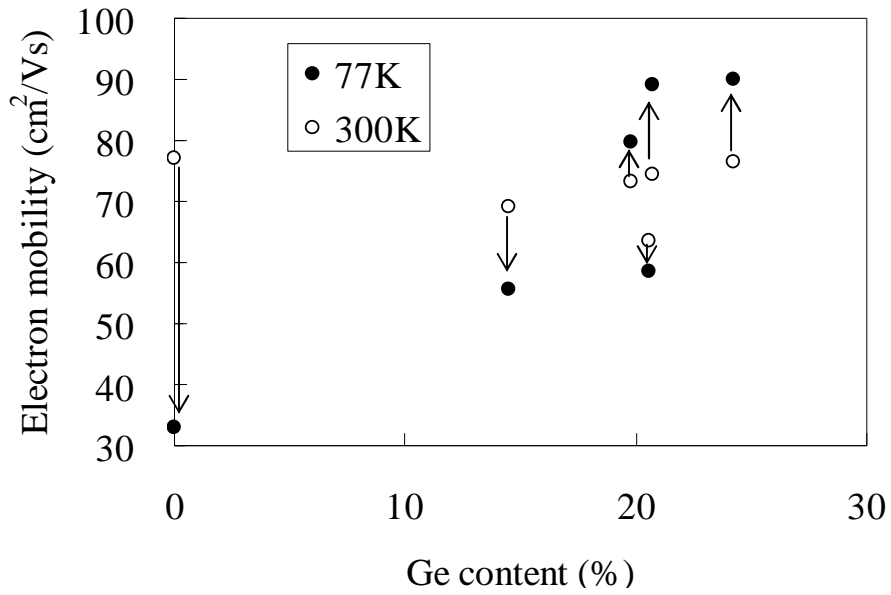
図 5.5 (a) Ge 濃度 20%における移動度の s-Si 膜厚依存  
(b) バンド構造と As 拡散の模式図 (破線は s-Si 膜厚の薄い場合)

上述した合金散乱の影響を除くために、温度 77K で測定を行った。図 5.6(a)に 77K と 300K で測定した移動度を示す。通常、今回作製したサンプルの平均不純物濃度  $1 \times 10^{19} \text{ cm}^{-3}$  の領域では、移動度はドーパントによる不純物散乱が支配的になり 77K では室温より低下する。我々の実験結果でも、通常の Si ではそのような特性を示しているが、s-Si/SiGe サンプルにおいては、移動度の増加が確認できた。この増加率は Ge 濃度に比例している (図 5.6(b))。このことは、移動度を支配する散乱機構のうち、どの Ge 濃度のサンプルでも不純物散乱の効果はドーパント濃度が同じなので一定であると考え、Ge 濃度上昇による s-Si 層の歪量増大の効果が、Ge 濃度に比例して増えていっている事を示しているといえる。

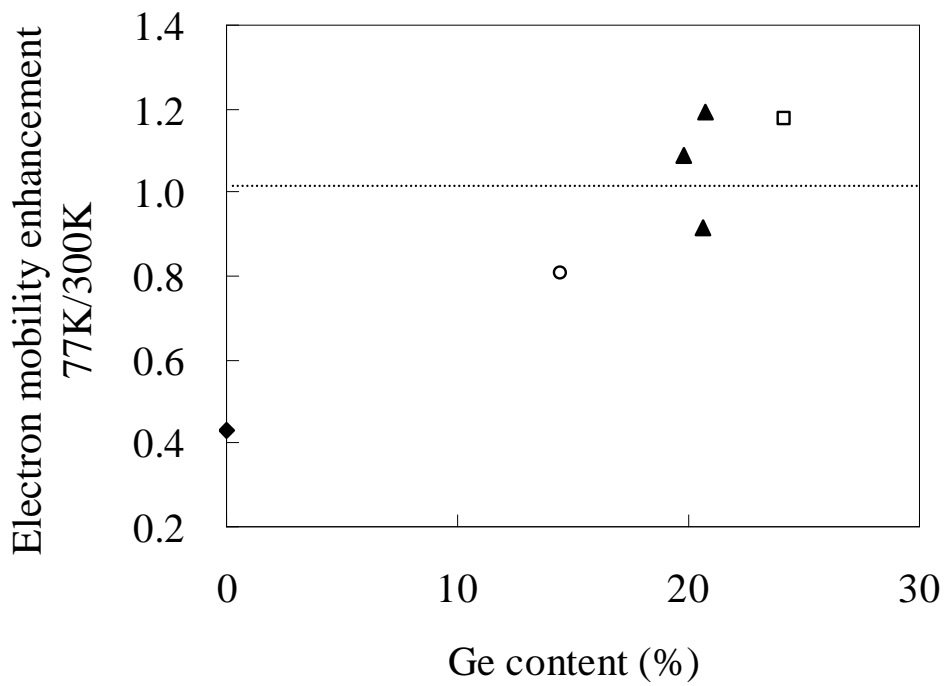
移動度に影響を与える散乱過程は通常、不純物・格子散乱が支配的だが、本結果にはこれに合金散乱と歪による谷間散乱の減少による変化が加わっている。不純物散乱の効果はどのサンプルでも平均不純物濃度が一定のため、格子散乱はほぼ影響しないという結果から[8]一定と仮定する。合金散乱の効果は Ge 濃度に比例して増えていくことは SiGe 緩和層測定の結果からも分かる (図 5.4)。谷間散乱は Ge 濃度の上昇により s-Si 層の歪量が増加し伝導帯の縮退が解けることにより減少していく。これらの効果が相殺され、残った有効質量の減少の効果により常温での Ge 濃度に比例する移動度の向上が現れていると考えられる。低温にして合金散乱の影響を排除した結果、谷間散乱の効果が顕在化し移動度は常温に比べて高い比率で Ge 濃度に対して増加していることが分かる。

## 5.5 まとめ

本章では、歪 Si 基板に熱拡散法により As を拡散させた際の挙動と、移動度の変化を調査した。歪 Si 中の As の拡散係数は Ge 濃度、つまり歪量の増大に伴い増加し、s-Si/SiGe 界面においても連続しており、緩和 SiGe と同程度の拡散係数を持つことが確認できた。一方、緩和 SiGe 層から s-Si 層への Ge 拡散係数の Ge 濃度依存性は見られなかった。s-Si を用いた MOS-FET のチャンネル反転層ではなく薄膜での s-Si の移動度の Ge 濃度依存性を初めて示した。特に 77K での測定で SiGe 合金散乱の影響を排除した結果、Ge 濃度 20 – 25 % のサンプルでは、谷間散乱の減少による移動度向上が不純物散乱による移動度低下の効果を上回ることが確認できた。



(a)



(b)

図 5.6 (a)移動度の温度変化 (b)移動度の変化率



## 第 5 章の参考文献

- [1] J. Welsler, J. L. Hoyt, and J. F. Gibbons, *IEEE Electron Device Lett.* 15 (1994) 100
- [2] N. Sugii, D. Hisamoto, K. Washio, N. Yokoyama, and S. Kimura, *IEEE Trans. Electron Devices* 49 (2002) 2237
- [3] Y. Abe, H. Sato, Y. Ozawa, K. Sawano, K. Nkagawa, and Y. Shiraki, *Thin Solid Films* 508 (2006) 355
- [4] C. W. Leitz, M. T. Currie, M. L. Lee, X. -Y. Cheng, D. A. Antoniadis, and E. A. Fitzgerald, *J. Appl. Phys.* 92 (2002) 3745
- [5] M. T. Currie, C. W. Leitz, T. A. Langdo, G. Taraschi, E. A. Fitzgerald, and D. A. Antoniadis, *J. Vac. Sci. Technol. B* 19 (2001) 2268
- [6] Y. Ishidora, K. Koyama, J. Morioka, T. Inada, and N. Sugii, *Thin Solid Films* 508 (2006) 284
- [7] N. Sugii, K. Nakagawa, S. Yamaguchi, and M. Miyao, *Appl. Phys. Lett.* 75 (1999) 2984
- [8] S. Takagi, J. L. Hoyt, J. J. Welsler, and J. F. Gibbons, *J. Appl. Phys.* 80 (1996) 1567
- [9] N. Sugii, *J. Appl. Phys.* 89 (2001) 6459
- [10] R. B. Fair, and J. C. C. Tasi, *J. Electrochem. Soc.* 122 (1975) 1689
- [11] P. Laitinen, I. Riihimaki, J. Raisanen, and the ISOLDE Collaboration, *Phys. Rev. B* 68 (2003) 155209
- [12] S. Uppal, J. M. Bonar, J. Zhang, and A. F. W. Willoughby, *Mat. Res. Soc. Symp. Proc.* 809 (2004) B9.3.1/C9.3.1
- [13] S. Eguchi, J. L. Hoyt, C. W. Leitz, and E. A. Fitzgerald, *Appl. Phys. Lett.* 80 (2002) 1743
- [14] N. Sugii, S. Irieda, J. Morioka, and T. Inada, *J. Appl. Phys.* 96 (2004) 261
- [15] G. L. McVay, and A. R. DuCharme, *Phys. Rev. B* 9 (1974) 627
- [16] N. E. B. Cowern, P. C. Zalm, P. van der Sluis, D. J. Gravesteijn, and W. B. de Boer, *Phys. Rev. Lett.* 72 (1994) 2585
- [17] Y. C. Chen, S. H. Li, P. K. Bhattacharya, J. Singh, and J. M. Hinckley, *Appl. Phys. Lett.* 64 (1994) 3110
- [18] M. J. Kearney, and A. I. Horrell, *Semicond. Sci. Technol.* 13 (1998) 174
- [19] M. V. Fischetti, and S. E. Laux, *J. Appl. Phys.* 80 (196) 2234

## 第6章 結論

本論文では、Si-MOS デバイスにおけるテクノロジーブースターとして期待される歪 Si、特に転位低減を目的とした組成傾斜 SiGe 層を用いた 2 軸性の伸張歪を印加した歪 Si 基板について、その基本的な特性を解明することを目的として評価した。

環境負荷の少ない Dash エッチャントを用いて歪 Si / 緩和 SiGe / 組成傾斜 SiGe ヘテロ構造内の貫通転位密度の変化を捉えられることを示し、その変化が主として緩和 SiGe 層と歪 Si 層の界面で起きていることを示した。また、組成傾斜 SiGe 層内では貫通転位密度の変化はほとんど見られず、エッチング後の断面 SEM 観察の結果から組成傾斜 SiGe 層の Ge 濃度の変化領域において転位が界面へ抜けることを示した。

歪 Si の表面粗さはミスフィット転位による局所的な歪緩和の影響により、基板 SiGe 層の Ge 濃度の増加と共に悪化して行き、熱処理を加えてもその依存性は維持される。熱処理温度 800°C までは転位の影響によると思われる表面粗さの増加が確認できたが、800~1000°C における低下の原因が、SiGe 層からの Ge の拡散による表面の安定化であるという意見については、歪 Si 膜厚依存性が見られなかったことから疑問がもたれることを示した。

カソードルミネッセンス(CL)法による評価の結果、欠陥からの発光のピーク強度加速電圧依存性を調査することにより、D1, D2 の歪 Si 基板内での変化を捉え、D1 の起源となる転位種が主として Si 基板側に存在することを示した。また、熱処理により 1000°C で転位の大きな変化があることを捉え、酸素関連のピークとの強度比の考察から、D1 が酸素と相互作用していることを示した。酸素雰囲気中での熱処理からもこのことを示すデータが得られ、D1 の起源となる転位種が Lomer-Cottrell 転位、D2 がフランクの部分転位からの発光である可能性を支持する結論が得られた。

基板へのダメージの少ない熱拡散法による As の歪 Si への拡散を行い、歪 Si 薄膜での移動度の Ge 濃度依存性を初めて示した。その際、As の拡散係数が基板 SiGe の Ge 濃度、つまり歪量に依存すること、緩和 SiGe 層での拡散係数と同程度の値を持つことを確認した。移動度は緩和 SiGe 層の合金散乱の影響のため、通常の Si 基板より低下したが Ge 濃度に比例して増加することが確認できた。また 77K での Ge 濃度 20 - 25 % のサンプルでは、歪に

よる移動度向上が不純物散乱による移動度低下の効果を上回ることが確認できた。

以上の結果を踏まえ、今後の展望について述べる。

現在、組成傾斜 SiGe 層を用いても歪 Si 表面では  $10^4\text{cm}^{-3}$  オーダーの貫通転位が存在しており、従来の無転位 Si 基板に比べるとその差は歴然としている。緩和 SiGe 層をテンプレートとして用いる歪 Si の場合、緩和 SiGe 層内の転位密度を減らさない限り歪 Si 層への転位の伝播は抑えられない。本研究で解明したように、SiGe 層内の界面方向へのミスフィット転位としての“抜け”を促進するためには、組成傾斜領域が重要な役割を果たす。組成傾斜領域内では、緩和によるミスフィット転位の発生とその後の上昇運動、その転位を緩和中心としたミスフィット転位の発生が繰り返し行われていると考えられる。貫通転位密度を減らすにはミスフィット転位の上昇運動を防ぐか、貫通転位を積極的にミスフィット転位として界面へ逃がす必要がある。CL の結果からは、転位と基板中の酸素との反応を示唆しているが、これが不動化によるものならエピタキシャル層成長中に意図的に酸素もしくは不純物を導入することにより、転位の挙動に変化を与えることが可能かもしれない。

薄膜での歪 Si の移動度測定には合金散乱の影響を完全に排除する必要があると共に、更なる高歪量（緩和 SiGe 層の Ge 濃度）でのデータを得るためには、臨界膜厚により膜厚が制限されるため歪 Si 層への浅い接合の形成が必要になる。浅い接合形成にはイオン注入法が今回用いた熱拡散法より有利であるが、イオン注入による結晶へのダメージの影響を考慮しなくてはならなくなるだろう。

以上、本研究で得られた知見が今後の歪 Si 基板作製において転位密度低減・移動度向上の最適化に貢献できると考えられる。

## 謝辞

本研究を進めるにあたり、適切な御指導、御助言を賜りました慶應義塾大学理工学研究科 松本 智 教授に感謝いたします。また、本論文をまとめるにあたり御助言をいただきました、慶應義塾大学理工学研究科 太田 英二 教授、高橋 信一 准教授、齋木 敏治 准教授に感謝いたします。

貴重な $\alpha$ -Siサンプルを御提供くださり、御教授、議論していただいた株式会社SUMCO 中前 正彦 氏、二宮 正晴 氏、東芝セラミックス株式会社 泉妻 宏治 氏、仙田 剛士 氏に感謝いたします。

カソードルミネッセンス測定装置を借用させて頂き、御指導頂いた慶應義塾大学理工学研究科 高橋 信一 准教授と高橋研究室の諸氏に感謝いたします。

転位とカソードルミネッセンスに関する不躰な質問に快く応じてくださった独立行政法人 物質・材料研究機構 ナノマテリアル研究所 関口 隆史 氏に感謝いたします。

測定装置類の整備と御指導いただいた三谷 智明 氏を始めとする慶應義塾大学理工学部中央試験所の方々に感謝いたします。

学部時代に御指導頂き、本論文執筆を後押ししていただいた元学習院大学理学部物理学科 小川 智哉 教授に感謝いたします。

学部時代から研究生生活について御意見頂いた、東北大学多元物質科学研究所 津留 俊英 助教に感謝いたします。

研究遂行にあたり協力・議論していただいた、慶應義塾大学理工学研究科松本研究室の諸氏に感謝します。

最後に、長年に亘る学生生活を理解し物心両面で支えてくれた両親に感謝します。

## 発表論文及び学会講演リスト

### 1. 本研究に関するもの

#### 1.1 定期刊行誌掲載論文

(1) \*Takamichi Sumitomo, Haruki Kita and Satoru Matsumoto

“Investigation of dislocations in composition graded and strain relaxed SiGe epitaxial layer by cathodeluminescence”, Materials Science in Semiconductor Processing, Vol. 9, 2006, pp. 794-797

(2) \*Takamichi Sumitomo, Satoru Matsumoto

“Cathodeluminescence investigation of relaxed Si<sub>1-x</sub>Ge<sub>x</sub> layer and composition-graded SiGe layer”, Japan. J. Appl. Phys., Vol. 46, 2007, pp. 1463-1465

(3) \*Takamichi Sumitomo, Satoru Matsumoto

“Diffusion of Arsenic through Strained Si /Relaxed Si<sub>1-x</sub>Ge<sub>x</sub> Heterostructure”, (accepted for publication in Journal of The Electrochemical Society)

#### 1.2 国際会議発表

(1) \*Takamichi Sumitomo, Haruki Kita and Satoru Matsumoto

“Investigation of dislocations in composition graded and strain relaxed SiGe epitaxial layer by cathodeluminescence”, E-MRS Spring Meeting 2006, Nice, France, May 29 - June 2, 2006

(2) Takamichi Sumitomo, \*Satoru Matsumoto

“Arsenic Diffusion in strained Si/relaxed Si<sub>1-x</sub>Ge<sub>x</sub> and its electrical characteristics”, The 7<sup>th</sup> International Workshop on Junction Technology (IWJT2007), Kyoto, Japan, June 8-9, 2007

### 1.3 国内学会発表

- (1) \*住友隆道、北晴喜、平井美紀子、松本智

“カソードルミネッセンスによるエピタキシャル成長組成傾斜・緩和SiGe層の評価”

22a-ZE-9 第53回応用物理学会学術講演会 講演予稿集 p.407 2006年3月

## 2. その他に関するもの

### 国内学会発表

- (1) \*津留俊英、住友隆道、小川友哉

“光散乱法による CVT 法成長無転位 ZnSe 単結晶の観察” 6p-Z-10

第 61 回応用物理学会学術講演会 講演予稿集 p.360 2000 年 9 月

- (2) \*津留俊英、八木季子、住友隆道、小川友哉

“CVT 法成長 ZnSe 単結晶中に存在する転位ループの観察” 6p-Z-11

第 61 回応用物理学会学術講演会 講演予稿集 p.360 2000 年 9 月

- (3) \*住友隆道、渡辺常弘、中林幸雄、松本智

“ガスソース MBE による Si 単結晶中 P デルタドープ層構造作製と電気的評価” 29p-ZV-16

第 50 回応用物理学会学術講演会 講演予稿集 p.465 2003 年 3 月