

# 主 論 文 要 旨

報告番号	乙 第	号	氏 名	山本 知成
主 論 文 題 目： レーザーアニール技術を用いた <b>Sub-50nm CMOS</b> デバイスの高性能化に関する研究				
(内容の要旨) 本論文では、レーザーアニール技術を用いたソースドレイン寄生抵抗低減のための新しい接合形成技術、及びポリシリコンゲート電極の空乏化抑制のための新しいポリシリコンゲート電極の活性化技術について述べる。これらの技術を用いて実際に <b>Sub-50nm CMOS</b> デバイスを試作し、デバイス性能の向上を確認した。 第1章では、本研究の背景、及び目的について述べる。 第2章では、 <b>Laser Thermal Processing (LTP)</b> を用いた <b>CoSi<sub>2</sub></b> と <b>P<sup>+</sup> Si</b> 間のコンタクト抵抗低減技術に関して述べる。イオン注入条件を最適化することで、低い接合リーク電流と接合容量を有する低抵抗な拡散層を形成させることに成功した。 第3章では、 <b>LTP</b> を用いた浅いソースドレインエクステンション形成技術に関して述べる。そしてこの技術を用いて実際に <b>sub-50nm CMOS</b> デバイスを試作した。 <b>LTP</b> を用いる場合には、プリアモルファス領域を調整することにより接合プロファイルをコントロールできる。そのため、ドーパントの注入ドーズ量を増加させても短チャネル効果は劣化せず、それでいて寄生抵抗は低減させることが可能となった。 第4章では、 <b>LTP</b> を用いた新しいポリシリコンゲート電極の活性化技術に関して述べる。この技術を用いて作製した <b>sub-40nm PMOSFETs</b> を評価することにより、本技術はゲート電極の空乏化抑制、ゲート電極からのボロン抜け抑制に対して非常に効果的であるということがわかった。 第5章では、 <b>Laser Spike Annealing (LSA)</b> による高いドーパントの活性化のインパクトについて述べる。ソースドレインの活性化アニールとして行う <b>spike-RTA</b> の処理の後に <b>LSA</b> を施すことにより、 <b>sub-40nm CMOS</b> デバイスのゲート電極の空乏化の抑制、寄生抵抗の低減が可能となった。 第6章では、 <b>LSA</b> を <b>spike-RTA</b> よりも前に行うことにより、トランジスタの高性能化に対して効果的な不純物プロファイルを得るという新しい接合形成技術について述べる。本手法は、ドーパントの拡散を抑制しつつその活性化率を向上させることで特性向上を得ていた従来のミリセックアニールの適用手法とは異なり、比較的低いピーク温度でトランジスタの特性改善を得ることを可能にする。さらに、 <b>LSA</b> 温度の変化に対してはトランジスタの特性変動がみられない温度帯が存在するため、今回確認した範囲では少なくとも <b>60°C</b> という広いプロセスウインドを確保できるという特長をも持つ。 第7章では、第6章で述べた手法を最先端 <b>45nm</b> ノード ハイパフォーマンス <b>CMOS</b> テクノロジーに適用した。本技術を適用することで、ソースドレイン寄生抵抗が低減され、 <b>8.8% (PMOS) / 5% (NMOS)</b> の駆動電流向上が得られた。 最後に第8章では本論文で得られた成果についてまとめる。				