

主 論 文 要 旨

報告番号	乙 第	号	氏 名	奥野 通貴
主 論 文 題 目： 通信の時間的局所性を利用した広帯域低消費電力向け ネットワークプロセッサアーキテクチャに関する研究				
(内容の要旨)				
<p>2000年代初頭にかけて、多数の簡易なプロセッサを集積してパケットをプログラマブルに高スループット処理する通信装置向けのネットワークプロセッサ(NP: Network Processor)が登場した。次世代高速回線用のNPが期待されるが、内蔵プロセッサ数を増加させてスループットを向上させる従来の手法だけを利用すると、チップサイズや消費電力が要求性能に比例して増大し問題となる。</p> <p>本研究では、この問題を解決するアーキテクチャとして、短時間のうちに同一のヘッダ情報を持つパケットがネットワーク上に多数出現しやすいという通信の時間的局所性を利用するキャッシュ型ネットワークプロセッサCBNP(Cache-based Network Processor)を提案した。CBNPは、パケットの解析と組立処理を行なうメインパス中にプロセスラーニングキャッシュ(PLC: Process Learning Cache)と呼ぶメモリと複数のプロセッシングエレメント(PE)を備える。そして、パケットのボトルネック処理である各種の検索処理やカプセル化ヘッダ生成等を初回のパケットのみPEで実施し、その結果と、結果の適用方法をPLCに記録する。後続の同一とみなせるヘッダを持つパケットに、PLCの内容を再利用することで内蔵プロセッサ数を増加させずに高スループット化が可能となる。また、CBNPはキャッシュミスハンドラ(CMH: Cache Miss Handler)と呼ぶ機構を備え、PLC登録処理中に到着するPLC未登録の後続パケットを保持してPLC登録後に結果を適用することで消費電力の高いPEの冗長な利用を抑止しつつ、PLCをノンブロッキングする。</p> <p>機能検証のために、ハードウェア記述言語 Verilog HDL で CBNP を記述して FPGA ハードウェアエミュレータを構成し、複数のサイトで採取されたネットワークトラフィックをワイヤレートで与えてスループット評価を行った。この評価より、CBNP は、4K エントリの PLC と 1K エントリの CMH、及びアクセス網では回線速度の 1 割程度、コア網でも 4 割程度を処理できる PE を内蔵するだけで、回線速度と同じパケット処理スループットを実現できることを確認した。また、多数の PE を集積する従来型 NP と、CBNP の両者の主要構成要素の面積と消費電力の見積もりを行い、CBNP が従来型 NP に比べて半分以下の面積及び消費電力で実現できる見通しを得た。以上より、CBNP は従来型 NP よりも消費電力効率の良いアーキテクチャとして期待できる。</p>				