

主 論 文 要 旨

報告番号	甲 乙 第 号	氏 名	長谷川 揚平
主 論 文 題 目: A Study of Time-multiplexed Execution Models for Dynamically Reconfigurable Processors (動的リコンフィギュラブルプロセッサにおける時分割実行モデルに関する研究)			
(内容の要旨) 半導体集積度の向上に伴い、マイクロプロセッサや主記憶などのコンピュータの構成要素を単一の半導体チップに集積した System-on-a-Chip (SoC) が普及している。特に、携帯電話やゲーム機などの組み込み機器では、汎用プロセッサに加えて、対象用途に特化したカスタムロジックを搭載することで高速化を実現している。しかし、要求用途が多様化する一方で、カスタムロジックは再利用や標準化が難しく、用途別に様々な構成の SoC 開発が必要となる。また、半導体製造技術の微細化により、配置配線などの下流設計に要する時間と労力が開発工程上で支配的となり、SoC の少量多品種への対応が困難になっている。 カスタムロジックに代わる柔軟なハードウェアとして、Field-Programmable Gate Array (FPGA) に代表されるプログラマブル LSI が注目されている。プログラマブル LSI では、チップ製造後にユーザが内部の論理回路をプログラムすることが可能であるため、単一チップを複数用途に応用可能で、開発期間の短縮や量産によるチップコストの削減も期待できる。さらに、近年では、より面積・電力効率の向上を指向した動的リコンフィギュラブルプロセッサが登場している。 動的リコンフィギュラブルプロセッサは、4~32bit の粗粒度の Processing Element (PE) を二次元アレイ状に配置した構成をとる。また、内部にコンテキストと呼ばれる回路構成情報を複数セット保持し、これを動作中に 1 クロック程度で切替え可能な動的再構成機能を備えている。これまでに、多数の企業から独自のアーキテクチャが発表されているが、その設計空間は FPGA よりも広く、対象用途に応じたアーキテクチャ設計の方法論や指針は未だ確立されていない。 そこで本研究では、動的リコンフィギュラブルプロセッサの動的再構成に基づく時分割実行方式による性能、面積、消費電力のトレードオフを定量的に解析し、アーキテクチャ設計の指針を見出すことを目的とする。まず、NEC エレクトロニクス社の Dynamically Reconfigurable Processor (DRP) を対象として、コンテキストレベルの時分割実行方式をモデル化し、PE アレイサイズと性能、面積、消費電力のトレードオフを評価する。また、対象問題の並列性をもとに、面積効率・電力効率を最適化する PE アレイサイズを予測する手法を提案する。評価結果より、提案する予測手法は、予測が困難なケースがいくつか確認されたが、面積効率を最適化する PE アレイサイズは正確に見積ることが可能であった。また、要求に応じて柔軟にタスクを切替えるタスクレベルの時分割実行モデルを検討し、実際に応用例を実装してトレードオフの解析を行った。 最後に、2 つの時分割実行モデルを実現する動的リコンフィギュラブルプロセッサ MuCCRA-1 を、ローム社の 180nm CMOS 技術を用いて実装し、必要面積および性能の評価を行った。MuCCRA-1 は 5mm 角のダイ上に 4 x 4 24bit PE アレイと、4 つの乗算器と 4 つの分散メモリをもつ。また、各 PE は 64 コンテキスト保持可能なメモリをもち、カウンタベースの制御によってコンテキストの切替えを行う。さらに、仮想ハードウェア機構を備え、PE アレイの動作と独立してタスク切替えが可能である。評価結果より、時分割実行を実現する制御機構に要する面積は全体の約 1.3% で小さなオーバーヘッドであったが、一方で PE あたりのコンテキストメモリの面積は PE 全体の約半分で、大きな割合を占めることがわかった。			