

## 主 論 文 要 旨

報告番号	甲 第 号	氏 名	後 藤 剛
主 論 文 題 目 : プラズマを用いたポリシリコンゲート電極の微細加工の研究			
(内容の要旨) CMOSロジックLSIに使われている高速トランジスタ量産のためには、プラズマによるゲートエッチングではゲート長のばらつきは最大限抑制され、プラズマチャージングによるゲートの形状異常は最大限抑制されなければならない。SO <sub>2</sub> /O <sub>2</sub> 混合ガスのレジストトリミングプラズマでのモデルベースのアドバンスドプロセスコントロールを使い、ゲート長のばらつきの抑制に関する研究を行った。またゲートの異常形状の原因とされるプラズマチャージングのチャージング電圧をその場計測し、プラズマチャージングのメカニズムを解析した。 第1章は序論で、ゲート長 100 nm 以下のトランジスタのゲート加工の現状、本研究の動機と課題を示す。 第2章は本研究で用いたゲートエッチャーの構造、ゲート長 100 nm 以下のポリシリコンゲートエッチングプロセスのフロー、そしてレジストトリミングの O <sub>2</sub> プラズマへの SO <sub>2</sub> ガス添加効果を説明する。SO <sub>2</sub> ガスを O <sub>2</sub> ガスのレジストトリミングプラズマに添加すると、孤立配置と密集配置のレジストパターンのトリミング量の差(疎密差)が改善されることを示す。 第3章はパターンレイアウトに悪影響を与えない、ロット単位でゲート長のばらつきを抑制するための、新しいアドバンスドプロセスコントロール(APC)技術を示す。プロセスモデルはゲート長のエッチングシフト量を SO <sub>2</sub> /O <sub>2</sub> ガス混合比で調整するモデルで、±6 nm の制御レンジを持ち、疎密差のパラメータによる変動レンジは±1 nm 以下である。APC 技術を量産ラインに適用した結果、エッチング前のレジストパターン幅の分布が広がり 9.08 nm、ばらつき 1σ 2.0 nm であったのが、エッチング後のポリシリコン幅の分布が広がり 2.59 nm、ばらつき 1σ 0.55 nm となり、ねらい値から±1 nm に収まるロットの割合が全ロットの 92 %となった。このときプロセスモデルの変動をパイロットウェハのエッチングシフト量でフィードバック補償したが、そのフィードバックの予測誤差は 1σ 0.5 nm であり、この予測誤差が APC システムの誤差の大半を占めることがわかった。 第4章は SO <sub>2</sub> /O <sub>2</sub> 混合ガスの ICPプラズマと被エッチング物であるレジストの表面化学組成のその場計測を示す。SO <sub>2</sub> /O <sub>2</sub> 混合比を振ってレジストパターン幅のエッチングシフト量とプラズマ中の反応生成物、そしてレジスト表面の化学組成を調べた。SO <sub>2</sub> の割合を増加させると、レジストパターン幅のエッチングシフト量は減少し、レジスト表面の高次に酸化された硫黄の量は増大した。レジスト表面の硫黄酸化物がエッチング側壁保護膜として働き、硫黄の量の増加がエッチングシフト量の減少の原因であると考えられる。 第5章はプラズマに接する微細な絶縁物微細パターンを介して流れたプラズマからの電流、そして微細パターン底面のフローティング電位を in-situ で計測することによりプラズマチャージング現象を解析した結果を示す。微細パターン付のサンプルでは、プラズマから微細パターン底面へと流れる電子電流がオープンスペースよりも減少すること、そして電子電流がアスペクト比が高くなるにつれて小さくなることを観測した。アスペクト比が大きくなるにつれて電子電流が減少するため、微細パターン底面では正イオン電流がより過剰となり、微細パターン底面のオープンスペースに対するフローティング電位(チャージング電圧)がアスペクト比に対して増加した。チャージング電圧は電子温度に対して増加したが(2 - 4 eV)、この増加は主として電子温度の増加によるパターン側壁の電位が負にシフトしたことによると考えられる。プラズマチャージングの効果を緩和する最も有効な手段は電子温度を下げることでありと結論できる。 第6章は結論であり、本研究における成果を要約した。 以上			