

# 主 論 文 要 旨

報告番号	乙 第	号	氏 名	豊田 善章
主論文題目：				
低温ポリシリコン TFT の電氣的ストレス劣化特性に関する研究				
<p>(内容の要旨)</p> <p>多機能携帯(スマートフォン)などの普及に伴い、高精細ディスプレイの需要が高まっている。低温ポリシリコン(poly-Si) TFT は、移動度がアモルファスシリコンよりも2桁以上高く、このため TFT を用いて画素と周辺回路を同一ガラス基板上に形成することにより周辺 LSI 数を削減でき、高精細ディスプレイに適したデバイスである。しかし、プロセス温度を 600 以下にする必要があり、ゲート酸化膜とチャンネルとの界面や、poly-Si 粒界に欠陥準位が数多く存在するため信頼性が低下してしまう。そこで本研究では、n チャンネルおよび p チャンネル TFT の DC/AC ストレス劣化メカニズムを解析し、実回路動作時における低温 poly-Si TFT の電氣的ストレス劣化特性を明らかにすることを目的とした。</p> <p>第 1 章に本研究の背景と従来の研究を概説した。</p> <p>第 2 章では、低温 poly-Si TFT の製造プロセスと構造を単結晶 Si MOSFET と比較し、その特徴や課題について述べた。</p> <p>第 3 章では、n チャンネル TFT の DC/AC ストレス劣化特性について述べた。SD (single drain) 構造では AC ストレスにより劣化が促進される。この劣化促進は、ゲート Low レベルにおいて欠陥準位から電子が放出されることによって DAHC (drain-avalanche hot carrier) ストレスが加速されることが原因である。一方、LDD (lightly doped drain) 構造では劣化促進は起こらず、DC-DAHC ストレスの累積による劣化が支配的であることを明らかにした。</p> <p>第 4 章では、p チャンネル TFT の DC/AC ストレス劣化特性について述べた。DC ストレスでは、poly-Si TFT の NBT (negative bias temperature) ストレス劣化特性は、単結晶 Si MOSFET と同様、水素の反応・拡散モデルで説明可能であることを示した。また AC ストレスでは、電子注入とホール注入の繰り返しにより劣化が顕在化することを示し、この劣化は電子注入により実効的なゲート電界が増加し、ホール注入に起因した NBT 劣化が加速されることが原因であることを明らかにした。</p> <p>第 5 章では、第 3 章および第 4 章で得られた劣化メカニズムの知見に基づき、CMOS インバータ動作時の TFT 劣化特性について述べた。Poly-Si TFT を高速回路に適用する場合、p チャンネル TFT の劣化を抑制することが重要であり、入力パルスの Duty 比を大きくし、NBT ストレス時間を短くする必要があることを示した。この結果に基づき、CMOS 回路を内蔵した OLED ディスプレイを試作した。</p> <p>第 6 章では、性能と信頼性を両立する技術について検討した。SELAX (selectively enlarging laser crystallization) 法が TFT 性能の向上に有効であり、電源電圧の低減により性能と信頼性を改善できることを示した。</p> <p>第 7 章に、各章で得られた内容をまとめ、本研究の成果を要約した。</p>				
				以上