

学位論文 博士(工学)

低温ポリシリコン TFT の
電氣的ストレス劣化特性に関する研究

2009年度

慶應義塾大学大学院理工学研究科

豊田善章

目次

第1章 序論

1.1 研究の背景と目的	1
1.2 本論文の構成	2
参考文献	

第2章 低温 poly-Si TFT の特徴と課題

2.1 LCD の構成	5
2.2 低温 poly-Si TFT の特徴	6
2.3 性能と信頼性の低下要因	7
2.3.1 低温プロセス	7
2.3.2 poly-Si 粒界	8
2.3.3 SOI 構造	11
参考文献	

第3章 nチャネル TFT の電氣的ストレス劣化特性

3.1 実験方法	13
3.1.1 素子構造と作製プロセス	13
3.1.2 初期特性と評価パラメータ	14
3.2 DC ストレス劣化特性	15
3.2.1 SD TFT	15
3.2.2 LDD TFT	19
3.3 AC ストレス劣化特性	19
3.3.1 AC ストレスによる劣化促進現象	19
3.3.2 AC ストレス劣化メカニズム	25
3.3.3 電子の放出時間と AC ストレス劣化特性との相関	30
3.4 nチャネル TFT の性能と信頼性の両立技術	35
3.4.1 作製プロセスと初期特性	35
3.4.2 DC ストレス劣化特性	37
3.4.3 AC ストレス劣化特性	39
3.5 まとめ	42
参考文献	

第4章 pチャンネルTFTの電氣的ストレス劣化特性

4.1	実験方法	45
4.1.1	作製プロセス	45
4.1.2	初期特性と評価パラメータ	45
4.2	DCストレス劣化特性	47
4.2.1	ホットキャリアストレス	47
4.2.2	NBTストレス	49
4.3	ACストレス劣化特性	53
4.3.1	ACストレス劣化条件	53
4.3.2	電子注入とホール注入の相互作用	60
4.3.3	ACストレス劣化メカニズム	67
4.4	pチャンネルTFTの性能と信頼性の両立技術	68
4.5	まとめ	68
	参考文献	

第5章 CMOSインバータ回路動作時のTFT劣化特性

5.1	初期特性と作製プロセス	71
5.2	評価TEGの構成	71
5.3	実験結果	74
5.3.1	温度依存性	74
5.3.2	周波数・Duty比依存性	77
5.3.3	立ち上がり・立ち下がり時間依存性	78
5.3.4	高速回路駆動方法の指針	79
5.4	OLEDパネル試作結果	83
5.5	まとめ	85
	参考文献	

第6章 TFTの高性能化による性能と信頼性の両立技術

6.1	ゲート酸化膜の薄膜化	87
6.2	poly-Si膜の高品質化	93
6.3	まとめ	98
	参考文献	

第7章 結論

7.1 本研究で得られた成果	99
7.2 今後の展開と残された課題	100
謝辞	101
本研究に関する発表論文	102

略号一覧

名称	略号
amorphous silicon	a-Si
channel hot carrier	CHC
chemical vapor deposition	CVD
cyclic deposition with O ₂ plasma treatment	C-DOP
degree of degradation enhancement	DDE
drain avalanche hot carrier	DAHC
excimer laser annealing	ELA
Fowler Nordheim	FN
gate overlapped LDD	GOLD
lightly doped drain	LDD
liquid crystal display	LCD
low-pressure chemical vapor deposition	LPCVD
negative bias temperature	NBT
organic light emitting diode	OLED
plasma enhanced chemical vapor deposition	PECVD
polycrystalline silicon	poly-Si
selectively enlarging laser crystallization	SELAX
shallow trench isolation	STI
silicon on insulator	SOI
single drain	SD
tetra ethyl ortho silicate	TEOS
thin film transistor	TFT

第 1 章 序論

1.1 研究の背景と目的

1968 年,米 RCA 社による試作発表以来,液晶ディスプレイ(LCD: liquid crystal display)は,低消費電力,薄型,軽量などの特長を活かし様々な製品に適用されている。世界初の製品はシャープの液晶電卓であり,当初,LCD の駆動は,2 枚の透明電極間に液晶を配置した単純マトリクス方式であった。その後,LCD の駆動技術は,高精細・動画表示に適したアクティブマトリクス方式へと進化し,適用製品も電卓・腕時計から,PC モニタ・大型テレビや携帯電話などに拡大した。さらに,ガラス基板サイズの大型化,生産性の向上による低コスト化に伴い LCD の普及が急速に進み,現在,液晶産業は 10 兆円規模に成長している¹⁾。

現在,多くの LCD で採用されているアクティブマトリクス方式とは,画素内にスイッチング素子として薄膜トランジスタ(TFT: thin film transistor)を配置し,各画素を独立に制御する駆動方式のことであり,TFT としては,主にアモルファスシリコン(a-Si: amorphous silicon) TFT や低温ポリシリコン(poly-Si: polycrystalline silicon) TFT が用いられている。a-Si TFT は,製造工数が少なく低コスト化が容易であることから,大型テレビやモバイル機器などに幅広く適用されている。しかしながら,モバイル機器の分野では,携帯電話によるテレビ視聴ニーズの増加や,多機能携帯(スマートフォン)などの普及に伴い高精細化の要求が高まってきており,画素への書込み能力の点で a-Si TFT では対応が困難になりつつある。高精細が進むと 1 つの画素へ画像信号を書き込む時間が短くなる。これに加え,モバイル機器は大型テレビよりも駆動電圧が低いため,a-Si TFT では所定時間内に画像信号を書き込むことができずコントラストが低下してしまう。さらに,高精細 LCD では走査線,信号線の本数が増加する。このため,周辺 LSI と走査線・信号線との接続端子数が増加し,接続ピッチが狭くなるため,LCD の機械的信頼性が低下してしまう。

一方,低温 poly-Si TFT は,(1) a-Si TFT よりも移動度が 2 桁以上高いため低電圧駆動が可能であり,十分な書込み能力を得ることができる,(2) TFT を用いて周辺駆動回路を形成することにより,画素と周辺駆動回路を同一ガラス基板上に集積できる,(3) (2)に伴い周辺 LSI との接続端子数を大幅に低減でき機械的信頼性を向上できる,などの特徴を有しており,高精細モバイル機器に適した技術である。さらに,低温 poly-Si TFT は p チャネル TFT を形成することにより CMOS 回路を構成でき,周辺回路だけでなく,メモリや様々な機能を内蔵したシステムインディスプレイのコア技術としても注目されている。

また低温 poly-Si TFT は,高移動度という特徴を活かし,LCD の他に,OLED (organic light emitting diode) ディスプレイにも適用されている。OLED ディスプレイは自発光素子であるため,バックライト,偏光板などの光学部品が必要なく,また応答速度が液晶よ

りも3桁以上速いため、LCDよりもさらに薄型で動画表示に適するといった特徴を持つ。このOLEDの発光に必要な電流をa-Si TFTで供給するのは困難であり、OLEDの駆動素子としては低温poly-Si TFTの方が適している。

このように低温poly-Si TFTは、高精細中小型LCDやOLEDディスプレイに適した技術であるが、これまでLSIを用いていた周辺回路を、TFTを用いて形成するため、TFTには高い性能とともに高い信頼性が要求される。しかし、低温poly-Si TFTは、基板としてガラスを用いるためプロセス最高温度を600以下にする必要があり、ゲート酸化膜とチャネルとの界面や、poly-Si粒界に欠陥準位が数多く形成されるため信頼性が低下してしまう。このためnチャネルTFTおよびpチャネルTFTの電氣的ストレス劣化特性について様々な報告がなされている²⁻¹²⁾。nチャネルTFTではDCホットキャリアによる移動度の顕著な劣化²⁻⁴⁾や、ゲートパルスの立ち下がり時におけるACストレス劣化現象¹¹⁾などが報告されている。しかしながら、ACストレスの劣化メカニズムについて詳細な解析はなされておらず、実回路動作時におけるTFT劣化特性も明らかにされていない。従来のa-Si TFTのように、TFTを画素のみに適用する場合、その駆動周波数は60 Hzであるが、TFTを周辺回路にも適用する場合、駆動周波数は例えば走査回路で数十kHzと高速になるため、ACストレス劣化メカニズムを解析し、実回路動作時におけるTFTの劣化特性を把握することは大変重要である。また、pチャネルTFTではDCホットキャリアやNBT(negative bias temperature)ストレスによる劣化特性⁶⁻⁹⁾が報告されているが、pチャネルTFTでは、DCホットキャリアにより見かけの移動度が向上する^{7, 12)}ため、ACストレス劣化特性の解析はあまり行われていない。

このような背景のもと、本研究では(1)nチャネルおよびpチャネルTFTのDC/ACストレス劣化メカニズムを解析し、実回路動作時における低温poly-Si TFTの電氣的ストレス劣化特性を明らかにすること、(2)劣化メカニズムの解析結果に基づき、性能と信頼性の両立技術を検討することを目的とする。

実回路動作時におけるTFTの劣化特性を解析するため、本研究では個々のTFT特性が測定可能なCMOSインバータTEGを作製し、nチャネルTFT、pチャネルTFTそれぞれについてインバータ動作時の経時劣化特性を評価した。また、システムインディスプレイを実現するためには、性能と信頼性を両立させる必要がある。このためのアプローチとして、DC/ACストレス劣化メカニズムの解析結果に基づきTFTの高信頼化を図る方法と、TFTの高性能化により電源電圧を低減し信頼性を向上するという2つの方法について検討した。

1.2 本論文の構成

本論文は全7章により構成されている。

第2章では、低温poly-Si TFTの作製プロセスと構造を単結晶Si MOSFETと比較し、性能と信頼性について、低温poly-Si TFTが有する本質的な課題を明らかにする。

第3章では n チャネル TFT の DC / AC ストレス劣化特性について述べる。SD (single drain) TFT および LDD (lightly doped drain) TFT それぞれの劣化特性を比較し、それぞれの劣化メカニズムを解析する。特に AC ストレス劣化特性では、ゲート酸化膜界面準位や poly-Si 粒界準位が AC ストレス劣化を促進させており、単結晶 Si MOSFET よりも欠陥準位密度の大きい poly-Si TFT において顕在化する劣化モードであることを示す。また、性能と信頼性を両立させるデバイスとして、GOLD (gate overlapped LDD) TFT を解析し、GOLD TFT は SD TFT 並みの高い性能と LDD TFT 以上の高い信頼性を実現でき、高速動作回路に適したデバイスであることを示す。

第4章では p チャネル TFT の DC / AC ストレス劣化特性について述べる。DC ストレスでは、ホットキャリア劣化特性に加え、NBT ストレスによる劣化特性について解析する。また AC ストレスでは、電子注入とホール注入の繰り返しにより移動度が急激に劣化することを示し、両者の相互作用の解析により劣化メカニズムを明らかにする。

第5章では、第3章および第4章で得られた劣化メカニズムの知見に基づき、CMOS インバータ動作時の TFT 劣化特性について解析する。回路設計の基本パラメータである周波数、Duty 比、立ち上がり時間、立ち下がり時間が、TFT 劣化特性に及ぼす影響を明らかにし、回路性能の劣化を抑制するための駆動方法の指針を示す。さらに、解析結果の適用事例として、CMOS 回路を内蔵した OLED ディスプレイの試作結果を述べる。

第6章では、TFT の高性能化により電源電圧を低減し、性能と信頼性を両立する技術について検討する。ゲート酸化膜の薄膜化、poly-Si 膜の高品質化それぞれについて TFT 性能の向上効果を解析し、特に poly-Si 膜の高品質化技術では、電源電圧の低減により従来 TFT と同等の信頼性と、従来 TFT 以上の性能を実現できることを示す。

第7章では、本研究で得られた結果をまとめる。

【参考文献】

- 1) 日経エレクトロニクス 創刊 1000 号記念特別編集版, 日経 BP 社, pp. 116-121, Mar. 2009.
- 2) Y. Uraoka, T. Hatayama, T. Fuyuki, T. Kawamura, and Y. Tsuchihashi, "Analysis of hot carrier effects in low-temperature poly-Si TFTs using device simulator," in *Proc. IEEE Int. Conference on Microelectronic Test Structures*, pp. 251-256, Mar. 2001.
- 3) S. Inoue and T. Shimoda, "Investigation of the relationship between hot-carrier degradation and kink effect in low-temperature poly-Si TFTs," in *SID 99 Digest*, 1999, pp. 452-455.

- 4) F. V. Farmakis, J. Brini, G. Kamarinos, and C. A. Dimitriadis, "Anomalous turn-on voltage degradation during hot-carrier stress in polycrystalline silicon thin-film transistors," *IEEE Electron Device Lett.*, vol. 22, pp. 74-76, Feb. 2001.
- 5) F. V. Farmakis, C.A. Dimitriadis, J. Brini, and G. Kamarinos, "Effects of hydrogenation on the performance and hot-carrier endurance of polysilicon thin-film transistors," *IEEE Electron Device Lett.*, vol. 22, pp. 83-85, Feb. 2001.
- 6) N. A. Hastas, C. A. Dimitriadis, J. Brini, and G. Kamarinos, "Hot-carrier-induced degradation in short p-channel non-hydrogenated polysilicon thin-film transistors," *IEEE Trans. Electron Devices*, vol. 49, pp. 1552–1557, Sep. 2002.
- 7) Y. Uraoka, Y. Morita, H. Yano, T. Hatayama, and T. Fuyuki, "Gate length dependence of hot carrier reliability in low-temperature polycrystalline-silicon p-channel thin film transistors," *Jpn. J. Appl. Phys.*, vol. 41, pp. 5894–5899, Oct. 2002.
- 8) N. D. Young and J. R. Ayres, "Negative gate bias instability in polycrystalline silicon TFTs," *IEEE Trans. Electron Devices*, vol. 42, pp. 1623-1627, Sep. 1995.
- 9) N. Bhat, M. Cao, and K. C. Saraswat, "Bias temperature instability in hydrogenated thin-film transistors," *IEEE Trans. Electron Devices*, vol. 44, pp. 1102-1107, Jul. 1997.
- 10) K. M. Chang, Y. H. Chung, G. M. Lin, C. G. Deng, and J. H. Lin, "Enhanced degradation in polycrystalline silicon thin-film transistors under dynamic hot-carrier stress," *IEEE Electron Device Lett.*, vol. 22, pp. 475-477, Oct. 2001.
- 11) Y. Uraoka, N. Hirai, H. Yano, T. Hatayama, and T. Fuyuki, "Hot carrier analysis in low-temperature poly-Si TFTs using picosecond emission microscope," *IEEE Trans. Electron Devices*, vol. 51, pp. 28-35, Jan. 2004.
- 12) Y. Uraoka, H. Yano, T. Hatayama, and T. Fuyuki, "Hot carrier effect in low-temperature poly-Si p-ch thin-film transistors under dynamic stress," *Jpn. J. Appl. Phys.*, vol. 41, pp. L13–L16, 2002.

第2章 低温 poly-Si TFT の特徴と課題

ディスプレイのバックプレーンである低温 poly-Si TFT の作製プロセスは、単結晶 Si MOSFET とは大きく異なる。これは、TFT をガラス基板上に形成するためであり、600 以下の低温において poly-Si 膜を得るためにレーザー照射による結晶化を行うなど、特徴的なプロセスも多い。本章では、まず始めに TFT の代表的な適用製品である LCD の構成を示し、TFT の基板としてガラスが用いられている理由を説明する。さらに、単結晶 Si MOSFET との比較により、低温 poly-Si TFT のプロセスの特徴について述べ、これらの特徴が低温 poly-Si TFT の性能と信頼性に与える影響を明らかにする。

2.1 LCD の構成

図 2.1 に LCD の断面図を示す¹⁾。LCD は、液晶が封入された 2 枚のガラス基板と、ガラス基板の上下に配置された偏光板、さらにバックライトなどで構成される。TFT はこの 2 枚のガラス基板の一方に形成されている。このガラス基板には TFT の他に走査線、信号線、画素電極などが形成されており、TFT アレイ基板とも呼ばれる。また、他方のガラス基板には、共通電極やカラーフィルタなどが形成されている。TFT を介して信号電圧を画素電極に印加すると、画素電極と共通電極との間の電界により液晶の配向状態が変化する。これを利用してバックライトからの光の透過/非透過を制御し画像を表示する。

このように、LCD ではバックライトからの光を透過させるため透明性に優れ、比較的安価でサイズの大型化による低コスト化が可能なガラス基板が用いられており、TFT のプロセス最高温度はガラスの歪点である 600 以下にする必要がある。

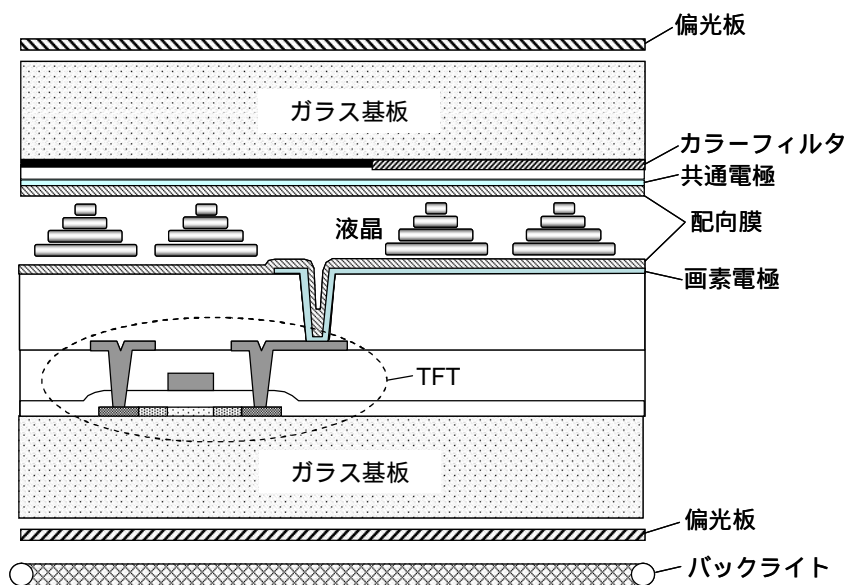


図 2.1 LCD 断面図

2.2 低温 poly-Si TFT の特徴

表 2.1 に低温 poly-Si TFT の作製プロセスを、単結晶 Si MOSFET と比較した結果を示す。また、図 2.2 に単結晶 Si MOSFET と比較した低温 poly-Si TFT の特徴を示す。これらの特徴は、低温 poly-Si TFT の性能と信頼性を低下させる要因であり、低温 poly-Si TFT が有する本質的な課題である。低温 poly-Si TFT はガラス基板を用いるため、プロセス温度は 600 以下の低温にしなければならない。このため、ゲート絶縁膜は熱酸化膜ではなく CVD (chemical vapor deposition) 法で形成されており、ゲート酸化膜とチャネルとの界面やゲート酸化膜中に数多くの欠陥準位が存在する。

また、ELA (excimer laser annealing) 法²⁾により a-Si 膜の結晶化を行うため、図 2.3 に示すようにチャネル内には結晶粒がランダムに存在する。ここで ELA 法とは、波長 308 nm のエキシマレーザを a-Si 膜に照射して結晶化させる方法であり、パルスレーザ光を a-Si 膜の表面で吸収させ、瞬間的に熔融して凝固させるため、図 2.3 に示したように表面の凹凸も大きく、チャネル内に poly-Si 粒界がランダムに形成される。この poly-Si 粒界にキャリアが捕獲されることによりエネルギー障壁が形成され、TFT の性能を低下させてしまう。

さらに、TFT が絶縁性基板上に形成されている SOI (silicon on insulator) 構造であるため寄生バイポーラ動作³⁾が起こりやすい。寄生バイポーラ動作が起こるとストレス時のドレイン電流が指数関数的に増加するためホットキャリアが増加し、信頼性を低下させてしまう。以下、それぞれの特徴が低温 poly-Si TFT の性能と信頼性に与える影響について詳しく述べる。

表 2.1 低温 poly-Si TFT と単結晶 Si MOSFET の作製プロセスの比較

プロセス	低温 poly-Si TFT	単結晶 Si MOSFET
基板	ガラス	Si
チャネル	poly-Si 薄膜 (a-Si 成膜+ELA)	単結晶 Si
素子分離	poly-Si 島状加工	STI*
ゲート絶縁膜	PE-CVD (400 以下)	熱酸化膜 (900 以上)
ゲート電極	メタル	poly-Si + イオン打込み
ソース・ドレイン形成	イオン打込み	イオン打込み
不純物活性化	炉アニール (600 以下)	スパイクアニール (1000 以上)

* shallow trench isolation

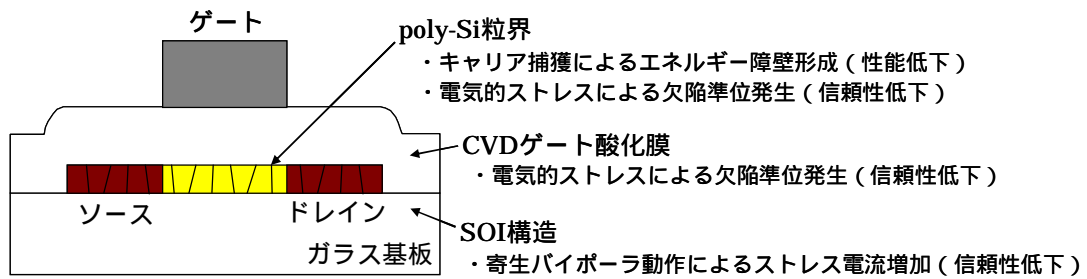


図 2.2 単結晶 Si MOSFET と比較した低温 poly-Si TFT の特徴

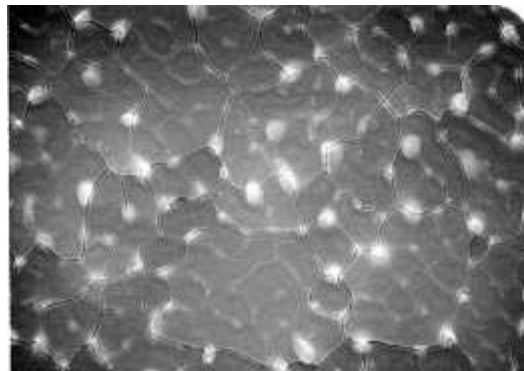


図 2.3 ELA 法により結晶化した poly-Si 膜表面の SEM 写真

2.3 性能と信頼性の低下要因

2.3.1 低温プロセス

単結晶 Si MOSFET は、900 以上の熱酸化によりゲート酸化膜を形成しているのに対し、低温 poly-Si TFT はガラス基板を用いるため CVD 法によりゲート酸化膜を形成している。このため、ゲート酸化膜とチャネルとの界面に Si の未結合手など数多くの欠陥準位が存在する。また、プロセス温度が 600 以下の低温であるため、poly-Si 粒界にも欠陥準位や弱い Si-Si 結合が存在する。これらの欠陥準位の一部は水素化処理により終端できるが、Si-H 結合や弱い Si-Si 結合は電気的ストレス時のホットキャリア注入により切断されやすく TFT 特性の劣化要因となる。従って、ゲート酸化膜界面および poly-Si 粒界の欠陥準位密度や欠陥準位のエネルギー分布について調べることは、低温 poly-Si TFT の初期特性や信頼性を解析する上でも重要であり、Levinson 法⁴⁾や F-E (field-effect)法⁵⁾、C-V 法と I-V 特性の組み合わせによる方法⁶⁾などが提案されている。

我々の研究グループにおいても、本論文と同じプロセスで作製した TFT を用いてゲート酸化膜界面および poly-Si 粒界の欠陥準位密度の解析を行った。松村らの報告⁷⁾によると、ゲート酸化膜界面準位密度 D_{IT} のエネルギー分布は図 2.4 に示すように U 字型をしており、 D_{IT} はミッドギャップ近傍において $8.4 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 、また poly-Si 粒界の欠陥準位密度 Q_{GB} は $5.1 \times 10^{11} \text{ cm}^{-2}$ (単位チャネル面積あたりに換算すると $1.0 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$) と単結晶 Si MOSFET ($\sim 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$) よりも多いことが示されている。

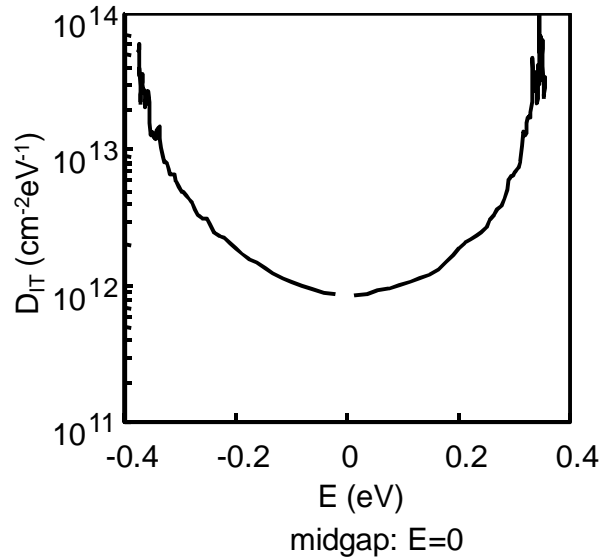


図 2.4 D_{IT} のエネルギー分布⁷⁾

表 2.2 ゲート酸化膜および poly-Si 粒界の欠陥準位密度⁷⁾

$D_{IT} (\text{cm}^{-2} \text{eV}^{-1})$	$Q_{GB} (\text{cm}^{-2})$	$D_{GB} (\text{cm}^{-2} \text{eV}^{-1})^*$
8.4×10^{11}	5.1×10^{11}	1.0×10^{11}

* Q_{GB} を単位チャネル面積あたりに換算

2.3.2 poly-Si 粒界

図 2.5 に poly-Si 粒界近傍における電荷分布とバンド図を示す⁴⁾。図 2.5 は n チャネル TFT の例を示しており、図 2.5(c) の縦軸は、電子のエネルギーを示している。ゲートに正電圧を印加するとチャネルに電子が誘起され、この一部が粒界に捕獲される。粒界に電子が捕獲されると、図 2.5(c) に示すようにエネルギー障壁が形成されるため、電子の移動の妨げになり TFT の性能が低下してしまう。

エネルギー障壁とチャネル内に誘起された電子濃度との関係式を以下に示す。解析を簡単にするため、結晶粒の長さを $L_c(\text{cm})$ 、粒界の幅は L_c に比べて無視できるほど小さいものとし、結晶粒内に欠陥準位は無いものとする。また、チャネル内に誘起された電子の密

度を N (cm^{-3})、粒界の欠陥準位密度を Q_{GB} (cm^{-2}) とする。粒界から $(L_C/2 - w)$ (cm) の範囲内にある電子は粒界に捕獲され空乏層を形成しているとし、この時のエネルギー障壁を 1 次元のポアソン方程式を用いて計算する⁸⁾。空乏層内 ($w < |x| < L_C/2$) におけるポアソンの方程式は

$$\frac{d^2V}{dx^2} = \frac{qN}{\epsilon} \quad (2-1)$$

(2-1)式を x について 2 回積分し、境界条件 ($x = w$ において $dV/dx=0$) より

$$V(x) = (qN / 2\epsilon)(x - w)^2 + C \quad (2-2)$$

ここで、 $L_C N < Q_{GB}$ の場合、粒界の欠陥は電子で満たされておらず、結晶粒は完全に空乏化している。従って $w = 0$ であり、(2-2)式は

$$V(x) = (qN / 2\epsilon)x^2 + C \quad (2-3)$$

となる。従って、エネルギー障壁 V_B は、 $V(0)$ と $V(L_C/2)$ の差となり(2-3)式より

$$V_B = qL_C^2 N / 8\epsilon \quad (2-4)$$

となる。一方、 $L_C N > Q_{GB}$ の場合、 V_B は $V(w)$ と $V(L_C/2)$ の差であり、(2-2)式より

$$V_B = (qN / 2\epsilon)(L_C / 2 - w)^2 \quad (2-5)$$

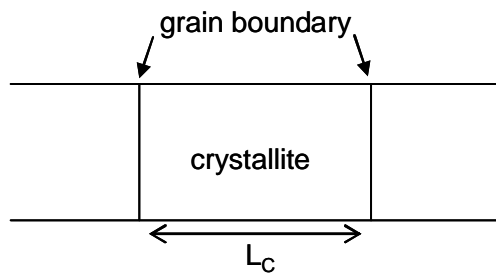
ここで、空乏層内の電子は全て粒界準位に捕獲されているので、

$$Q_{GB} = 2N(L_C / 2 - w) \quad (2-6)$$

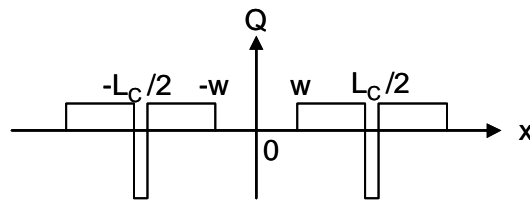
(2-6)式を(2-5)式に代入して、

$$V_B = qQ_{GB}^2 / 8\epsilon N \quad (2-7)$$

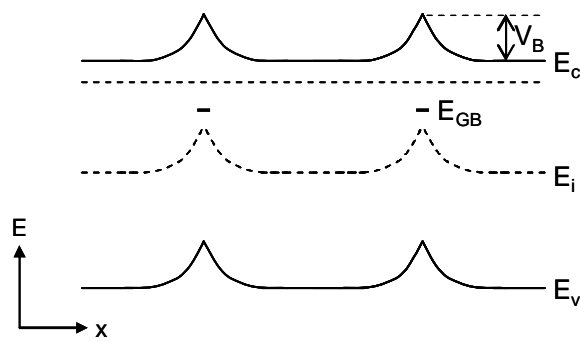
となる。電子濃度 N とエネルギー障壁 V_B の関係を図 2.6 に示す。 $N < Q_{GB}/L_C$ ではチャネルは完全に空乏化しており、 V_B は N に比例して増加する。 V_B は $N = Q_{GB}/L_C$ ($w=0$) で最大となり、 $N > Q_{GB}/L_C$ では、空乏層幅が N に反比例して狭くなるとともに、 V_B も N に反比例して低下する。



(a) 結晶構造



(b) 電荷分布



(c) エネルギーバンド構造

図 2.5 poly-Si 粒界への電子トラップモデル⁴⁾

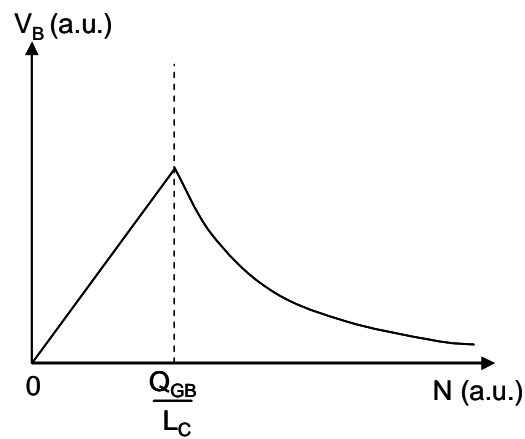


図 2.6 電子密度 N とエネルギー障壁 V_B との関係

2.3.3 SOI 構造

図 2.2 に示したように、低温 poly-Si TFT の構造上の特徴は、チャンネル部が絶縁膜により分離されている完全素子分離構造であり、単結晶 SOI MOS と同一構造である。そのため、単結晶 SOI MOS で問題となる基板フロートに基づく寄生バイポーラ動作が起こる。この寄生バイポーラ動作の原理を図 2.7 を用いて説明する。

図 2.7 は、ドレイン電圧がゲート電圧よりも十分に高い状態（飽和状態）における TFT 断面図を示している。チャンネルはピンチオフしており、ドレイン端に高電界領域が発生している。ソースから注入された電子は、この高電界領域においてエネルギーを得てホットになり、衝突電離（インパクトイオン化）を引き起こし、電子・ホール対が発生する（図 2.7(a)）。発生した電子はドレイン側に引き寄せられるが、ホールはソース側に移動し、チャンネル内部に蓄積され、チャンネル電位が上昇する（図 2.7(b)）。これにより、チャンネル（p 型領域）とソース（n 型領域）が順方向にバイアスされるとともに、チャンネルをベース、ソースをエミッタ、ドレインをコレクタとする寄生バイポーラトランジスタが形成され、ソースから注入される電子が増幅される（図 2.7(c)）。電子注入が増幅されるとインパクトイオン化がさらに促進され、正のフィードバックが働き、ドレイン電流が指数関数的に増加する。

このように寄生バイポーラ動作が起こると、インパクトイオン化により発生する電子・ホール対が増加するとともにホットキャリアが増加するため、ゲート酸化膜界面や poly-Si 粒界において欠陥準位が発生し TFT 特性が劣化する。

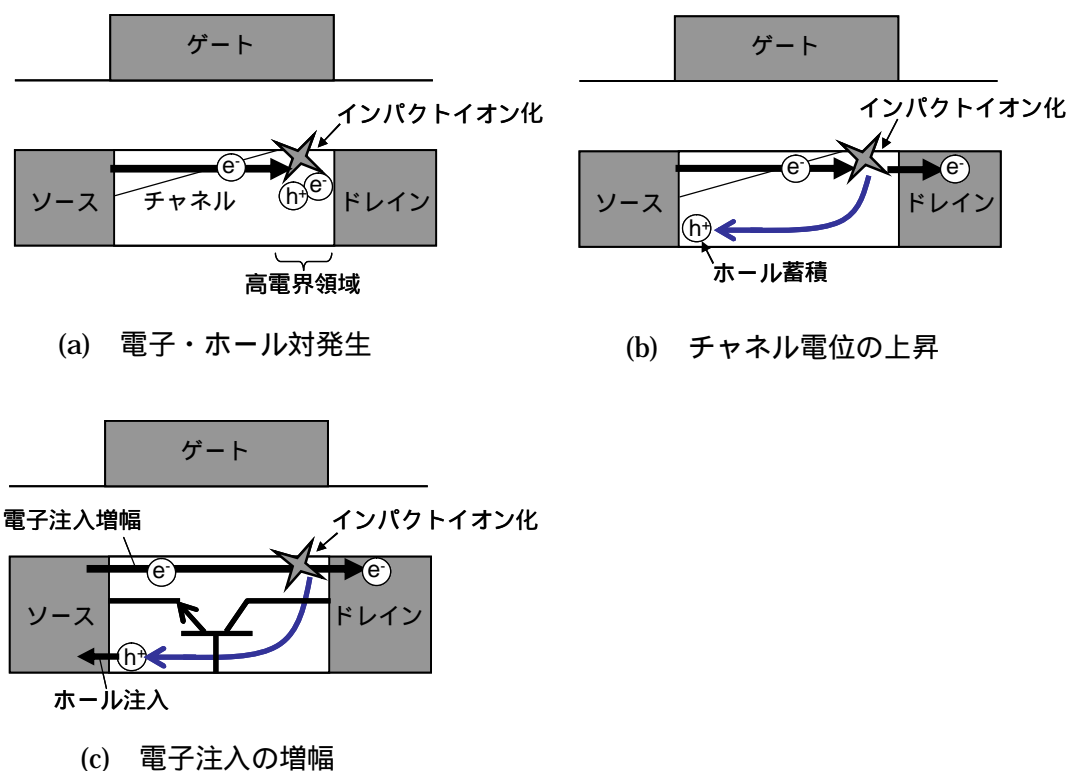


図 2.7 寄生バイポーラ動作の原理

【参考文献】

- 1) 山崎照彦, 川上英昭, 堀浩雄 監修, “カラーTFT液晶ディスプレイ” 共立出版株式会社, pp. 133-143, 1996.
- 2) H. Hayashi, M. Kunii, N. Suzuki, Y. Kanaya, M. Kuki, M. Minegishi, T. Urazono, M. Fujino, T. Noguchi, and M. Yamazaki, “Fabrication of low-temperature bottom-gate poly-Si TFTs on large-area substrate by linear-beam excimer laser crystallization and ion doping method,” in *Proc. Int. Electron Device Meeting*, 1995, pp. 829-832.
- 3) J. B. Kuo and K.-W. Su, *CMOS VLSI Engineering Silicon-on-Insulator (SOI)*. Norwell, MA: Kluwer, 1995, pp. 270-278.
- 4) J. Levinson, F. R. Shepherd, P. J. Scanlon, W. D. Westwood, G. Este, and M. Rider, “Conductivity Behavior in Polycrystalline Semiconductor Thin Film Transistors,” *J. Appl. Phys.*, vol. 53, pp. 1193-1202, Feb. 1982.
- 5) G. Fortunato and P. Migliorato, “Determination of gap state density in polycrystalline silicon by field-effect conductance,” *Appl. Phys. Lett.*, vol. 49, pp. 1025-1027, Oct. 1986.
- 6) M. Kimura, R. Nozawa, S. Inoue, T. Shimoda, B. O.-K. Lui, S. W.-B. Tam, and P. Migliorato, “Extraction of trap states at the oxide-silicon interface and grain boundary for polycrystalline silicon thin-film transistors,” *Jpn. J. Appl. Phys.*, vol. 40, pp. 5227-5236, Sep. 2001.
- 7) M. Matsumura, M. Hatano, T. Kaitoh, and M. Ohkura, “Subthreshold properties of TFTs with laser-crystallized laterally grown polysilicon layers,” *IEEE Electron Device Lett.*, vol. 27, pp. 278-280, Apr. 2006.
- 8) J. Y. W. Seto, “The electrical properties of polycrystalline silicon films,” *J. Appl. Phys.*, vol. 46, pp. 5247-5254, Dec. 1975.

第3章 nチャネルTFTの電氣的ストレス劣化特性

nチャネルTFTは、LCDの画素TFTや周辺駆動回路に適用されており、一般に、オフ電流の低減や信頼性の向上を目的としてLDD (lightly doped drain) 構造が採用されている。本章では、SD (single drain) TFT、LDD TFTそれぞれのDC/ACストレス劣化特性を比較し、その結果に基づきnチャネルTFTの電氣的ストレス劣化メカニズムについて解析する。特にACストレス信頼性では、ゲート酸化膜界面やpoly-Si粒界の欠陥準位から放出される電子が劣化を促進させる原因となっており、単結晶Si MOSFETよりも欠陥準位密度の大きいpoly-Si TFTにおいて顕在化する劣化モードであることを示す。さらに、性能と信頼性を両立させるデバイス構造としてGOLD (gate overlapped LDD) 構造のDC/ACストレス劣化特性を解析し、GOLD TFTは、SD TFT並みの高い性能とLDD TFT以上の高い信頼性を実現でき、高速動作回路に適したデバイスであることを示す。

3.1 実験方法

3.1.1 素子構造と作製プロセス

図3.1に作製したSD TFT、LDD TFTそれぞれの断面構造を示す。LDD TFTは、チャネル領域とソース・ドレイン領域との間に低濃度不純物領域(n領域)を有しており、ドレイン端近傍の電界緩和により、SD TFTよりもオフ電流を低減でき、信頼性を向上できるといった特徴を有する。これらSD TFT、LDD TFTの作製プロセスを図3.2を用いて説明する。

石英基板上にLPCVD (low-pressure chemical vapor deposition) により50 nmのa-Si膜を形成する(図3.2(a))。さらに、波長308 nmのXeClエキシマレーザを照射しa-Siを結晶化させpoly-Si膜を得る(図3.2(b))。poly-Si膜を島状に加工した後、400 以下のPECVD (plasma enhanced chemical vapor deposition) 法により100 nmのゲート酸化膜を形成する(図3.2(c))。このゲート酸化膜は、TEOS (tetra ethyl ortho silicate) とO₂の混合ガスを原料としたP-TEOS膜である。ゲート電極(TiW)を形成の後、ゲート電極をマスクとしてイオン打ち込みにより低濃度($2 \times 10^{12} \text{ cm}^{-2}$)のリンイオンを打ち込む。さらにLDD領域にレジストを形成し、高濃度($1 \times 10^{15} \text{ cm}^{-2}$)のリンイオンを打ち込み、ソース・ドレイン領域を形成する(図3.2(d))。層間絶縁膜(500 nm)を形成の後、600 5時間の活性化アニールを施す。この工程がTFT作製プロセスの最高温度となる。その後、ソース・ドレイン電極を形成し(図3.2(e))、SiNからなる保護絶縁膜を形成する(図3.2(f))。最後に、窒素雰囲気において400 1時間のアニール処理を施し、SiN膜中の水素の拡散により欠陥準位の終端化を行う。

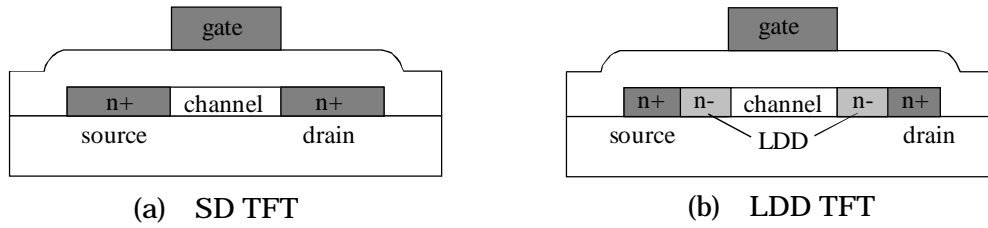


図 3.1 n チャンネル TFT の断面構造

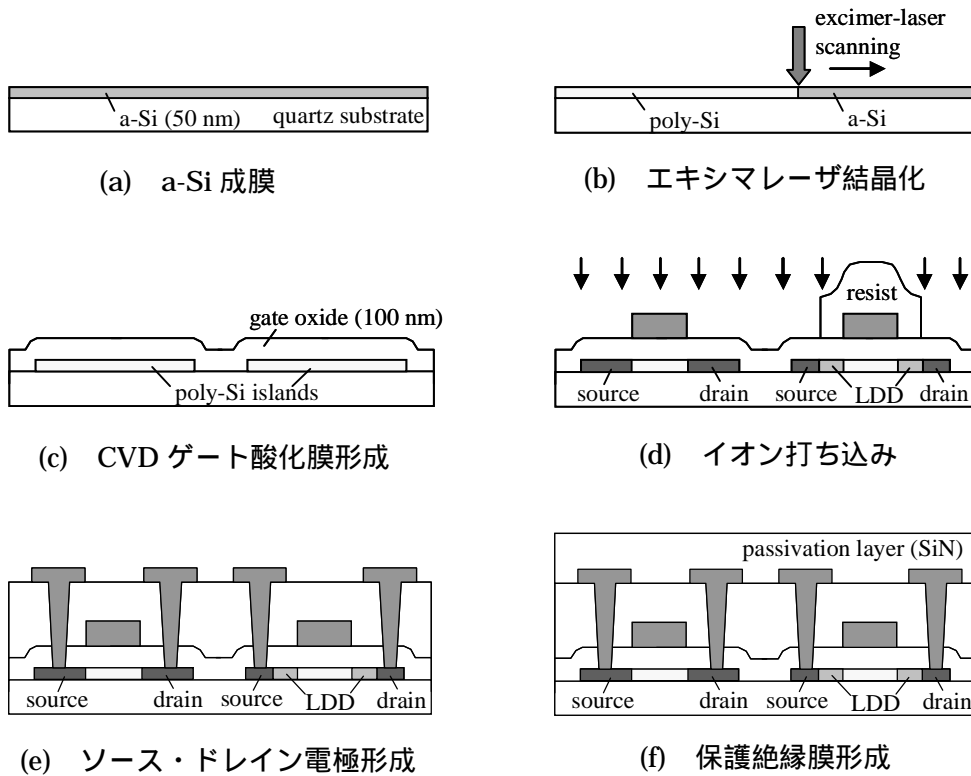


図 3.2 SD TFT, LDD TFT の作製プロセス¹⁾

3.1.2 初期特性と評価パラメータ

図 3.3 に SD TFT, LDD TFT のゲート電圧(V_g)とドレイン電流(I_d)との関係(V_g - I_d 特性)を示す。ゲート長(L)およびゲート幅(W)はともに $4 \mu\text{m}$ である。各 TFT のデバイスパラメータを表 3.1 に、各種デバイスパラメータの定義を表 3.2 にそれぞれ示す。なお、TFT の移動度は、(3-1)式を用いて線形領域($V_d=0.1 \text{ V}$)でのトランスコンダクタンス(g_m)の最大値より求めた。

$$\mu_{\text{eff}} = \frac{g_{m_max}}{C_{\text{ox}} \frac{W}{L} V_d} \quad (3-1)$$

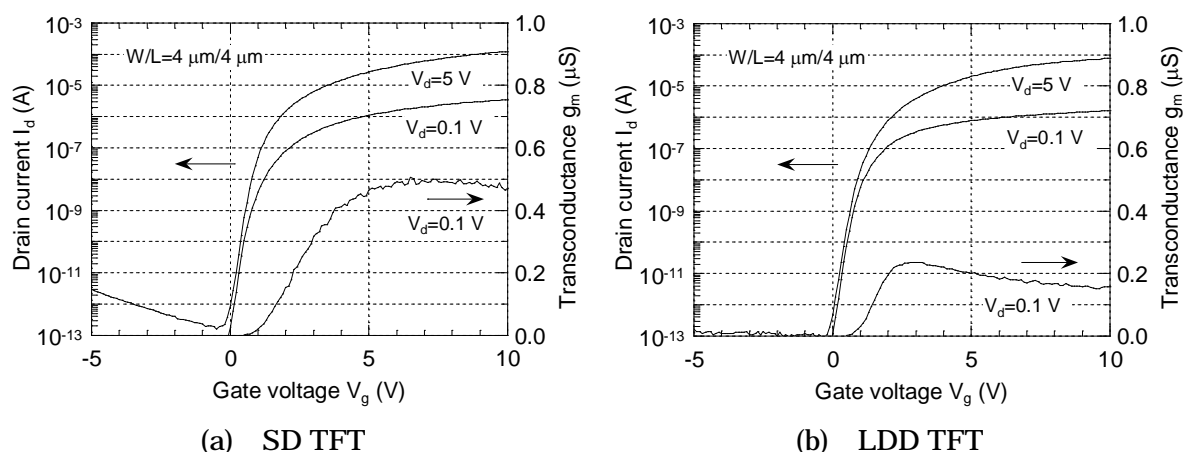


図 3.3 SD TFT, LDD TFT の V_g - I_d 特性

表 3.1 SD TFT , LDD TFT のデバイスパラメータ

TFT Type	移動度(cm^2/Vs)	V_{th} (V)	S (V/decade)
SD TFT	150	1.2	0.19
LDD TFT	68	1.1	0.20

表 3.2 各種デバイスパラメータの定義

項目	測定条件
オン電流 I_{ON} (A)	$V_g=6$ V, $V_d=0.1$ V
しきい値電圧 V_{th} (V)	$V_d=0.1$ V, $I_d=10$ nA
相互コンダクタンス g_m (S)	$\Delta I_d/\Delta V_g$, $V_d=0.1$ V
S値 (V/decade)	$\Delta V_g/\Delta \log(I_d)$, $V_d=0.1$ V

3.2 DC ストレス劣化特性

3.2.1 SD TFT

図 3.4(a)に DC ストレスによる SD TFT の I_{ON} 劣化率($\Delta I_{ON}/I_{ON_initial}$)と V_{th} シフト(ΔV_{th})のストレス V_g 依存性を示す。ストレス V_d は 10 V である。ここで, ΔI_{ON} はストレス印加後の I_{ON} 減少値, $I_{ON_initial}$ は初期の I_{ON} 値である。図 3.4(a)より n チャネル TFT の DC ストレス劣化特性は, $V_g = V_{th}$ 近傍の DAHC (drain avalanche hot carrier) 劣化と $V_g = V_d$ の CHC (channel hot carrier) 劣化の 2 つに大別される。まず始めに DAHC ストレス劣化のメカニズムについて述べる。

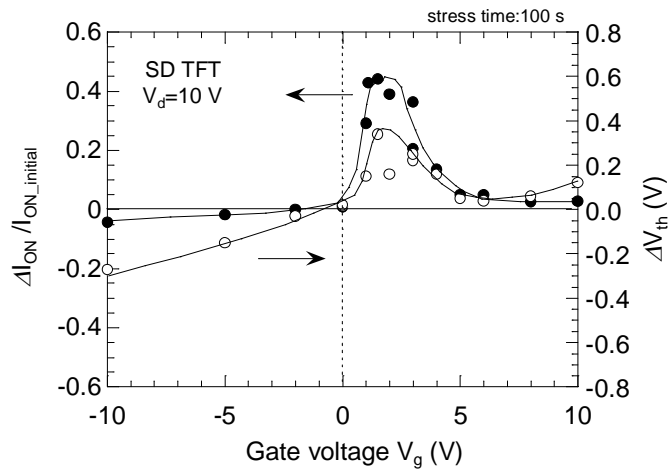
図 3.4(b)に SD TFT の I_{ON} 劣化率($\Delta I_{ON}/I_{ON_initial}$)と body 電流のストレス V_g 依存性を示す。ストレス V_d は 10 V である。body 電流は図 3.5 に示す 4 端子 TFT を用いて評価した。4 端子 TFT は, チャンネル側面部に高濃度のボロンが注入された p⁺ 端子を有しており, インパクトイオン化により発生したホール電流を観測することができる。図 3.4(b)より, $V_g=2$ V

($\sim V_{th}$)近傍において $\Delta I_{ON}/I_{ON_initial}$ が最大になっており、ほぼ同じ V_g において body 電流も最大になっている。ドレイン電圧がゲート電圧よりも十分に高い場合(飽和状態)では、チャンネルはピンチオフしており、図 3.6 に示すようにドレイン端に高電界領域が発生している。この高電界領域において、チャンネルを流れる電子がエネルギーを得てホットになり、インパクトイオン化を引き起こし電子・ホール対が発生する。body 電流はこのインパクトイオン化により発生したホール電流を観測しており、 I_{ON} 劣化率が最大となる $V_g=2$ V 近傍においてホットキャリアの発生も最大になっていると考えられる。これが単結晶 Si MOSFET で良く知られた DAHC ストレス劣化の特徴である²⁾。DAHC ストレス劣化は、電子とホールの両方が劣化に関与しており、ゲート酸化膜界面へのホットホール注入の後、ホットエレクトロンが注入されることにより、両者の再結合エネルギーで Si-H 結合などが切断され、界面準位が発生することが知られている³⁻⁴⁾。

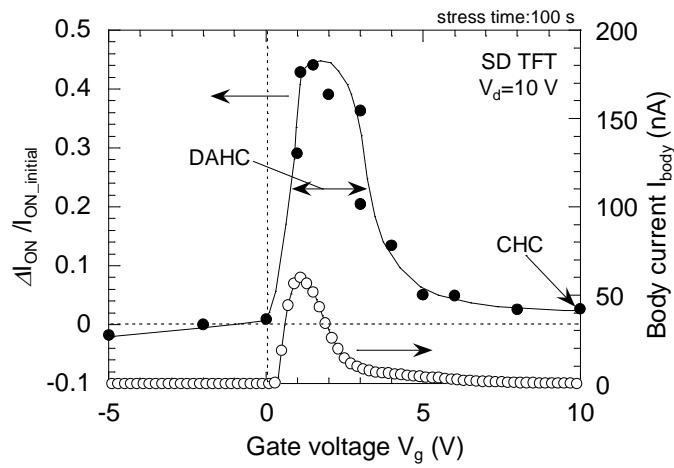
単結晶 Si MOSFET では、DAHC ストレス劣化は $V_g=V_d/2$ において最大となることが知られている⁵⁾が、図 3.4(b)では $V_d/2$ (=5 V)よりも小さいゲート電圧($V_g=2$ V)において劣化が最大となっている。この原因を調べるため SD TFT の V_d-I_d 特性を評価した。図 3.7 に示すように、 $V_g=2$ V の時、 $V_d>4$ V においてキック電流⁶⁾が観測されており、2.3.3 項で述べた寄生バイポーラ動作により I_d が指数関数的に増幅されることを示している。一方、 $V_g=8$ V ではキック電流はほとんどみられない。これは、 V_g が大きくなるほどドレイン端において発生する電界強度が小さくなるためである。従って、低温 poly-Si TFT は、SOI 構造のため寄生バイポーラ動作が起こりやすく、 $V_d/2$ よりも小さな V_g において I_d が増幅される。 V_g が小さいほどドレイン端電界が大きく、インパクトイオン化に起因したホットキャリア劣化が顕著になるため、単結晶 Si MOSFET よりも小さい V_g において劣化が最大となる。

図 3.4(c)に DAHC ストレスによる SD TFT の V_g-I_d 特性の変化を示す。S 値が大きく劣化しており、ストレスにより Si-H 結合や弱い Si-Si 結合が切断され、ミッドギャップ近傍の深いエネルギーレベルを持つ界面準位や poly-Si 粒界準位が形成されたためと考えられる。なお、図 3.4(a)において DAHC ストレス条件での V_{th} シフトが大きいのは、これはゲート酸化膜内へのホットエレクトロン注入による負の固定電荷の発生ではなく、欠陥準位の発生(S 値の劣化)が主な原因である。

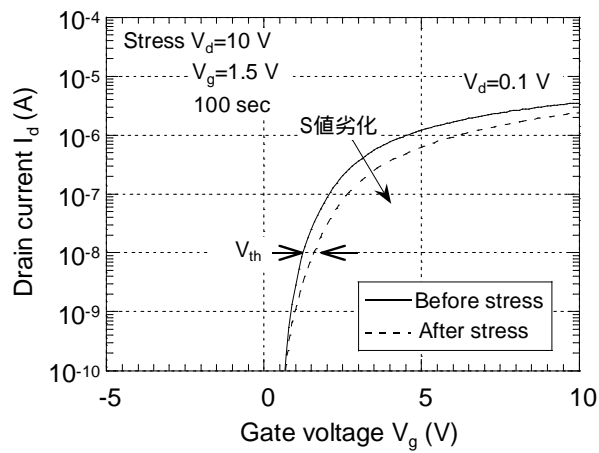
一方、CHC ストレス条件($V_g=V_d$)では I_{ON} 劣化はわずかであり、 V_{th} が正方向にシフトしている。このストレス条件では TFT はオン状態であり、チャンネル内を多数の電子が流れている。このチャンネルを流れる電子の一部が格子散乱をまぬがれて高いエネルギーを持ち(ラッキーエレクトロン)、ゲート酸化膜に注入され、酸化膜中の欠陥準位に捕獲される。これにより負の固定電荷が発生し V_{th} が正方向へシフトする。また、DAHC ストレスとは異なりゲートとドレインの電位差が小さいためドレイン端の電界強度は小さい。このため、インパクトイオン化は起こりにくく、ゲート酸化膜界面準位および poly-Si 粒界準位の発生はわずかであるため I_{ON} 劣化は小さい。



(a) I_{ON} 劣化率と V_{th} シフトのストレス V_g 依存性



(b) I_{ON} 劣化率と body 電流のストレス V_g 依存性¹⁾



(c) DAHC ストレスによる $V_g - I_d$ 特性の変化

図 3.4 SD TFT の DC ストレス劣化特性

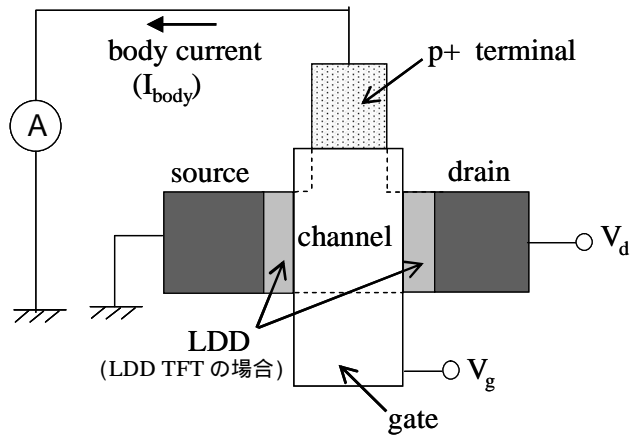


図 3.5 4 端子 TFT の平面図¹⁾

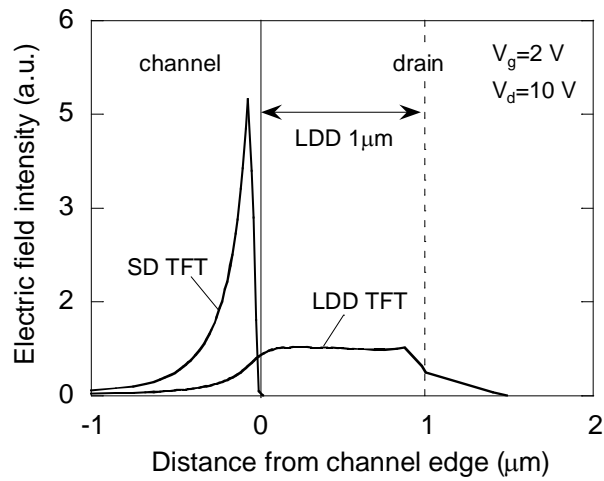


図 3.6 ドレイン端電界分布のシミュレーション結果

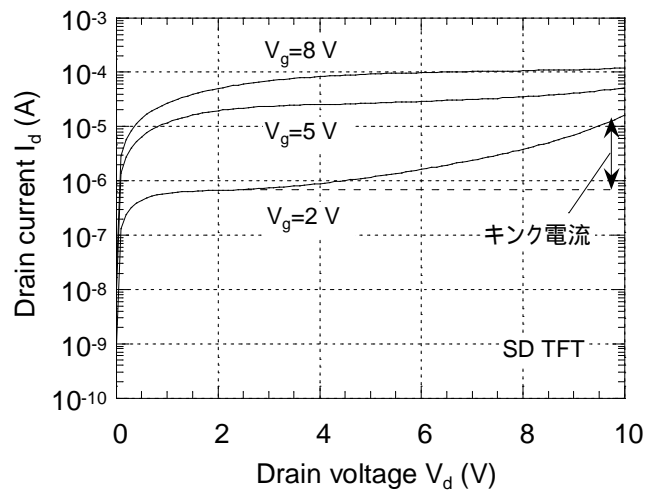


図 3.7 SD TFT の V_d - I_d 特性¹⁾

3.2.2 LDD TFT

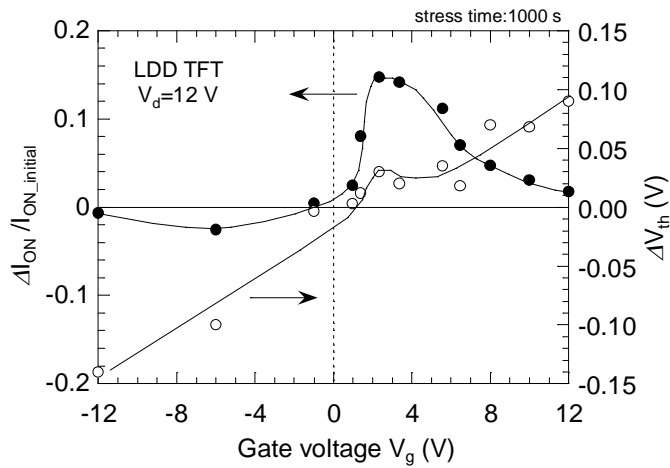
図 3.8(a)に LDD TFT の $\Delta I_{ON}/I_{ON_initial}$ と ΔV_{th} のストレス V_g 依存性を示す。ストレス V_d は 12 V である。SD TFT 同様, $V_g=2$ V 近傍において $\Delta I_{ON}/I_{ON_initial}$ が最大になっている。図 3.8(b)に LDD TFT の $\Delta I_{ON}/I_{ON_initial}$ と body 電流のストレス V_g 依存性を示す。なお, この評価ではストレス V_d は SD TFT と同じ 10 V とした。 $\Delta I_{ON}/I_{ON_initial}$ と body 電流はほぼ同じ V_g において最大になっており, SD TFT と同様 DAHC ストレスが劣化原因であると考えられるが, LDD TFT は SD TFT よりも body 電流が 4 桁小さく I_{ON} 劣化も小さい。これは, 図 3.6 に示したように, LDD TFT では空乏層が LDD 領域に広がるため, SD TFT よりもドレイン端の電界が緩和され, インパクトイオン化が起こりにくくなるためである。

図 3.8(c)に, DAHC ストレスによる LDD TFT の V_g - I_d 特性の変化を示す。SD TFT と異なり S 値の劣化はほとんど見られない。これは, 図 3.6 に示したように LDD TFT では高電界領域が LDD 領域に発生しており, ゲート酸化膜界面準位や poly-Si 粒界準位が LDD 領域内に発生するためである。LDD 領域の自由電子密度は, リンイオンから放出された電子密度により決定されるためゲート電圧により制御されにくい。このため LDD TFT では, 欠陥準位の増加は, LDD 領域の寄生抵抗の増加として TFT 特性に現れるため S 値はほとんど劣化しない。

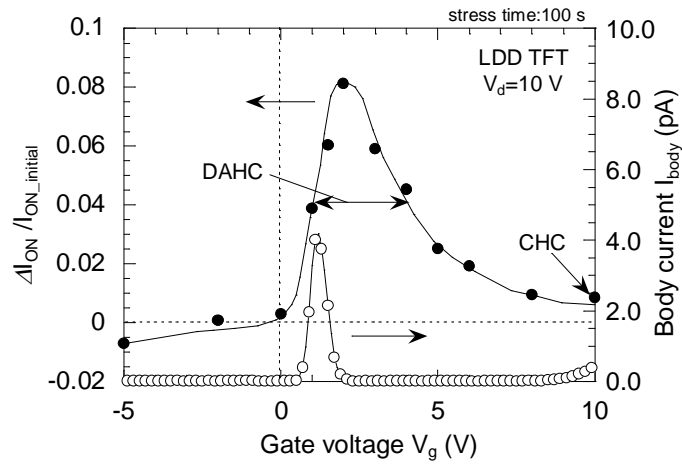
3.3 AC ストレス劣化特性

3.3.1 AC ストレスによる劣化促進現象

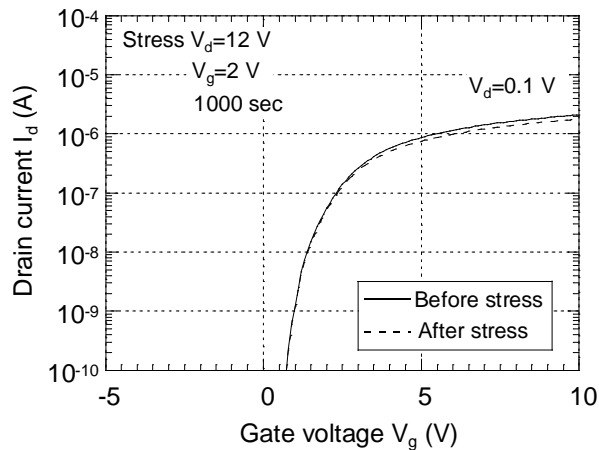
図 3.9 に AC ストレスと DC ストレス, それぞれのストレスによる SD TFT の I_{ON} 劣化率 ($\Delta I_{ON}/I_{ON_initial}$), ΔV_{th} の経時変化を示す。AC ストレスは, ゲートに図 3.10 に示すパルス電圧を印加し, ドレインにはゲート High レベルと同じ DC 電圧 ($V_d=10$ V) を印加した。DC ストレス条件は $V_g=2$ V, $V_d=10$ V (DAHC ストレス条件)である。ここで, 図 3.10 中の斜線は, DC ストレス条件において劣化が顕在化するゲートパルスの振幅の範囲を示しており, 図 3.4(b)および図 3.8(b)に示した DAHC ストレスの範囲に対応している。 V_1 と V_2 は, 図 3.4(b)および図 3.8(b)において $\Delta I_{ON}/I_{ON_initial}$ が最大値の 1/2 となる V_g で定義した。表 3.3 に SD TFT, LDD TFT それぞれの V_1 , V_2 および DAHC ストレス Duty 比(周期に占める DAHC ストレス時間の割合)を示す。DAHC ストレス Duty 比は 2%程度であるにもかかわらず, 図 3.9 に示すように AC ストレスは DC ストレスよりも急激に I_{ON} が劣化している。また, ΔV_{th} を比べると, DC ストレスでは, 0.2 秒で ΔV_{th} が正の値になる一方, AC ストレスでは, 20 秒間にわたり ΔV_{th} は負の値となっている。これは, DC ストレスよりも AC ストレスの方がホットホールの注入量が多いためと考えられ, 急激な I_{ON} 劣化の要因と考えられる。なお, 図 3.10 より, TFT にはゲート High レベルにおいて CHC ストレス($V_g=V_d=10$ V)が印加されるが, 図 3.4(b)および図 3.8(b)より CHC 条件では I_{ON} 劣化はわずかであり, CHC ストレス劣化の影響は小さいと考えられる。



(a) I_{ON} 劣化率と V_{th} シフトのストレス V_g 依存性



(b) I_{ON} 劣化率と body 電流のストレス V_g 依存性¹⁾



(c) DAHC ストレスによる V_g-I_d 特性の変化

図 3.8 LDD TFT の DC ストレス劣化特性

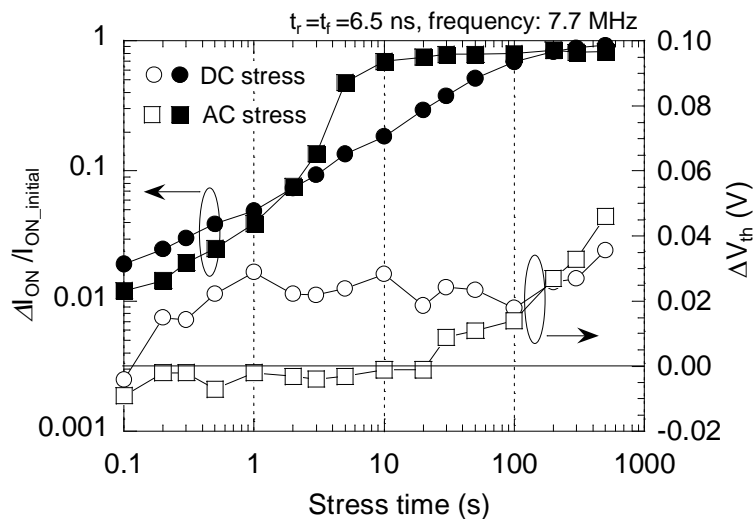


図 3.9 AC ストレス劣化特性と DC ストレス劣化特性の比較¹⁾

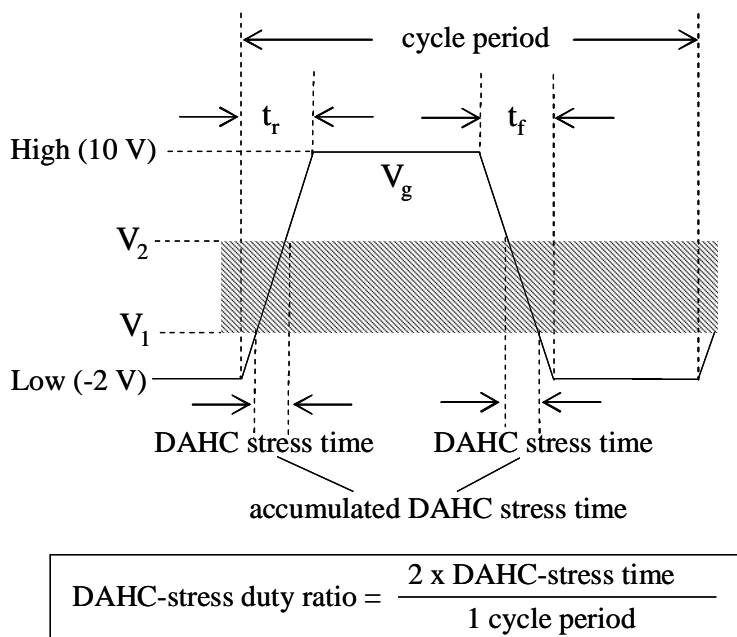


図 3.10 ゲートに印加したパルス波形¹⁾
(ドレインにはゲート High レベルと同じ DC 電圧(10 V)を印加)

表 3.3 SD TFT, LDD TFT それぞれの V_1 , V_2 および DAHC ストレス Duty 比

TFT Type	V_1 (V)	V_2 (V)	DAHC-stress duty ratio (%)
SD TFT	0.8	3.2	2.0
LDD TFT	1	4	2.5

SD TFT における AC ストレス劣化促進がゲートパルスの立ち上がり / 立ち下がり , どちらで起こるのか明らかにするため , 図 3.11 に示すストレス波形を印加し , 劣化特性を比較した。図 3.11(a) はゲートパルスの立ち下がり時に DAHC ストレスが印加され , 図 3.11(b) はゲートパルスの立ち上がり時に DAHC ストレスが印加される。それぞれの劣化特性の比較結果を図 3.12 に示す。図 3.12 の横軸は , 図 3.10 に示す累積 DAHC ストレス時間を示しており , DAHC ストレス Duty 比を用いて , AC ストレス印加時間を , 実効的な DAHC ストレス印加時間に換算したものである。また図中の × 印は , DC 電圧で DAHC ストレスを印加した場合 (DC-DAHC ストレス) の劣化特性を示す。図 3.12 より , SD TFT では図 3.11(a) のストレス波形を印加した場合 (● 印) , DC-DAHC ストレス (× 印) よりも劣化が大きく , AC ストレスによる劣化促進は , ゲートパルスの立ち下がり時に起きることがわかる。一方 , LDD TFT の場合 , 図 3.11(a) , (b) , DC-DAHC ストレスで劣化特性に差はみられない。これは , LDD TFT では AC ストレスによる劣化促進が起こりにくいことを示している。

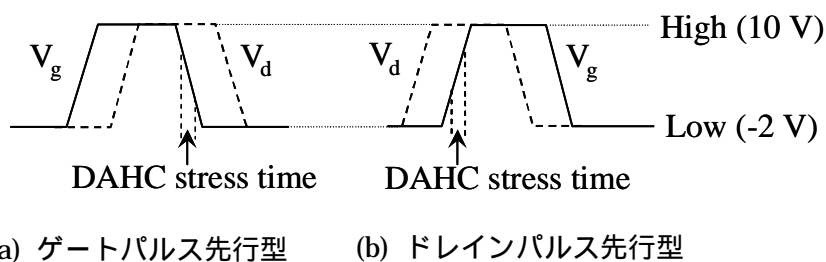


図 3.11 AC ストレス劣化促進の条件解析に用いたストレス波形¹⁾
($t_r = t_f = 100$ ns, frequency: 500 kHz)

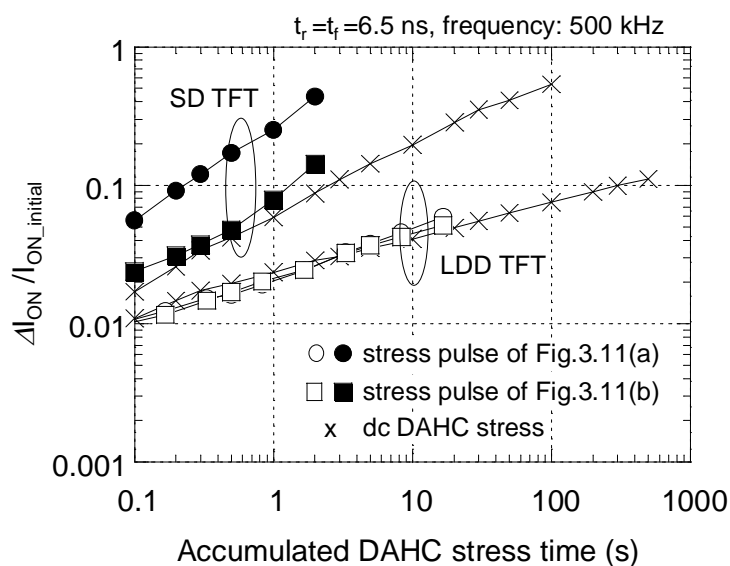


図 3.12 図 3.11 のストレスを印加した時の I_{ON} 劣化特性¹⁾

SD TFT, LDD TFT の劣化特性の違いをさらに解析するため, 以下に示す AC ストレスによる劣化促進度 (DDE: degree of degradation enhancement) を定義し, 定量評価を行った。

$$\text{DDE} = \frac{\text{AC ストレス 100 秒印加による } I_{ON} \text{劣化}}{\text{DAHC ストレスの累積による } I_{ON} \text{劣化}} \quad (3-2)$$

ここで分母は, AC ストレス 100 秒間における累積 DAHC ストレス時間を算出し, その時間 DC-DAHC ストレスを印加した時の I_{ON} 劣化である。従って, DDE が 1 であれば, AC ストレスによる劣化促進は起きておらず, DC-DAHC ストレスによる劣化が支配的であり, DDE が 1 より大きくなるほど AC ストレスにより劣化が促進されることを示している。

LDD TFT では劣化促進が抑制されることを詳しく解析するため, DDE のストレス周波数および立ち上がり時間 (t_r), 立ち下がり時間 (t_f) 依存性を評価した。結果を図 3.13 に示す。周波数を高くするほど t_r , t_f を短くし, それぞれの条件において累積 DAHC ストレス時間を一定にしている。LDD TFT では, 全ての条件において DDE は 1 となっており, AC ストレスによる劣化促進は起こりにくく, DC-DAHC ストレスの累積による劣化が支配的であることを示している。一方, SD TFT では, 周波数が高くなるほど, また t_r , t_f が短くなるほど DDE は増加している。特に, 周波数 5MHz 以上では, DDE は 10 を超えており, DC-DAHC ストレスの累積による I_{ON} 劣化よりも AC ストレスによる I_{ON} 劣化の方が 1 桁大きいことを示している。

SD TFT におけるゲートパルス立ち下がり時の AC ストレス劣化特性を解析するため, t_f をパラメータとして DDE のストレス周波数依存性を評価した。図 3.14 に示すように周波数が高くなるほど, 立ち下がりの回数が増加するため, DDE が増加する。また t_f が短くなるほど DDE は増加しており, ゲートパルスが High から Low に急峻に変わるほど劣化が促進されることを示している。

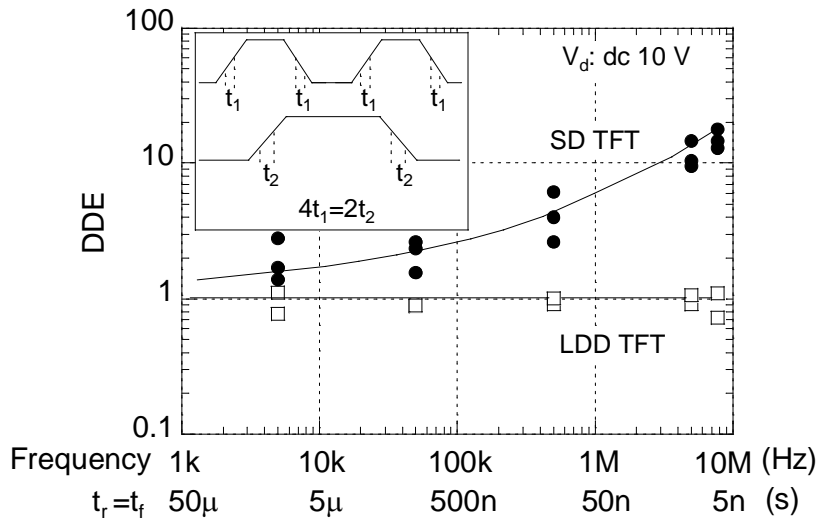


図 3.13 DDE のストレス周波数，立ち上がり / 立ち下がり時間依存性¹⁾
 (累積 DAHC ストレス時間一定)

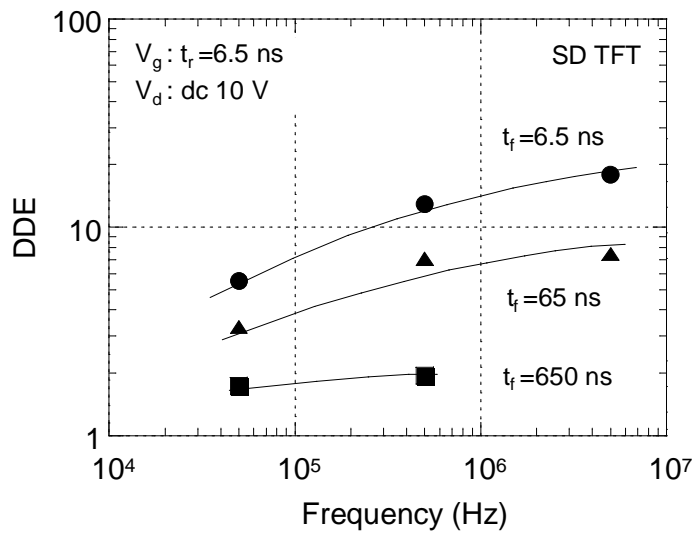


図 3.14 t_r をパラメータとした DDE のストレス周波数依存性¹⁾

3.3.2 AC ストレス劣化メカニズム

AC ストレスにより劣化が促進される原因として、欠陥準位に捕獲された電子の応答に着目した。界面準位密度を測定するチャージポンピング法において、ゲートパルスが立ち下がる時、チャンネル内の自由電子はゲートパルスに追従できるが、準位に捕獲された電子はパルスの過渡変化に追従できないことが知られている⁸⁾。実際に、本研究で用いた TFT の自由電子の充放電時間を見積もると、 $\tau = C_{ox}/g_m$ より約 0.1 ns ($V_g = V_d = 10$ V において $g_m = 30$ μ S, $W/L = 4$ μ m/ 4 μ m) であり、これは、ゲートパルスの $t_f (> 6.5$ ns) よりも十分に短く、自由電子は AC ストレス劣化の原因ではない。表 2.2 に示したように、本研究で用いた TFT にはゲート酸化膜界面および poly-Si 粒界にそれぞれ 8.4×10^{11} $\text{cm}^{-2}\text{eV}^{-1}$, 1.0×10^{11} $\text{cm}^{-2}\text{eV}^{-1}$ の欠陥準位が存在しており、これらの準位に捕獲された電子が、ゲートパルスの過渡的な変化に追従できないものと考えられる。準位に捕獲された電子の放出時間は以下の式で与えられる⁹⁻¹⁰⁾。

$$\tau_e = \frac{1}{v_{\text{therm}} \sigma_n n_i \exp[(E_t - E_i)/kT]} \quad (3-3)$$

ここで、 v_{therm} は電子の熱速度、 σ_n は電子の捕獲断面積、 n_i は真性キャリア密度、 E_t は欠陥準位のエネルギーレベル、 E_i は真性フェルミレベルである。 σ_n を 1×10^{-15} cm^2 と仮定し¹¹⁾、電子の放出時間を見積もると、ミッドギャップ準位では約 5 ms となり、欠陥準位に捕獲された電子はゲートパルスの変化に追従できないことがわかる。ただし、上記の放出時間はゲートパルスの周期よりも長く、電子は放出されないことになるが、欠陥準位がコンダクションバンドに近づくほど電子の放出時間は指数関数的に短くなる(例えば $E_t - E_i = 0.3$ eV の準位では約 50 ns) ため、ゲート電圧が High レベルから Low レベルに変わり、ドレイン端が高電界を保っている時間内に欠陥準位から電子が放出されることになる。この電子がドレイン端近傍領域に達してホットキャリアになり、ゲート酸化膜界面および poly-Si 粒界において Si-H 結合や弱い Si-Si 結合などを切断することにより欠陥準位が発生するものと考えられる。

この仮説を検証するため、DDE のゲート Low レベル依存性を評価した。図 3.15 に示すように、DDE はゲート Low レベルに強く依存しており、ゲート Low レベルを負方向に大きくするほど劣化が促進される。なお、図 3.4 から明らかなように DC ストレスでは $V_g < 0$ V において劣化はほとんど起きておらず、図 3.15 の結果は、AC ストレスに特有の現象であり、ゲート Low レベルにおいて欠陥準位から放出された電子が AC ストレス劣化の原因であることを示唆している。ゲート電圧を低くするほど、ドレイン端において発生する電界強度は高くなるため、欠陥準位から放出された電子がホットになり易く、DDE が増加すると考えられる。

欠陥準位が AC ストレス劣化に与える影響をさらに詳しく解析するため、単結晶 SOI MOS を用いて AC ストレス劣化特性を比較・評価した。単結晶 SOI MOS は、SIMOX 基板を用い、チャンネルの島状加工以降は低温 poly-Si TFT と同じプロセスで作製した（ゲート酸化膜：P-TEOS 膜 100 nm，活性化アニール：600 °C 5 時間）。なお、単結晶 Si 基板上に CVD ゲート酸化膜を形成した場合の界面準位は $10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 未満と低く、この実験ではゲート酸化膜界面および poly-Si 粒界準位の有無による AC ストレス劣化の差を評価することができる。評価条件はゲートにパルス電圧を印加し、ソース・ドレイン電圧は 0 V とした。この条件では、DC ストレス成分、すなわち DAHC ストレスの累積による劣化は起こらないので、AC ストレス（過渡変化）に起因した劣化を比較することができる。図 3.16 に $\Delta I_{ON} / I_{ON_initial}$ のゲート Low レベル依存性を示す。なお、低温 poly-Si TFT と単結晶 SOI MOS とで V_{th} が異なるため、横軸は、ゲート Low レベルと V_{th} との差分としている。図 3.16 に示すように、低温 poly-Si TFT は単結晶 SOI MOS よりも $\Delta I_{ON} / I_{ON_initial}$ が約 1 桁大きく、欠陥準位が AC ストレス劣化に大きく関与していることが明らかである。

以上の結果から、SD TFT において観測される AC ストレス劣化促進は、次のような劣化メカニズムによるものと考えられる。

ゲートパルスが High レベルの時、チャンネル内には自由電子と、欠陥準位に捕獲された電子が存在する（図 3.17(a)）

ゲートパルスが High レベルから Low レベルに変化する時、自由電子はゲートパルスの過渡変化に対応してドレインに移動するが、欠陥準位に捕獲された電子は、追従することができず、準位に捕獲されたままである（図 3.17(b)）

ゲートパルスが Low レベルになった時、準位に捕獲された電子が放出される。また、ゲート Low レベルでは、ドレイン端において DAHC ストレス条件よりも高い電界が発生している。このため、準位から放出された電子がホットになりやすく、インパクトイオン化を伴ってホットキャリア劣化（電子とホールの再結合エネルギーによる欠陥準位の発生）が加速される（図 3.17(c)）

すなわち、DC ストレスでは、ゲート Low レベルにおける電子電流はわずかであるため劣化は起こらないが、AC ストレスでは、ゲート Low レベルにおいて欠陥準位から放出された電子がドレインに流れ込むため、高電界領域においてホットキャリアが発生し、DAHC ストレス劣化が加速されると考えられる。

なお、表 2.2 に示したように単位チャンネル面積あたりの欠陥準位密度は、 D_{GB} よりも D_{IT} の方が大きく、AC ストレス劣化促進への寄与は、poly-Si 粒界よりもゲート酸化膜界面から放出された電子が支配的と考えられる。

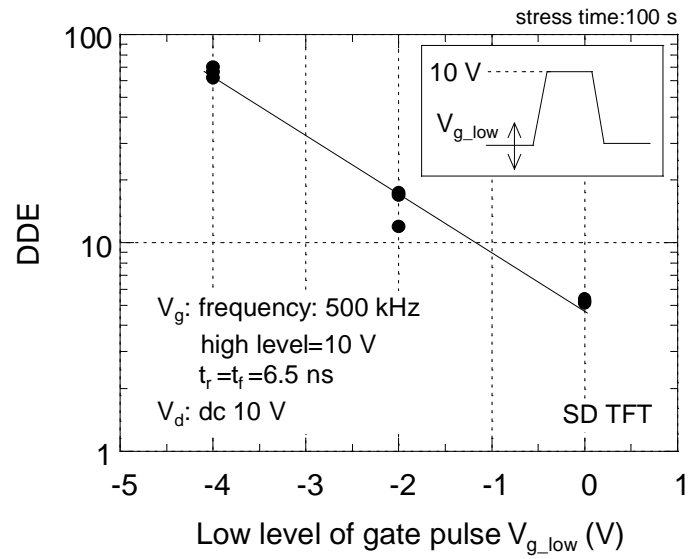


図 3.15 DDE のゲート Low レベル依存性¹⁾

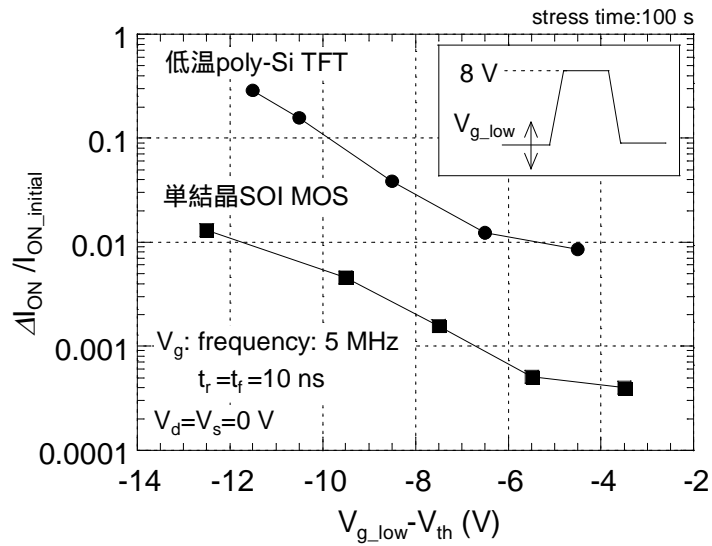
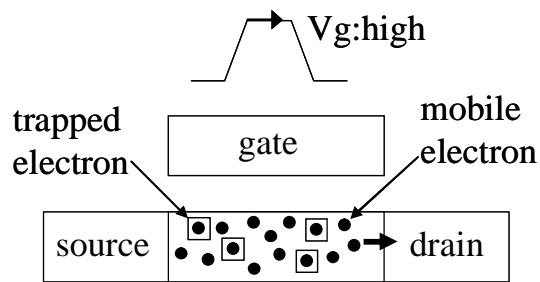
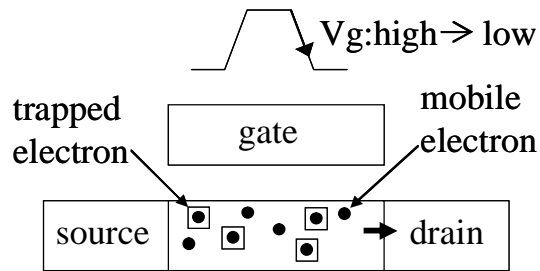


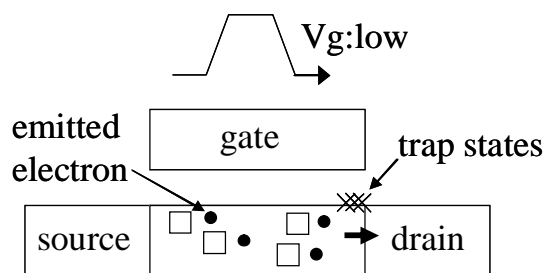
図 3.16 単結晶 SOI MOS と低温 poly-Si TFT の AC ストレス劣化特性の比較¹²⁾



(a) ゲート High レベル
自由電子や欠陥準位に捕獲された電子が多数存在



(b) ゲートパルス立ち下がり
ゲート電圧に追従して自由電子減少



(c) ゲート Low レベル
準位から放出された電子がインパクトイオン化を引き起こし,ホットキャリア注入により界面準位, 粒界準位が増加

図 3.17 nチャネルTFTのACストレス劣化メカニズム¹²⁾

また LDD TFT では、AC ストレスによる劣化促進が起りにくいですが、これについては、ドレイン端における高電界領域の分布の違いから以下の理由によるものと考えられる。図 3.6 に示したように SD TFT では、チャンネル領域内に強い電界が発生しているのに対し、LDD TFT では、電界は LDD 領域に広く分布しており、電界強度は SD TFT よりも小さい。また、インパクトイオン化によって発生するホール電流(I_h)は、単結晶 Si MOSFET の解析結果¹³⁾に基づき、ドレイン電流(I_d)とドレイン端電界(E_d)を用いて以下の式で与えられる。

$$I_h = A \cdot I_d \cdot E_d \exp(-B / E_d) \quad A, B: \text{constant} \quad (3-4)$$

なお、 I_d はゲート Low レベルにおいて欠陥準位から放出された電子電流に対応する。(3-4)式は、ドレイン端電界 E_d が増加するとインパクトイオン化によって発生するホットホールが指数関数的に増加することを示している。従って、SD TFT ではゲート Low レベルにおいてドレイン端に高電界領域が発生するため DAHC ストレス劣化が加速されるが、LDD TFT では、電界緩和によりインパクトイオン化は起りにくく、ゲート Low レベルでの劣化が DC-DAHC ストレス劣化よりも小さいため劣化促進が起りにくいものと考えられる。

ドレイン端電界と劣化促進度との関係を解析するため、DDE の LDD ドーズ量依存性を評価した。図 3.18 に示すように、LDD ドーズ量の減少に伴い、DDE は小さくなり劣化促進が抑制される。これは、LDD ドーズ量の減少とともにドレイン端電界が小さくなりインパクトイオン化が起りにくくなるためと考えられる。以上の結果より、LDD TFT は、ドレイン端の電界緩和により DC ストレス劣化を低減できるだけでなく、AC ストレスによる劣化促進も抑制できることがわかった。

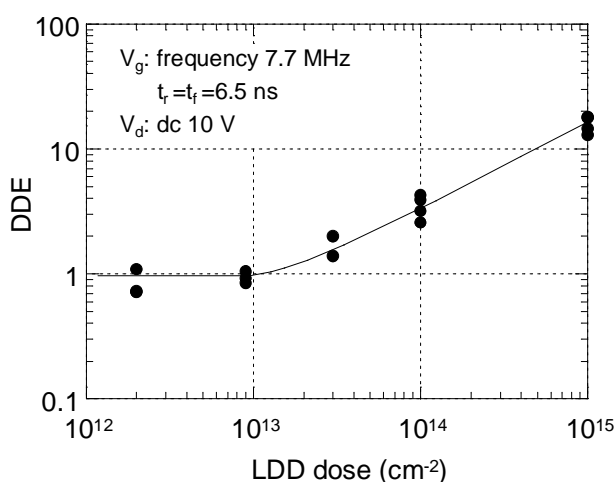


図 3.18 DDE の LDD ドーズ量依存性¹⁾

3.3.3 電子の放出時間と AC ストレス劣化特性との相関

前項で述べたように、ミッドギャップ近傍の欠陥準位に捕獲された電子の放出時間は、これまでの評価で用いたゲートパルスの周期よりも長い場合、電子は放出されないものと考えられる。この長い放出時間を持つ電子の影響も含めて AC ストレス劣化特性を評価することは、劣化メカニズムをより深く解析する上でも重要である。そこで、電子の放出時間と AC ストレス劣化特性との相関について詳しく解析した。

図 3.19 は、AC ストレス劣化のゲート Low 時間(T_{Vg_low}) 依存性の評価波形である。ゲート High 時間(T_{Vg_high}) および t_r , t_f はそれぞれ $1\ \mu\text{s}$ に固定し、 T_{Vg_low} のみを変化させることにより、AC ストレス劣化の電子放出時間依存性を評価した。結果を図 3.20 に示す。

$1\ \mu\text{s} < T_{Vg_low} < 1\ \text{ms}$ では、 T_{Vg_low} が長いほど劣化率が増加している。これは、電子の放出時間が少なくとも $1\ \mu\text{s} \sim 1\ \text{ms}$ の分布を持っており、 T_{Vg_low} が長くなるほど放出される電子の総和が大きくなるためと考えられる。また、 $T_{Vg_low} > 1\ \text{ms}$ では劣化率は飽和することから、 $1\ \text{ms}$ 以上の放出時間を持つ電子はわずかであると考えられる。さらに、 $T_{Vg_low} < 1\ \mu\text{s}$ でも劣化率が飽和しているが、これは T_{Vg_low} の減少とともにゲート Low レベルでの劣化が小さくなるため、DC-DAHC ストレスの累積による劣化が支配的になるためである。

電子の捕獲時間が AC ストレス劣化に与える影響についても同様に解析を行った。電子の捕獲時間 (τ_t) は以下の式で与えられる。

$$\tau_t = \frac{1}{v_{\text{therm}} \sigma_n n_s} \quad (3-5)$$

ここで、 v_{therm} は電子の熱速度、 σ_n は電子の捕獲断面積、 n_s は電子の表面密度である。 σ_n を $1 \times 10^{-15}\ \text{cm}^2$ と仮定し¹¹⁾、電子の捕獲時間を見積もると、約 $1\ \text{ns}$ となる。図 3.21 は、AC ストレス劣化の T_{Vg_high} 依存性の評価波形である。 t_r , t_f はそれぞれ $1\ \mu\text{s}$ とし、 T_{Vg_low} を $1\ \text{ms}$ と長くとり、電子の放出が十分に行われるようにした。この状態で T_{Vg_high} を変えることにより電子の捕獲時間依存性を評価することができる。結果を図 3.22 に示す。 I_{ON} 劣化率は T_{Vg_high} に依存せずほぼ一定となっており、捕獲時間が約 $1\ \text{ns}$ と短く、ゲートパルスの立ち上がり十分に追従できるためと考えられる。

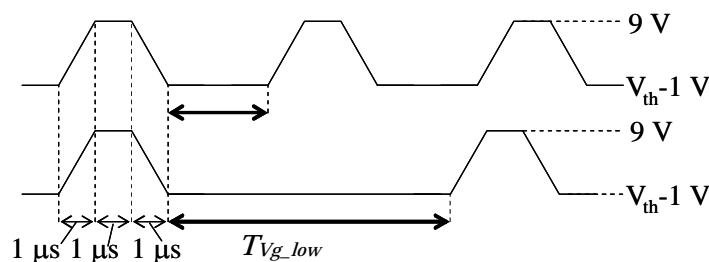


図 3.19 AC ストレス劣化の T_{Vg_low} 依存性の評価波形¹²⁾

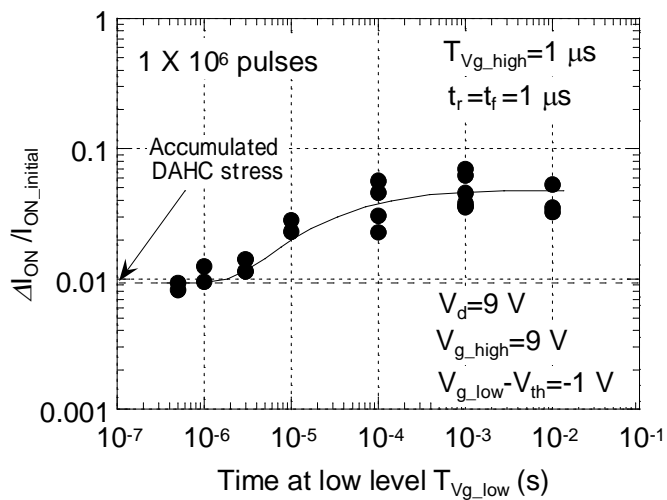


図 3.20 AC ストレス劣化の T_{Vg_low} 依存性¹²⁾

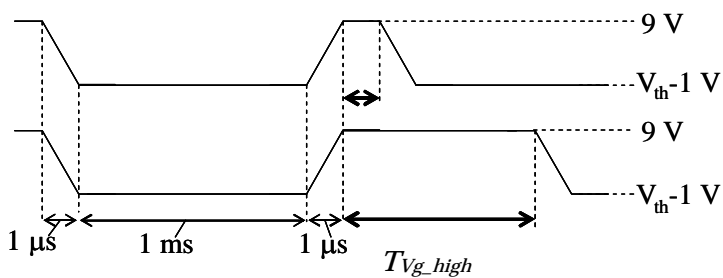


図 3.21 AC ストレス劣化の T_{Vg_high} 依存性の評価波形¹²⁾

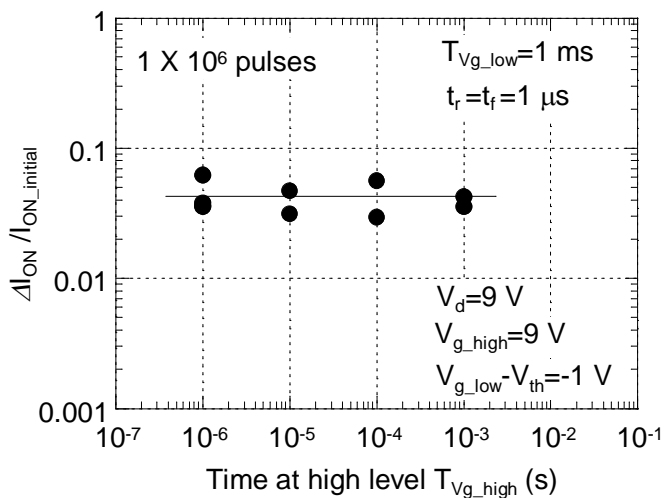


図 3.22 AC ストレス劣化の T_{Vg_high} 依存性¹²⁾

電子の放出時間 τ_e とACストレス劣化との関係をさらに詳しく調べるために、 $T_{Vg_low}=10t_f$ という関係を保ちつつ、 t_f と T_{Vg_low} を変化させて劣化特性を評価した。この評価の目的を図 3.23 を用いて説明する。 t_f より短い放出時間を持つ電子($0 < \tau_e < t_f$)は、ゲートパルスが立ち下がる前に放出されるため、劣化への寄与は小さい。また、 T_{Vg_low} よりも長い放出時間を持つ電子($\tau_e > t_f + T_{Vg_low}$)は、電子が放出される前にゲートが High レベルになるため、劣化には寄与しない。従って、 $t_f < \tau_e < t_f + T_{Vg_low}$ なる電子が劣化に寄与する。例えば、 $t_f=10^{-8}$ s、 $T_{Vg_low}=10^{-7}$ s の場合、放出時間 $10^{-8} \sim 10^{-7}$ s の電子による劣化を評価できる。なお、この放出時間は(3-3)式より $E_t - E_i = 0.3$ eV に存在する欠陥準位に対応する。

I_{ON} 劣化率の t_f および T_{Vg_low} 依存性を図 3.24 に示す。横軸は t_f と T_{Vg_low} を示し、縦軸は 5×10^6 パルス印加後の I_{ON} 劣化率を示す。なお、この評価では各条件で累積 DAHC ストレス時間が異なるため、AC ストレス劣化成分のみを評価するため $V_d=0$ V として測定を行った。図 3.24 に示すように、 t_f および T_{Vg_low} が短くなるほど、 $\Delta I_{ON} / I_{ON_initial}$ は増加している。これは(3-3)式に示した τ_e と E_t との関係、および図 2.4 に示した欠陥準位密度のエネルギー分布より以下のように説明できる。

(3-3)式より $E_t - E_i$ が大きいほど、すなわち欠陥準位がコンダクションバンド E_c に近いほど τ_e は短い。

図 2.4 より欠陥準位のエネルギー分布は U 字型であり、 E_c に近いほど欠陥準位密度は大きい。

および より、 E_c に近い欠陥準位は、ミッドギャップ近傍の欠陥準位よりも τ_e が短く、密度が高い。

従って、 t_f が短いほど、より E_c に近い欠陥準位から放出された電子が劣化に寄与するため、ゲート Low レベルにおいて放出される電子の数が多くなり劣化が促進される。

また 図 3.24 より $t_f=1$ ms、 $T_{Vg_low}=10$ ms において I_{ON} 劣化率が大きく低下しているが、これは 1 ms 以上の放出時間を持つ電子が少ないということを示しており、 $T_{Vg_low} > 1$ ms において I_{ON} 劣化率が飽和するという図 3.20 の結果を良く説明できる。

AC ストレスにより劣化が促進されるもう 1 つの原因として、欠陥準位に捕獲され、ゲートパルスの過渡変化に追従できない電子により、チャンネル内の電位が定常状態よりも低くなることが考えられる¹⁴⁾。この効果を調べるため、ゲートパルスに対応したチャンネル電位 (V_c) の変動を評価した。図 3.25 に測定系の模式図を示す。ソースは 0 V に接地し、ドレインに接続したピコプローブにより V_c の変動を測定した。結果を図 3.26 に示す。上側の図はゲートに印加したパルス波形を、下側の図はピコプローブで検出した V_c 波形を示す。ゲートパルスが High レベルの時、ソースとチャンネルは電氣的に接続されるため V_c はソースと同じ電位(0 V)となる。ゲートパルスが High レベルから Low レベルになると同時に、 V_c は負側に増加しており、チャンネルとドレインの電位差が大きくなるため、ドレイン端電界が過渡的に増加する。また図 3.26 は、 t_f が短くなるほど V_c の過渡的な変動が大きくなる

ことを示している。これらの結果は、ゲートが High レベルから Low レベルに急峻に変化するほど、欠陥準位から放出されず捕獲されたままの電子数が増加するため、ゲート電極とチャンネルの容量結合によりドレイン端電界が過渡的に大きくなることを示している。またこの結果より、ミッドギャップ近傍の準位に捕獲された電子は、その放出時間が ms オーダーと長いから、走査回路の動作周波数（数十 kHz）や、それ以上の周波数では準位から放出されることはないが、容量結合による過渡的なドレイン端電界の増加という形によって劣化に影響を与えているものと考えられる。

以上の結果より、 t_f が短くなるほど AC ストレス劣化が促進されるのは、(1) t_f が短いほど、より E_c に近いエネルギーレベルに捕獲された電子がゲートパルスの過渡変化に追従できなくなるため、ゲート Low レベルにおいて放出される電子数が増加すること、(2) ミッドギャップ近傍の準位に捕獲された電子はゲート Low レベルにおいても放出されないため、ゲート電極とチャンネルの容量結合によりドレイン端電界が過渡的に大きくなること、の 2 つの原因により DAHC ストレス劣化が加速されるためと考えられる。

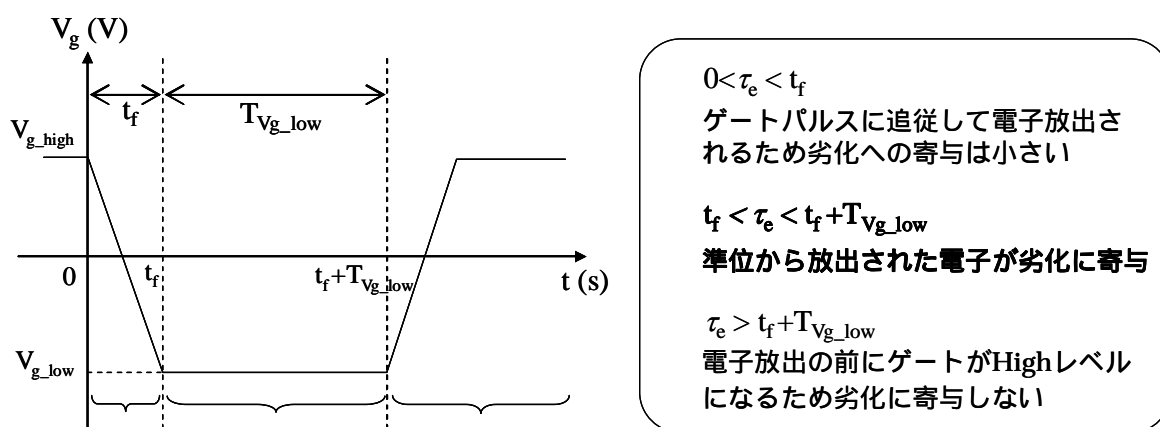


図 3.23 電子放出時間と t_f , T_{Vg_low} との関係¹²⁾

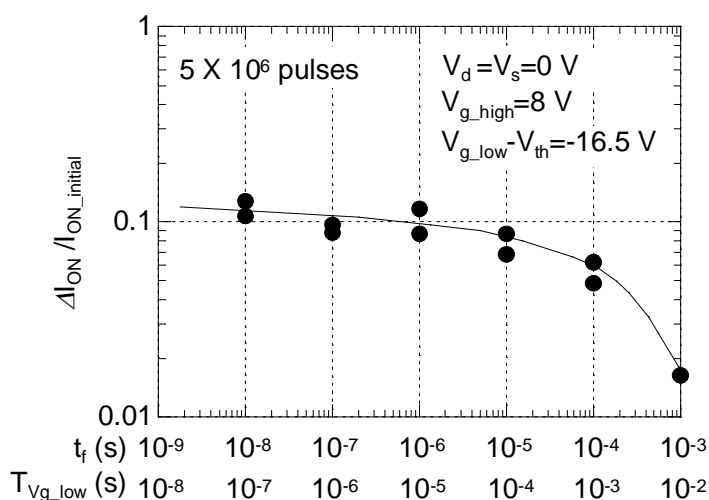


図 3.24 I_{ON} 劣化率の t_f , T_{Vg_low} 依存性¹²⁾

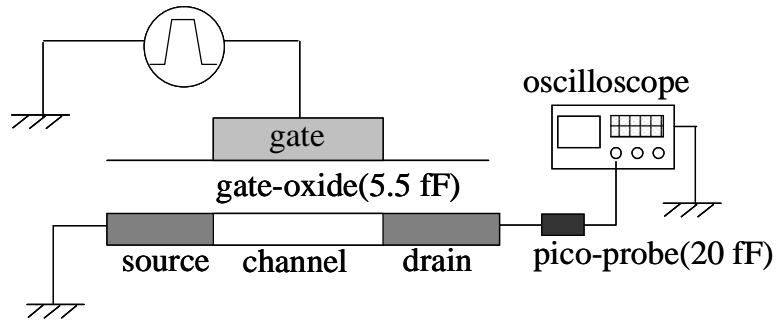


図 3.25 チャンネル電位の測定系¹²⁾

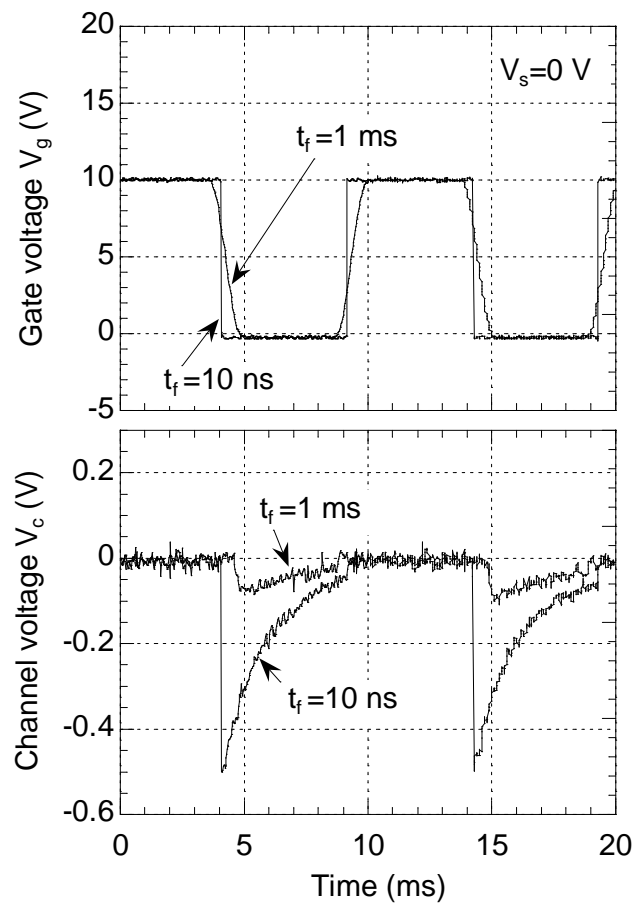


図 3.26 ゲートパルスに対応したチャンネル電位の変動¹²⁾

3.4 nチャネル TFT の性能と信頼性の両立技術

3.3.2 項で述べたように LDD TFT は DC / AC ストレスの信頼性向上に有効であるが、n領域の寄生抵抗の影響により性能が低下してしまう。この性能の低下を抑制し、性能と信頼性を両立できるデバイスとして GOLD (gate overlapped LDD) TFT が挙げられる¹⁵⁻¹⁸⁾。GOLD TFT の特徴を図 3.27 を用いて説明する。GOLD TFT は、図 3.27(b)に示すように n領域上にゲート電極を有することが特徴であり、LDD TFT よりも n領域の寄生抵抗を低減できるため性能が向上する。さらに、LDD TFT では、図 3.27(a)に示すように欠陥準位に捕獲された電子によって n領域のキャリア濃度が減少するため性能が劣化するが、GOLD TFT では、n領域上に形成されたゲート電極により欠陥準位に捕獲された電子の影響をスクリーニングできるため、性能が劣化しにくい。本研究では、GOLD TFT の性能と DC / AC ストレス信頼性を SD TFT、LDD TFT と比較しながら解析した。

3.4.1 作製プロセスと初期特性

GOLD TFT のデバイス断面構造および作製プロセスを図 3.28 に示す。ゲート電極は W (150 nm) と TiN (30 nm) の積層構造であり、TiN 電極をスルー膜としてイオン打ち込みにより n領域を形成している。本研究では、n領域のドーズ量を $1 \times 10^{12} \text{ cm}^{-2}$ 、 $5 \times 10^{12} \text{ cm}^{-2}$ 、 $5 \times 10^{13} \text{ cm}^{-2}$ 、 $1 \times 10^{14} \text{ cm}^{-2}$ とした 4 つのサンプルを作製した。また、比較のために SD TFT と LDD TFT (nドーズ量 $6 \times 10^{12} \text{ cm}^{-2}$) を作製し、性能と信頼性を比較した。なお LDD TFT の nドーズ量は、この試作において DC ストレス信頼性が最も高い条件である。

図 3.29 に SD TFT、LDD TFT、GOLD TFT それぞれの V_g - I_d 特性を示す。また表 3.4 にオン電流 (I_{ON}) の比較結果を示す。GOLD TFT (nドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$) と LDD TFT を比較すると、nドーズ量はほぼ同じであるが GOLD TFT の I_{ON} は LDD TFT の約 2 倍であり優れた性能を有することがわかる。これは、GOLD TFT の n領域上部にゲート電極が形成されているため、ゲート電圧によって n領域にキャリアが誘起され、寄生抵抗が小さくなるためである。また nドーズ量を 1 桁増加させた GOLD TFT (nドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$) では、さらにオン電流が向上し、SD TFT とほぼ同等の優れた性能を示している。

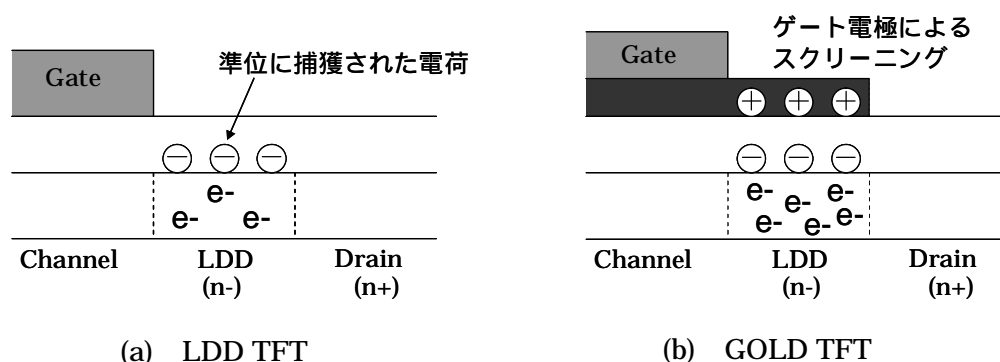


図 3.27 GOLD TFT の信頼性向上効果 (概念図)

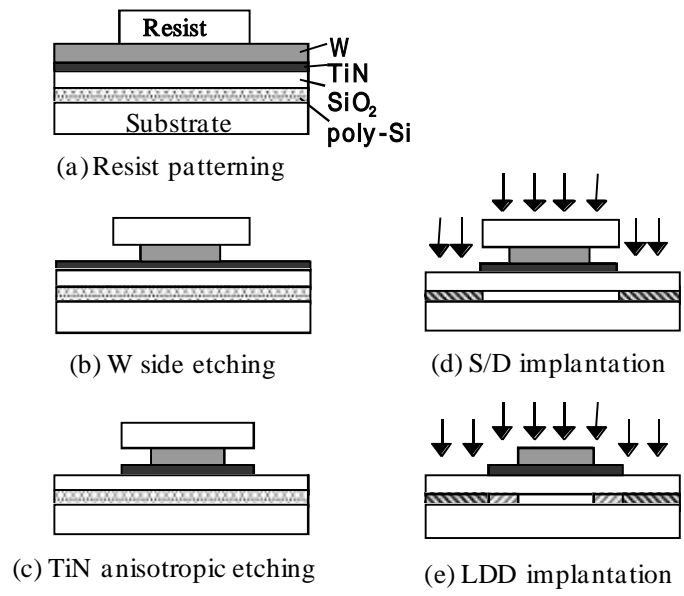


図 3.28 GOLD TFT の断面構造および作製プロセス¹⁹⁾

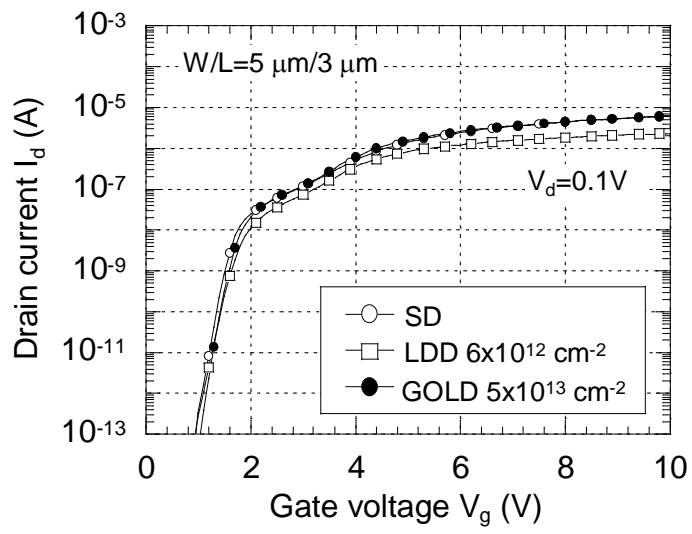


図 3.29 SD, LDD, GOLD TFT の V_g - I_d 特性の比較¹⁹⁾

表 3.4 I_{ON} の比較結果¹⁹⁾

SD	LDD ($6 \times 10^{12} \text{ cm}^{-2}$)	GOLD ($5 \times 10^{12} \text{ cm}^{-2}$)	GOLD ($5 \times 10^{13} \text{ cm}^{-2}$)
2.43 μA	1.23 μA	2.01 μA	2.58 μA

3.4.2 DC ストレス劣化特性

図 3.30 にストレス 100 秒印加後の I_{ON} 劣化率($\Delta I_{ON}/I_{ON_initial}$)のストレス V_g 依存性を示す。ストレス $V_g = V_{th} + 2$ V の低いゲート電圧において $\Delta I_{ON}/I_{ON_initial}$ が最大になっており、LDD TFT 同様、DAHC ストレス劣化が支配的である。DC ストレス 100 秒印加後の $\Delta I_{ON}/I_{ON_initial}$ の n-ドーズ量依存性を図 3.31 に示す。n-ドーズ量が $1 \times 10^{14} \text{ cm}^{-2}$ と高い場合、GOLD TFT の $\Delta I_{ON}/I_{ON_initial}$ は LDD TFT よりも大きいのが、n-ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ 、 $5 \times 10^{12} \text{ cm}^{-2}$ の場合、GOLD TFT は LDD TFT よりも $\Delta I_{ON}/I_{ON_initial}$ が小さい。しかし、n-ドーズ量を $1 \times 10^{12} \text{ cm}^{-2}$ とさらに減少させると逆に $\Delta I_{ON}/I_{ON_initial}$ が増加し信頼性が低下する。この理由をドレイン端近傍の電界強度に着目し、シミュレーションにより定性的に解析した。

図 3.32 にシミュレーションにより解析した DAHC ストレス条件におけるドレイン端近傍のチャンネル水平方向電界分布を示す。n-濃度が高い場合($1 \times 10^{18} \text{ cm}^{-3}$)、チャンネル領域と n-領域との界面において強い電界が発生している。n-濃度を $3 \times 10^{17} \text{ cm}^{-3}$ に減少させると、チャンネル領域と n-領域との界面の電界強度が減少するとともに、ドレイン領域と n-領域との界面の電界強度が増加するが電界の最大値は小さい。しかし、n-濃度をさらに減少させると、ドレイン領域と n-領域との界面において強い電界が発生する。以上のように、図 3.32 のシミュレーション結果と、図 3.31 の実験結果は定性的に一致しており、図 3.31 の結果はドレイン端電界の n-ドーズ量依存性によるものと考えられる。

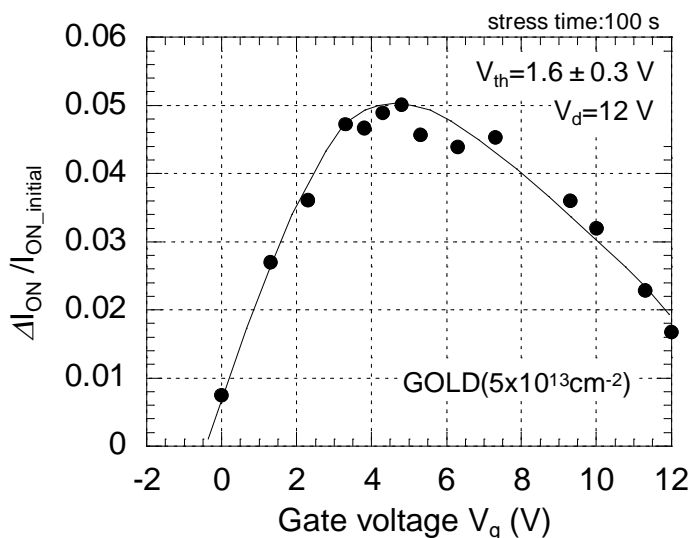


図 3.30 I_{ON} 劣化率のストレス V_g 依存性¹⁹⁾

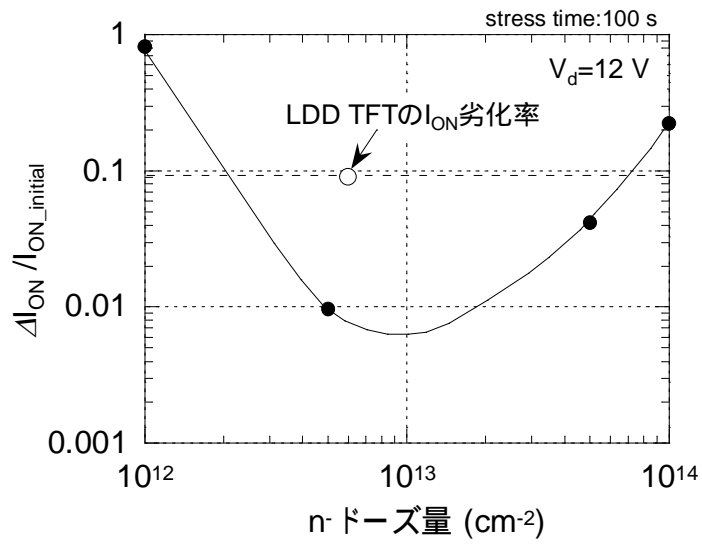


図 3.31 I_{ON} 劣化率の n-ドーズ量依存性¹⁹⁾

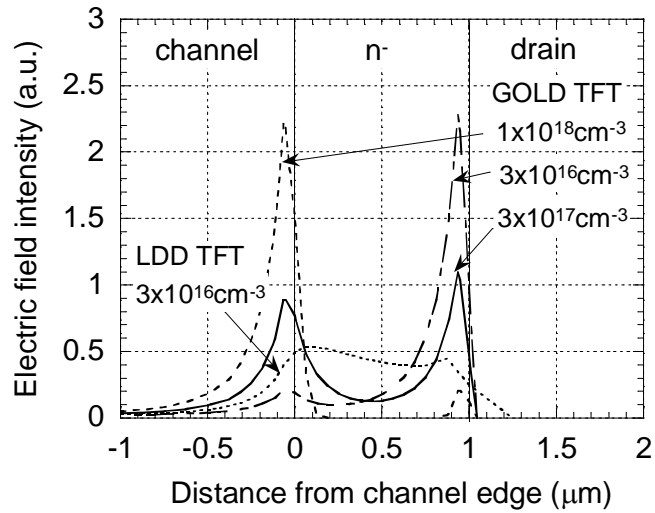


図 3.32 DAHC ストレス条件におけるドレイン端電界分布¹⁹⁾

図 3.32 に示したように GOLD TFT の場合、どの n^- 濃度においても電界の最大値は LDD TFT よりも大きくなる。しかし実験結果は 図 3.31 に示したように n^- ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ 、 $5 \times 10^{12} \text{ cm}^{-2}$ の場合 GOLD TFT の方が LDD TFT よりも $\Delta I_{ON}/I_{ON_initial}$ が小さい。この要因を TFT デバイスシミュレーションにより解析した。 n^- 領域のゲート $\text{SiO}_2 / \text{poly-Si}$ 界面に固定電荷を設定し、キャリア濃度の低下による I_{ON} 劣化 ($\Delta I_{ON}/I_{ON_initial}$) の固定電荷量依存性を LDD TFT と GOLD TFT とで比較した。図 3.33 に $\Delta I_{ON}/I_{ON_initial}$ と固定電荷量との関係を示す。LDD TFT の n^- ドーズ量はシミュレーションにおいて最も電界が緩和される値である。同じ n^- 濃度の場合、 $\Delta I_{ON}/I_{ON_initial}$ は LDD TFT よりも GOLD TFT の方が小さくなっており、これは n^- 領域上部のゲート電極により固定電荷の影響をスクリーニングできるためである。

また図 3.33 において、 n^- 濃度を $3 \times 10^{17} \text{ cm}^{-3}$ と増加した場合、さらに I_{ON} 劣化が抑制される。これは、 n^- 濃度が高いため、同じ固定電荷量であってもキャリア濃度が変化しにくくなるためである。この n^- 濃度 ($3 \times 10^{17} \text{ cm}^{-3}$) でのチャネル水平方向電界分布を GOLD TFT と LDD TFT とで比較した結果を図 3.34 に示す。GOLD TFT は高い n^- 濃度において LDD TFT よりも電界を緩和することができる。

以上の結果から GOLD TFT は、LDD TFT よりも 高い n^- 濃度において電界を緩和できること、さらに n^- 領域上にゲート電極が形成されていることにより、ストレスにより発生した固定電荷などの影響をスクリーニングできるため信頼性が向上すると考えられる。

3.4.3 AC ストレス劣化特性

AC ストレス劣化は、LDD TFT 同様、(3-2)式に示した劣化促進度(DDE)を用いて評価した。AC ストレス波形は図 3.10 と同様である。図 3.35 に DDE の n^- ドーズ量依存性を示す。 n^- ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ の時、GOLD TFT の劣化促進度はほぼ 1 となっており、LDD TFT よりも高い n^- ドーズ量において AC ストレス劣化を抑制できる。これは、 n^- ドーズ量を高くできるため、高性能化に有利な特性である。

図 3.36 に AC ストレス 100 秒印加後の I_{ON} 劣化率のストレス周波数依存性を示す。なお、ゲートパルスの立ち上がり時間(t_r)と立ち下がり時間(t_f)は 10 ns に固定した。ストレス周波数が高くなるほど、LDD TFT と GOLD TFT の差が大きくなっている。GOLD TFT、LDD TFT とともに劣化促進度はほぼ 1 であり、AC ストレス劣化は DAHC ストレスの累積が支配的である。またこの実験では t_r 、 t_f を固定しているため、ストレス周波数の増加は累積 DAHC ストレス時間の増加に対応する。このため、周波数が高くなるほど DC-DAHC ストレス劣化の小さい GOLD TFT の方が I_{ON} 劣化率は小さくなる。従って、GOLD TFT は高速動作回路に適したデバイスであり、高い信頼性を得るために、 n^- ドーズ量は DC-DAHC ストレス劣化が小さく、AC ストレス劣化促進が起こりにくい $5 \times 10^{12} \text{ cm}^{-2}$ 以上 $5 \times 10^{13} \text{ cm}^{-2}$ 以下が適していると考えられる。

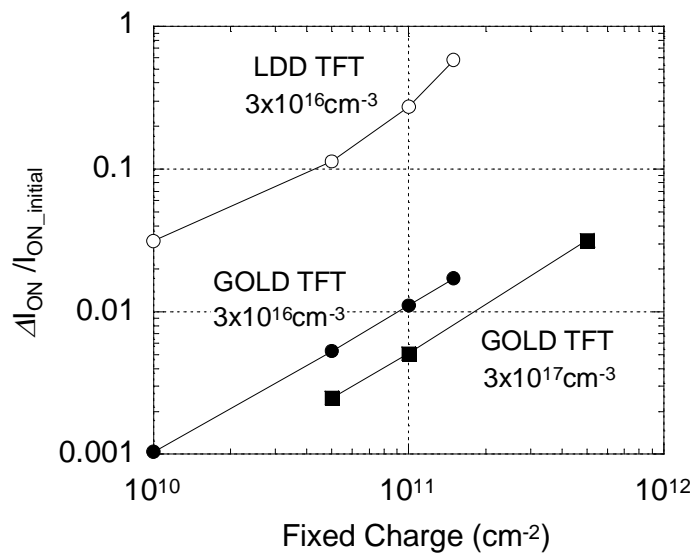


図 3.33 I_{ON} 劣化率と固定電荷量との関係¹⁹⁾

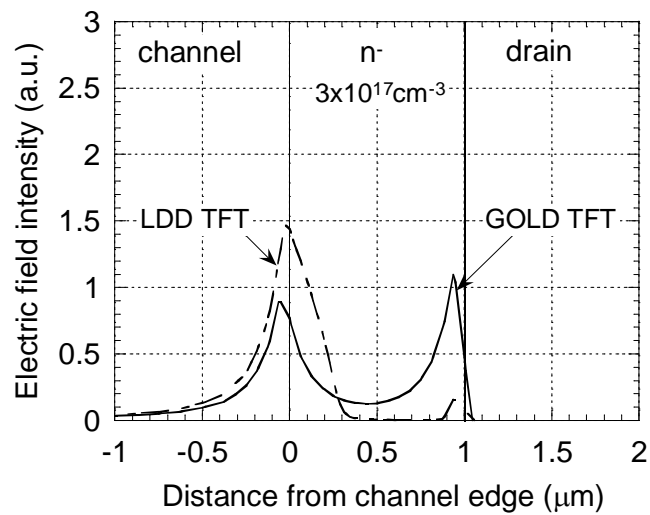


図 3.34 ドレイン端電界分布の比較¹⁹⁾

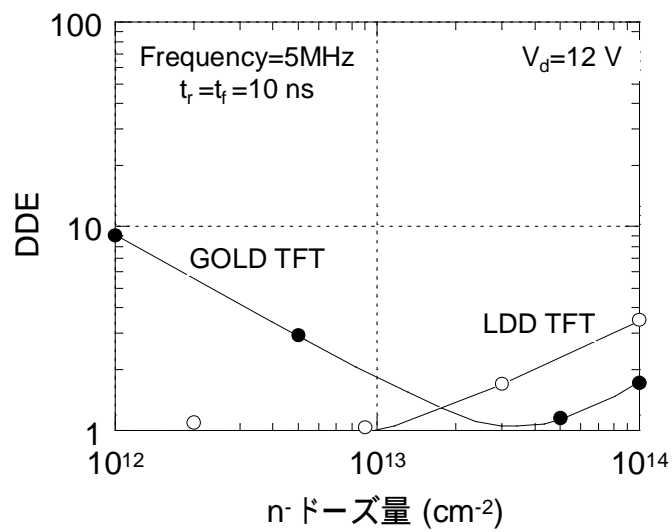


図 3.35 DDE の n-ドーズ量依存性¹⁹⁾

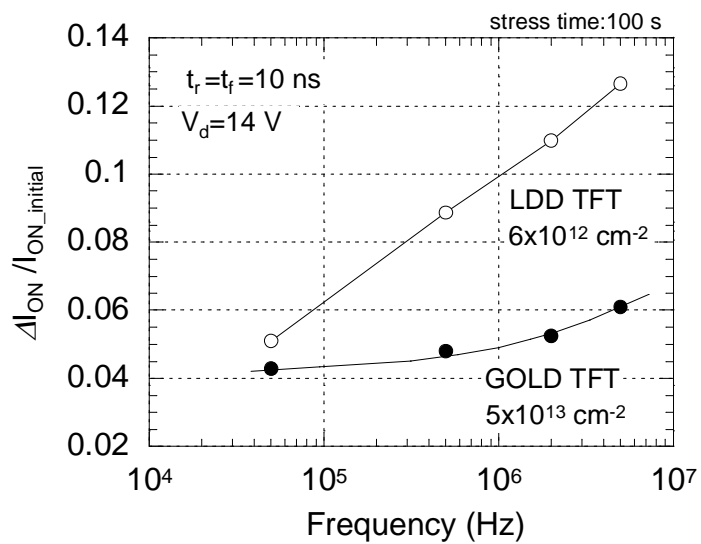


図 3.36 I_{ON} 劣化率のストレス周波数依存性¹⁹⁾

3.5 まとめ

本章では、n チャンネル TFT の DC/AC ストレス劣化メカニズムおよび性能と信頼性の両立技術を解析し、以下の結論を得た。

<DC ストレス>

- (1) SD TFT, LDD TFT とともに、 $V_g \sim V_{th}$ において劣化が最大となる。この劣化は、寄生バイポーラ動作による I_d 増幅およびドレイン端の高電界領域におけるインパクトイオン化に起因しており、ホットエレクトロンとホットホールの両方が関与した DAHC ストレス劣化である。

<AC ストレス>

- (2) SD TFT では AC ストレスにより劣化が促進される。この劣化促進は、欠陥準位に捕獲された電子がゲートパルスの過渡的な変化に追従できず、ドレイン端電界強度が高くなるゲート Low レベルにおいて欠陥準位から放出され、DAHC ストレス劣化が加速されることに起因する。
- (3) SD TFT における劣化促進は、欠陥準位のエネルギー分布に大きく依存している。 E_c に近い欠陥準位ほど密度が高く放出時間が短いため、 t_r が短いほどゲート Low レベルにおいて放出される電子数が多くなる。さらに、ミッドギャップ近傍の準位に捕獲された電子はゲート Low レベルにおいても放出されず、ゲート電極とチャンネルの容量結合によりドレイン端電界が過渡的に大きくなるため劣化が促進される。
- (4) LDD TFT では AC ストレスによる劣化促進は起こりにくく、DAHC ストレスの累積による劣化が支配的である。

<性能と信頼性の両立技術>

- (5) GOLD TFT は、高い n^- 濃度において電界を緩和できること、さらに n^- 領域上にゲート電極を有することにより LDD TFT よりも性能を向上できるだけでなく、ストレスにより発生した固定電荷などの影響をスクリーニングできるため信頼性も向上する。さらに、 n^- ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ 以上 $5 \times 10^{13} \text{ cm}^{-2}$ 以下において AC ストレス劣化促進を抑制でき、高速動作回路に適したデバイスである。

【参考文献】

- 1) Y. Toyota, T. Shiba, and M. Ohkura, "A new model for device degradation in low-temperature n-channel polycrystalline silicon TFTs under ac stress," *IEEE Trans. Electron Devices*, vol. 51, pp. 927–933, Jun. 2004.

- 2) E. Takeda and N. Suzuki, "An empirical model for device degradation due to hot-carrier injection," *IEEE Electron Devices Lett.*, vol. 4, pp. 111-113, Apr. 1983.
- 3) K. R. Hofmann, C. Werner, W. Weber, and G. Dorda, "Hot-electron and hole-emission effects in short n-channel MOSFET's," *IEEE Trans. Electron Devices*, vol. 32, pp. 691-699, Mar. 1985.
- 4) G. Fortunato *et al.*, "Kinetics of interface state generation induced by hot carriers in n-channel polycrystalline silicon thin-film transistors," *Jpn. J. Appl. Phys.* vol. 35, p. 1544-1547, 1996.
- 5) E. Takeda, C.Y. Yang, and A. Miura-Hamada, *Hot-Carrier Effects in MOS Devices*: Academic Press, 1995.
- 6) M. Valdinoci, L. Colalongo, G. Beccarani, G. Fortunato, A. Pecora, and I. Policicchio, "Floating body effects in polysilicon thin-film transistors," *IEEE Trans. Electron Devices*, vol. 44, pp. 2234-2241, Dec. 1997.
- 7) K.-L. Chen, S. Saller, and R. Shah, "The case of ac stress in hot-carrier effect," *IEEE Trans. Electron Devices*, vol. 33, pp. 424-426, Mar. 1986.
- 8) G. Groeseneken, H.E. Maes, N. Beltran, and R. F. De Keersmaecker, "A reliable approach to charge-pumping measurements in MOS transistors," *IEEE Trans. Electron Devices*, vol. 31, pp. 42-53, Jan. 1984.
- 9) J. G. Simmons and G. W. Taylor, "Nonequilibrium steady-state statistics and associated effects for insulators and semiconductors containing an arbitrary distribution of traps," *Physical Review*, vol. 4, pp. 502-511, Jul. 1971.
- 10) N. S. Saks and M. G. Ancona, "Determination of interface trap capture cross sections using three-level charge pumping," *IEEE Electron Device Lett.*, vol. 11, pp. 339-341, Aug. 1990.
- 11) P. Migliorato, S. W. B. Tam, O.K.B. Lui, T. M. Brown, M. J. Quinn, "Device physics and modeling of poly-Si TFTs," in *Proc. SID*, 1997, pp.171-175.
- 12) Y. Toyota, T. Shiba, and M. Ohkura, "Effects of the timing of ac stress on device degradation produced by trap states in low-temperature polycrystalline silicon TFTs," *IEEE Trans. Electron Devices*, vol. 52, pp. 1766-1771, Aug. 2005.
- 13) R. S. Muller and T. I. Kamins, *Device Electronics for Integrated Circuits*. Wiley, pp. 194-198, 1995.
- 14) M. Hack, A. G. Lewis, and I. W. Wu, "Physical models for degradation effects in polysilicon thin-film transistors," *IEEE Trans. Electron Devices*, vol. 40, pp. 890-897, May. 1993.
- 15) M. Hatano *et al.*, "A novel self-aligned gate-overlapped LDD poly-Si TFT with high reliability and performance," in *Proc. Int. Electron Device Meeting*, 1997, pp.

523-526.

- 16) J. Ayres *et al.*, "Analysis of drain field and hot carrier stability of poly-Si thin film transistors," *Jpn. J. Appl. Phys.*, vol. 37, pp. 1801-1808, 1998.
- 17) K. Ohgata *et al.*, "A new dopant activation technique for poly-Si TFTs with a self-aligned gate-overlapped LDD structure," in *Proc. Int. Electron Device Meeting*, 2000, pp. 205-208.
- 18) T. Itoga *et al.*, "High dynamic-stress-immune low-temperature poly-Si TFTs with gate-overlapped LDD," *AD/ IDW Tech. Dig.*, pp.1733-1734, 2001.
- 19) 豊田善章, 糸賀敏彦, 田井光春, 栗谷川武, 後藤康, 芝健夫, 大倉理 " Gate-overlapped LDD 構造による低温 poly-Si TFT の高信頼化技術 " 電子情報通信学会信学技報 vol. 101, pp. 113-118, 2001.

第4章 pチャネルTFTの電氣的ストレス劣化特性

pチャネルTFTは、OLEDに電流を供給するスイッチとして使用されており、OLEDディスプレイには必須の素子である。また、CMOS回路を形成することにより周辺駆動回路の高性能化、低電力化を図る上でも重要な素子である。本章では、始めにpチャネルTFTのDCホットキャリア劣化特性について述べた後、pチャネルTFTに特徴的なNBT(negative bias temperature)ストレス劣化特性について、単結晶Si MOSFETでの知見を基に解析する。さらに、ACストレス信頼性では、電子注入とホール注入の繰り返しにより移動度が急激に低下することを示す。この劣化は、単結晶Si MOSFETでは報告されておらず、プロセス温度が低い低温poly-Si TFTにおいて顕在化する劣化モードである。ACストレス劣化の温度依存性、ホール注入時間依存性、および電子注入とホール注入の相互作用の解析などにより、劣化メカニズムを明らかにする。

4.1 実験方法

4.1.1 作製プロセス

図4.1を用いてpチャネルTFTの作製プロセスを説明する。ガラス基板上にPECVD法により50nmのa-Si膜を形成する(図4.1(a))。さらに、波長308nmのXeClエキシマレーザを照射しa-Siを結晶化させpoly-Si膜を得る(図4.1(b))。poly-Si膜を島状に加工した後、400以下のPECVD法により100nmのゲート酸化膜を形成する(図4.1(c))。このゲート酸化膜は、TEOSとO₂の混合ガスを原料としたP-TEOS膜である。ゲート電極(MoW)を形成の後、ゲート電極をマスクとしてボロンイオンを打ち込みソース・ドレイン領域を形成する(図4.1(d))。層間絶縁膜(500nm)を形成の後、4901時間の活性化アニールを施す。この工程がTFT作製プロセスの中で最高温度となる。その後、ソース・ドレイン電極を形成し(図4.1(e))、SiNからなる保護絶縁膜を形成する(図4.1(f))。最後に、窒素雰囲気において4001時間のアニール処理を施し、SiN膜中の水素の拡散により欠陥準位の終端化を行う。

4.1.2 初期特性と評価パラメータ

図4.2にpチャネルTFTの V_g - I_d 特性を示す。本研究で用いたpチャネルTFTはSD構造($W/L=4\ \mu\text{m}/4\ \mu\text{m}$)である。表4.1にpチャネルTFTのデバイスパラメータを、表4.2に各種デバイスパラメータの定義をそれぞれ示す。デバイスパラメータの定義は、各電圧値が負極性になっていることを除き、nチャネルTFTと同様である。

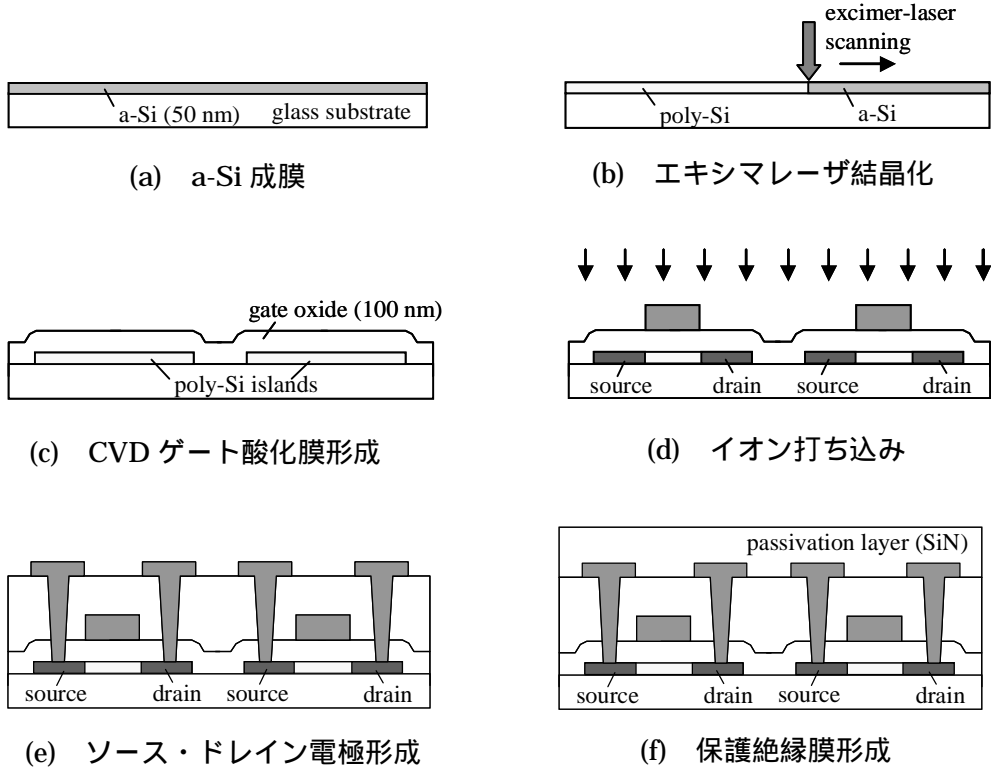


図 4.1 p チャンネル TFT の作製プロセス

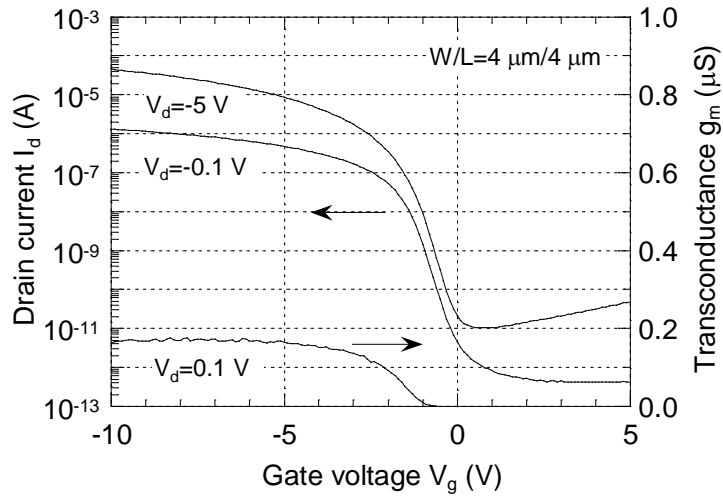


図 4.2 p チャンネル TFT の V_g - I_d 特性

表 4.1 p チャンネル TFT のデバイスパラメータ

移動度 (cm^2/Vs)	V_{th} (V)	S (V/decade)
60	-1.5	0.32

表 4.2 各種デバイスパラメータの定義

項目	測定条件
オン電流 I_{ON} (A)	$V_g = -6$ V, $V_d = -0.1$ V
しきい値電圧 V_{th} (V)	$V_d = -0.1$ V, $I_d = 10$ nA
相互コンダクタンス g_m (S)	$\Delta I_d / \Delta V_g$, $V_d = -0.1$ V
S値 (V/decade)	$\Delta V_g / \Delta \log(I_d)$, $V_d = -0.1$ V

4.2 DC ストレス劣化特性

4.2.1 ホットキャリアストレス

図 4.3 に DC ストレスによる p チャネル TFT の I_{ON} 劣化率($\Delta I_{ON} / I_{ON_initial}$)と V_{th} シフト (ΔV_{th}) のストレス V_g 依存性を示す。ストレス V_d は-12 Vである。p チャネル TFT の DC ストレス劣化特性の特徴は、 $V_g = V_{th}$ 近傍の DAHC ストレスおよび $V_g > 0$ V のオフ状態において I_{ON} が増加することである。以下、DAHC ストレスとオフ状態、および $V_g = V_d$ の CHC ストレスにおける劣化メカニズムについて述べる。

図 4.4 に $\Delta I_{ON} / I_{ON_initial}$ と body 電流のストレス V_g 依存性を示す。n チャネル TFT と同様、DAHC ストレス条件 ($V_g \sim V_{th}$) において body 電流が増加している。これは、ドレイン端の高電界領域においてインパクトイオン化により発生したホットエレクトロンが I_{ON} 増加に大きく関与していることを示している。n チャネル TFT では、電子とホールとの再結合エネルギーにより Si-H 結合や弱い Si-Si 結合が切断され、ゲート酸化膜界面や poly-Si 粒界に欠陥準位を発生させるが、p チャネル TFT の場合、ホールの方が電子よりもゲート酸化膜に対するエネルギー障壁が高いことに加え、ゲート電界がホールの注入を阻害する方向に働くためゲート酸化膜へのホットホール注入は起こりにくい。このため、p チャネル TFT では、ホットエレクトロン注入によりゲート酸化膜内の欠陥準位に捕獲された負の固定電荷の影響が顕著に現れる。ゲート酸化膜内に発生した負の固定電荷がチャンネル内にホールを誘起し、実効的なチャンネル長が減少するため I_{ON} が増加する¹⁾。

オフ状態では、 V_{th} の正方向シフト、 I_{ON} 増加とともに DAHC ストレス条件よりもさらに顕在化している。図 4.4 に示すように、オフ状態では DAHC ストレス条件よりも大きな body 電流が発生しており、ドレイン端のゲート酸化膜内における負の固定電荷の発生や、実効的なチャンネル長の減少が起こり易くなるためと考えられる。

また、 $V_g = V_d$ の CHC ストレス条件では、 I_{ON} 劣化はわずかであり V_{th} が負方向にシフトしている。これらの特徴は n チャネル TFT と同様であり、CHC ストレスの劣化メカニズムは、チャンネルを流れるキャリアがホールであることを除いて n チャネル TFT と同様であると考えられる。

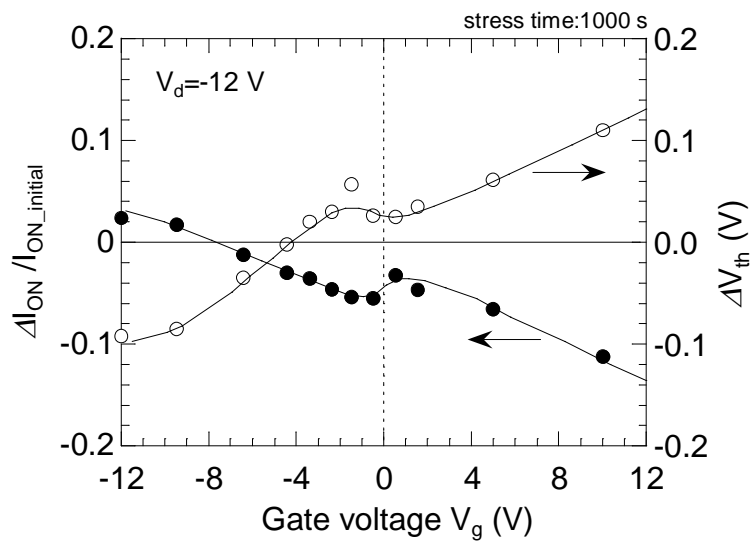


図 4.3 p チャネル TFT の I_{ON} 劣化率と V_{th} シフトのストレス V_g 依存性²⁾

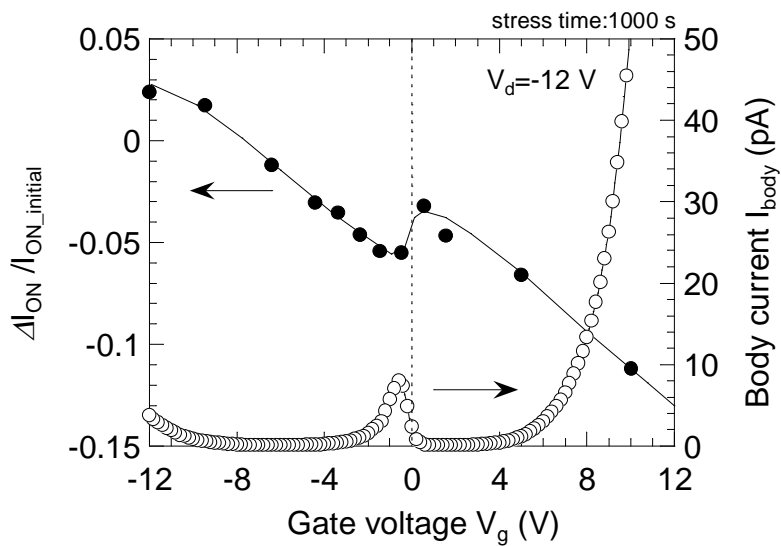


図 4.4 I_{ON} 劣化率と body 電流のストレス V_g 依存性²⁾

4.2.2 NBT ストレス

NBT ストレスの劣化特性は、単結晶 Si MOSFET において幅広く解析されており、その劣化メカニズムは、反応・拡散モデルにより説明することができる。すなわち、高温においてゲート電界によりホールがゲート酸化膜界面に注入され、電気化学反応により図 4.5(a) に示すように Si-H 結合が解離（反応）し、Si の未結合手（界面準位）が発生する。解離した水素は、ゲート酸化膜内に移動（拡散）し、図 4.5(b) に示すように酸化膜中の欠陥と結合することにより正の固定電荷が発生する³⁻⁵。単結晶 Si MOSFET におけるデバイス劣化の特徴について以下のことが知られている。

- NBT 劣化には温度依存性があり、高温ほど劣化が顕在化する。
- NBT 劣化は可逆反応であり、ストレス印加を止めると、ゲート酸化膜内に拡散した H₂ が再び Si 界面に戻り、欠陥を終端するため劣化が回復する⁶。
- 回復効果を抑制するためには、ストレス時と測定時とで同じ V_g を印加する必要がある⁷⁻⁸。
- NBT 劣化は t₀ の時間依存性を示し、n 値は約 0.16 である⁹⁻¹⁰。
- H₂ の拡散が NBT ストレス劣化を律速しており、劣化寿命の活性化エネルギーは約 0.5 eV である¹⁰⁻¹¹。

本研究では、上記結果に基づき低温 poly-Si TFT の NBT 劣化メカニズムを解析した。

NBT ストレス印加前後の V_g-I_d 特性を図 4.6 に示す。V_d=V_s=0 V とし、V_g=-20 V を印加した。NBT ストレス後、V_{th} が -0.5 V シフトし、g_m がわずかに減少している。この V_{th} シフト量から、固定電荷の発生量を見積もると、1.0×10¹¹ cm⁻² となる（ΔQ=ΔV・C_{ox}、ゲート酸化膜厚 100 nm）。NBT ストレスでは、固定電荷とほぼ同じ数の界面準位が発生している³と考えられるが、g_m の最大値は低下しておらずその影響はあまりみられない。これは、表 2.2 に示したように、低温 poly-Si TFT にはゲート酸化膜界面に 8.4×10¹¹ cm⁻²eV⁻¹ の欠陥準位が存在しており、NBT ストレスにより発生する欠陥準位が g_m に与える影響は小さくなるためと考えられる。

低温 poly-Si TFT においても回復現象が観測されるかどうかを調べるため、V_d=V_s=0 V に固定して V_g=-20 V と V_g=0 V を繰り返し印加した。測定温度は 150 °C である。図 4.7 に示すように、ΔV_{th}、ΔI_{ON}/I_{ON_initial} とともに V_g=0 V の期間において特性が回復しており、単結晶 Si MOSFET 同様、水素の拡散が NBT ストレス劣化に関与していることを示唆している。NBT ストレスによる ΔV_{th} と ΔI_{ON}/I_{ON_initial} の経時変化を比較した結果を図 4.8 に示す。ΔV_{th}、ΔI_{ON}/I_{ON_initial} とともに n 値が同じであり、I_{ON} 劣化の主因は V_{th} シフトであることを示している。また図 4.8 に示すように、n 値はストレス初期では 0.32~0.35 であるが、ストレス 10,000 秒後では 0.15 になっており、これは NBT ストレス劣化がスイッチング期間、すなわちストレス印加後から測定開始までの間に回復していることを示している。ストレス印加初期では、デバイス劣化の度合いは小さいため、回復の影響は相対的に大きくなる。その結果、ストレス印加初期では大きな n 値が観測される^{8, 10}。

この回復現象を抑制してNBTストレス劣化を評価するために用いた測定系を図 4.9 に示す。 V_g の印加には電圧源を用い、 V_d の印加や I_d の測定には半導体パラメータアナライザを用いた。なお、両者のコモン端子は筐体を介して接続されている。 V_g 印加と I_d 測定を別々の装置で行うことにより、スイッチング期間においても V_g を印加し続けることができ、回復現象を抑制することができる。

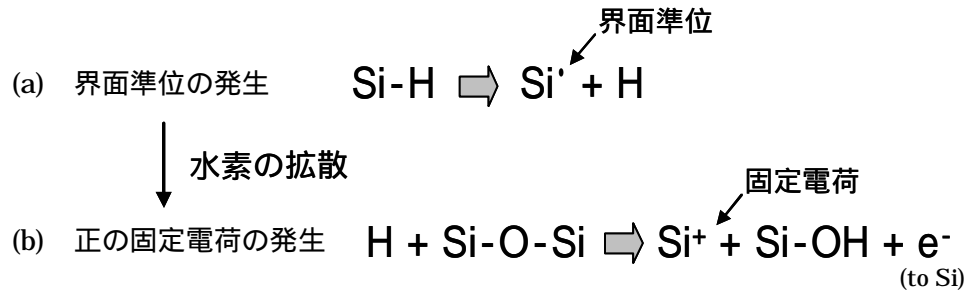


図 4.5 NBT ストレス劣化モデル

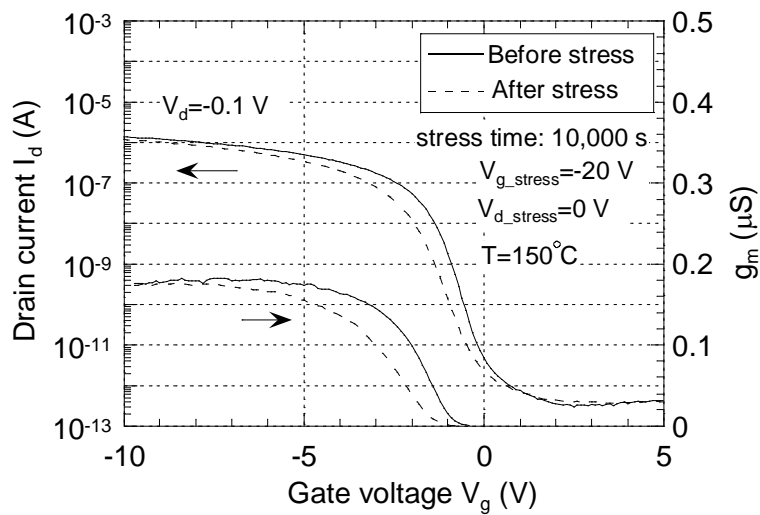


図 4.6 NBT ストレス印加前後の V_g - I_d 特性¹²⁾

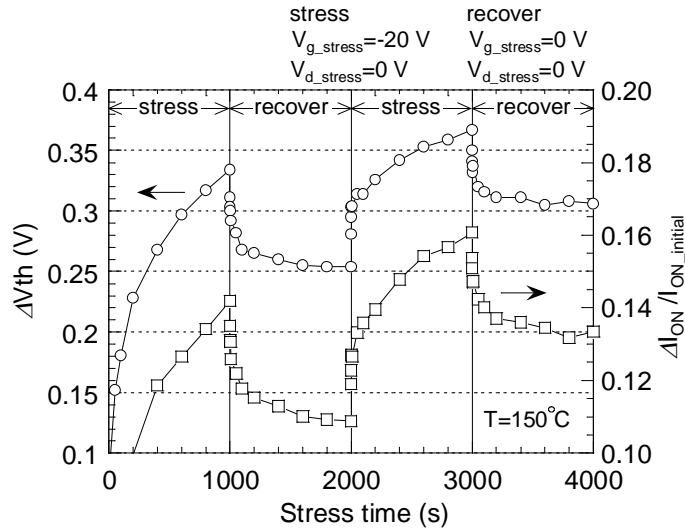


図 4.7 NBT ストレス劣化の回復特性¹²⁾

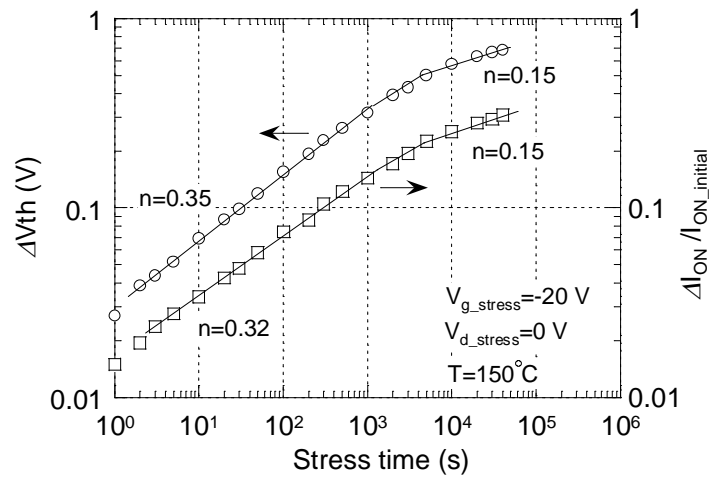


図 4.8 NBT ストレスによる V_{th} シフトおよび I_{ON} 劣化率の経時変化¹²⁾

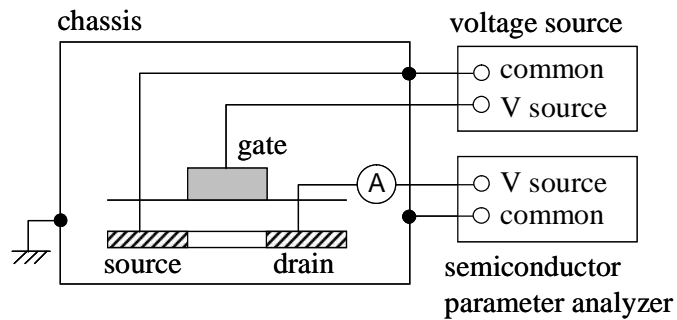


図 4.9 回復現象を抑制して NBT ストレス劣化を評価するための測定系¹²⁾

この方法により測定した I_d 劣化の経時変化を図 4.10 に示す。 I_d は $V_g = V_{g_stress}$, $V_d = -0.1$ V と定義した。ここで, V_{g_stress} はストレス印加時のゲート電圧である。ストレス 1000 秒以降において n 値は 0.17~0.18 となっており, 図 4.8 よりも回復現象を抑制できていることが確認できる。しかし, ストレス印加初期において, n 値は 0.28~0.33 となっており, 劣化の回復の他に n 値を大きくする別の要因があるものと考えられる。一つの可能性として, ストレス初期では Si-H から H が解離する反応に律速されるため n 値が大きいが, その後, H_2 の拡散律速になるため n 値が 0.16 近傍になることが考えられる⁶⁾。

図 4.11 に NBT ストレスによる劣化寿命の温度依存性を示す。劣化寿命は $\Delta I_d / I_{d_initial} = 0.06$ と定義し, 図 4.10 より求めた。図 4.11 に示すように活性化エネルギーは 0.51 eV となっており, 単結晶 Si MOSFET での報告とほぼ同じ値となった。以上の結果より, 低温 poly-Si TFT の NBT ストレス劣化も単結晶 Si MOSFET と同様の特徴を示しており, その劣化メカニズムは Si-H 結合の解離による界面準位の発生と, 解離した水素のゲート酸化膜内への拡散および酸化膜中の欠陥との結合による固定電荷の発生によるものと考えられる。

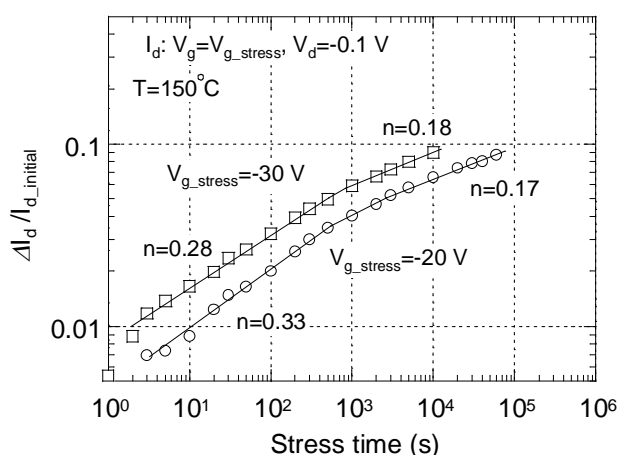


図 4.10 図 4.9 の系で測定した I_d 劣化の経時変化¹²⁾

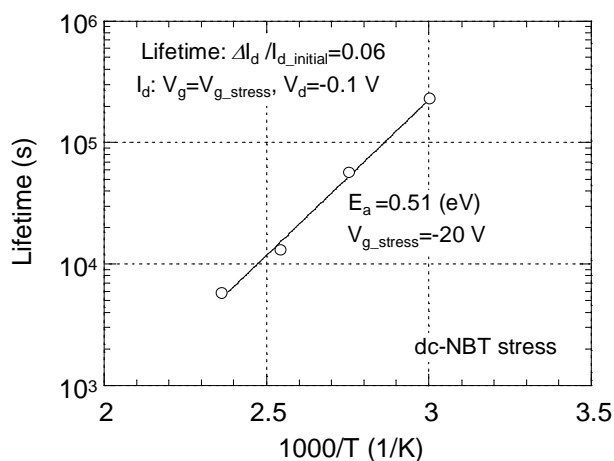


図 4.11 I_d 劣化寿命の温度依存性化¹²⁾

4.3 AC ストレス劣化特性

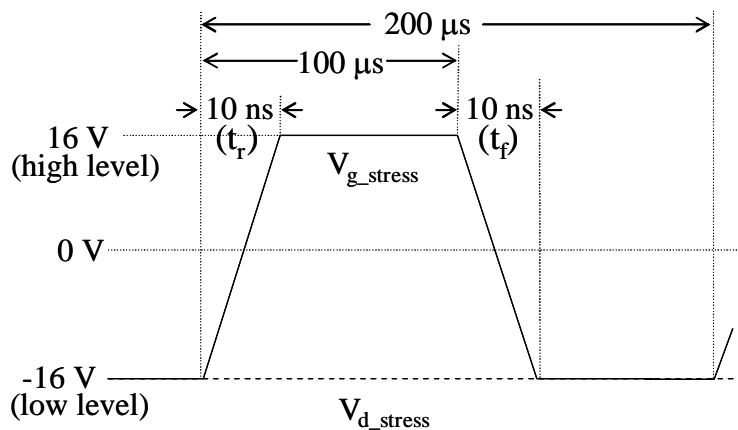
4.3.1 AC ストレス劣化条件

図 4.12 に p チャネル TFT の AC ストレス劣化条件の解析に用いたストレス波形を示す。ゲートパルスストレス(図 4.12(a)), ドレインパルスストレス(図 4.12(b))の 2 通りの AC ストレスを用いた。両者とも周波数は 5 kHz, 立ち上がり時間(t_r), 立ち下がり時間(t_f)はともに 10 ns である。ドレインパルスストレスでは, ゲートに DC 電圧で -3 V を印加しており, ドレイン Low レベルにおいて DAHC ストレスが印加されるように設定してある。両パルス電圧の High レベル, Low レベルそれぞれにおける TFT のバイアス状態を図 4.13, 図 4.14 に示す。ゲートパルスストレスでは, 図 4.13 に示すように, High レベルにおいて TFT はオフ状態, Low レベルにおいて CHC ストレスが印加される。またドレインパルスストレスでは, 図 4.14 に示すように, High レベルにおいて CHC ストレス, Low レベルにおいて DAHC ストレスが印加される。ここで, 図 4.14(b)と図 4.14(c)の比較から明らかのように, ドレインパルスストレスでは, High レベルと Low レベルにおいて, ソース-ドレイン間の電圧の極性が逆になっているという特徴がある。

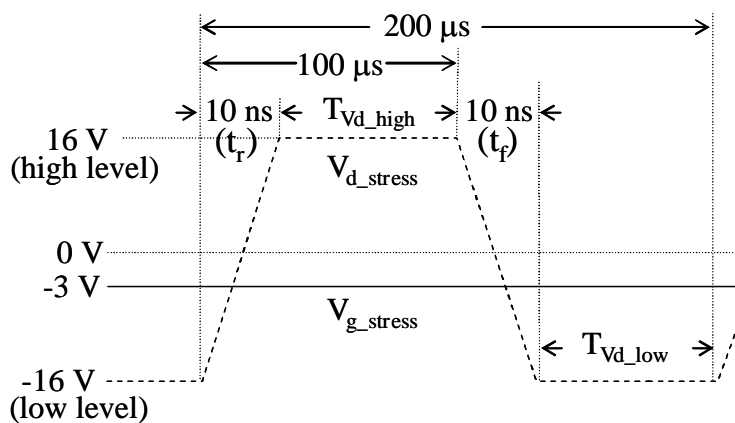
図 4.15 にゲートパルスストレスとドレインパルスストレス, それぞれのストレス印加前後の V_g - I_d 特性を示す。 ΔV_{th} は両ストレスともわずかであるが, ドレインパルスストレスの方が, ストレス時間が 1 桁短いにもかかわらず I_d 劣化が顕著である。両ストレスの g_m 劣化 (g_m/g_{m0}) の比較を図 4.16 に示す。ここで, g_{m0} は初期の g_m 値である。両ストレスとも, ストレス印加初期において g_m/g_{m0} が 1 より大きくなるが, その後低下する。特にドレインパルスストレスでは g_m の低下が顕著である。この AC ストレス劣化の特徴について, まずストレス印加初期の g_m 増加について考察する。図 4.13(a)に示すようにゲートパルスストレスでは, High レベルにおいて TFT はオフ状態になっており, また図 4.14(c)に示すように, ドレインパルスストレスでは, Low レベルにおいて TFT に DAHC ストレスが印加されている。このため, 4.2.1 項で述べたように, ゲート酸化膜への電子注入により負の固定電荷が発生し, 実効的なチャンネル長が減少するため g_m が増加する。TFT には同時に CHC ストレスも印加されるが, オフ状態や DAHC ストレス時に注入される電子の数は, CHC ストレス時に注入されるホールの数よりも多いため, 電子注入の影響が現れるものと考えられる。

次にドレインパルスストレスにおける顕著な g_m 劣化について詳しく調べるため, 2 種類の DC ストレスを交互に印加して劣化特性を評価した。ここで 2 種類の DC ストレスとは, 図 4.14(b)に示す CHC ストレスと図 4.14(c)に示す DAHC ストレスである。それぞれ 1 秒ずつ印加を繰り返した。図 4.17 に DC 交互ストレスによる g_m 劣化特性を示す。図 4.17 と図 4.16 を比較すると, g_m の顕著な劣化と温度依存性が DC 交互ストレスによって再現できしており, p チャネル TFT における AC ストレス劣化は過渡変化ではなく, CHC ストレス(ホール注入)と DAHC ストレス(電子注入)の繰り返しが原因である。また, 図 4.17 は CHC ストレス, DAHC ストレスそれぞれの g_m 劣化特性も示している。図 4.17 より, g_m は CHC

ストレスまたは DAHC ストレスだけでは劣化しておらず，電子注入とホール注入が繰り返された時に g_m の急激な劣化が発生することが明らかである。



(a) ゲートパルスストレス



(b) ドレインパルスストレス

図 4.12 AC ストレス劣化条件の解析に用いたストレス波形 ¹³⁾

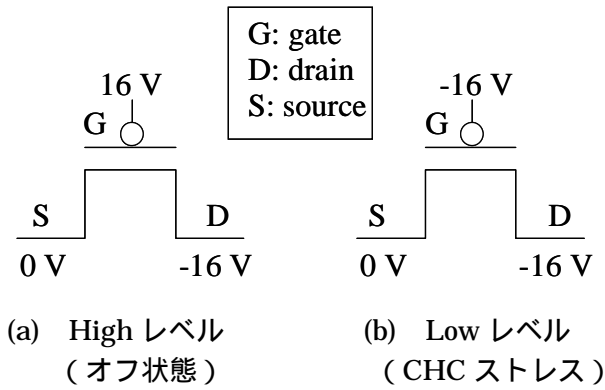


図 4.13 High レベル, Low レベルにおける電圧条件¹³⁾
(ゲートパルスストレス)

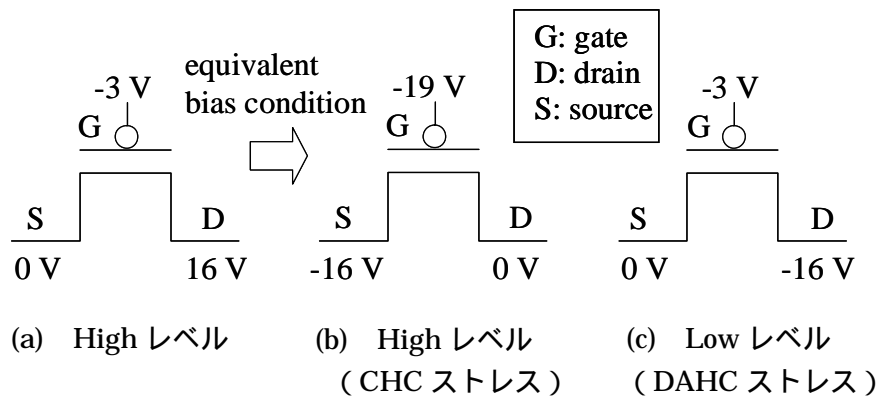


図 4.14 High レベル, Low レベルにおける電圧条件¹³⁾
(ドレインパルスストレス)

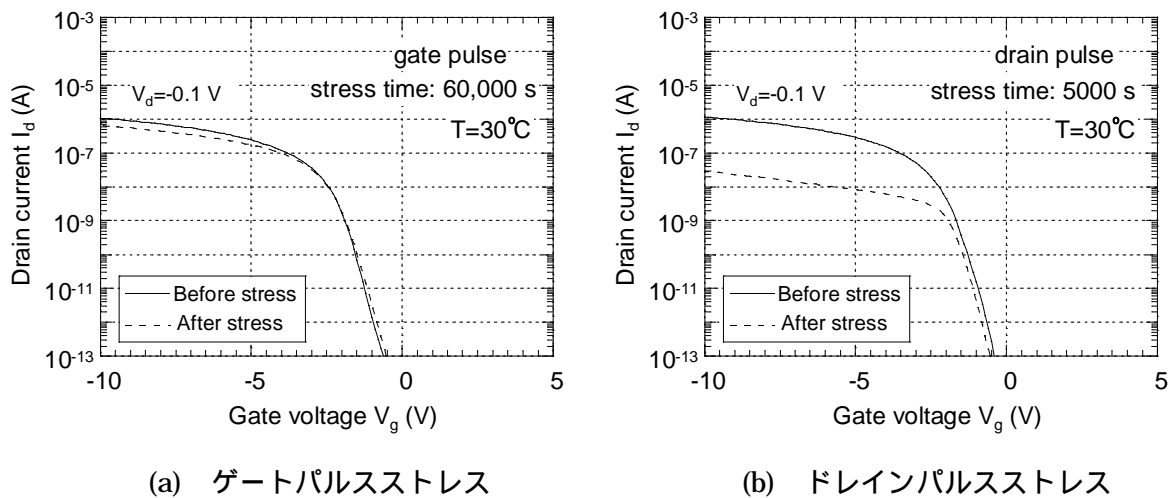


図 4.15 AC ストレス印加前後の V_g - I_d 特性¹³⁾

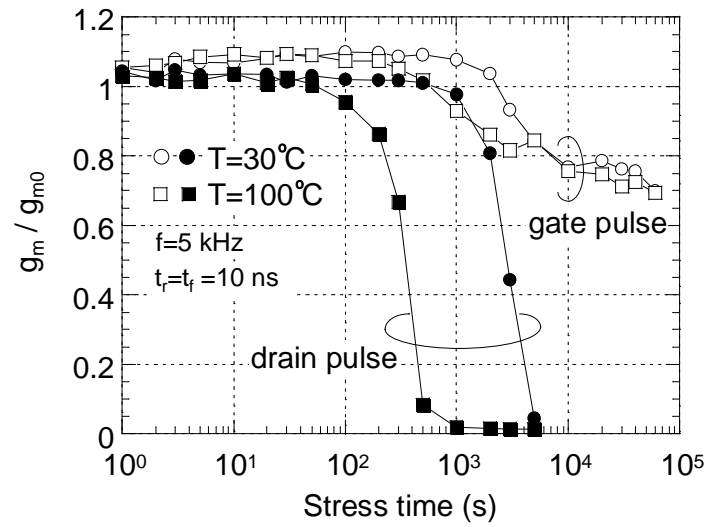


図 4.16 ゲートパルスストレスとドレインパルスストレスの g_m 劣化の比較¹³⁾

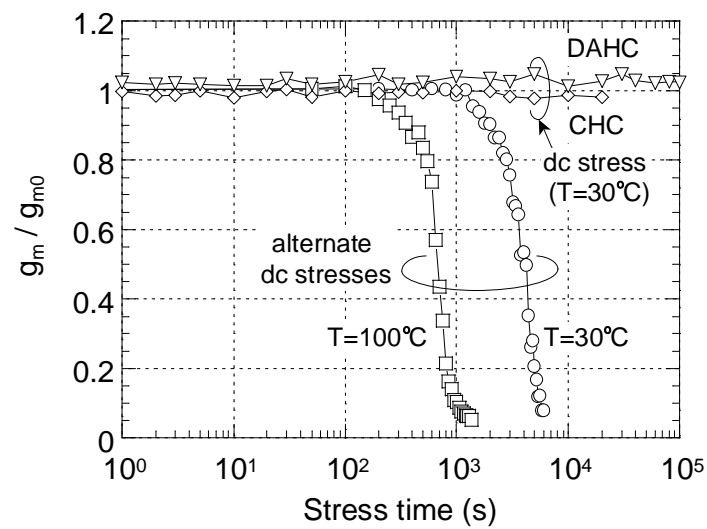


図 4.17 DC 交互ストレスによる g_m 劣化特性¹³⁾

次に、ドレインパルスストレスの方がゲートパルスストレスよりも劣化が顕著になる理由について考察する。まず始めにドレインパルスストレスによる劣化発生領域について以下のような解析を行った。図 4.18 に、ドレインパルスストレス印加後の飽和領域($V_{ds}=-5$ V)と線形領域($V_{ds}=-0.1$ V)それぞれの V_g - I_d 特性を示す。順方向測定ではソースを 0 V とし、ドレインに V_{ds} を印加し、逆方向測定ではドレインを 0 V とし、ソースに V_{ds} を印加している。図 4.18 に示すように、飽和領域($V_{ds}=-5$ V)では逆方向測定の方が、順方向測定よりも I_d 劣化が大きく、劣化はドレイン端近傍に発生していることを示している。順方向測定では、ドレイン端において空乏層が広がるため劣化の影響は現れにくい、逆方向測定では、空乏層はソース端に広がるためドレイン端に発生した劣化の影響が現れる。また、線形領域($V_{ds}=-0.1$ V)では順方向と逆方向とで I_d 劣化に差がみられないが、これは空乏層がほとんど形成されないため、どちらの場合でも劣化の影響が現れるためである。

CHC ストレス時のホール注入領域についても同様な解析を行った。図 4.19 は図 4.14(b) に示した CHC ストレス印加による飽和領域($V_{ds}=-5$ V)、線形領域($V_{ds}=-0.1$ V)それぞれの V_{th} シフトの経時変化を示す。飽和領域において V_{th} シフト量に差がみられ、順方向測定の方が逆方向測定よりも V_{th} シフトが大きい。この結果は、ホール注入量はドレイン端よりもソース端の方が多いことを示している。逆方向測定では空乏層がソース端に広がるため、ホール注入の影響が現れにくい、順方向測定では空乏層がドレイン端に広がるため、ソース端に注入されたホールが V_{th} シフトに寄与する。従って、CHC ストレス時のホール注入領域はゲートパルスストレスでは、図 4.13(b) よりソース端、ドレインパルスストレスでは、図 4.14(b) よりドレイン端となる。一方、電子注入領域は、両ストレスともドレイン端であることから、ホール注入領域と電子注入領域が一致するドレインパルスストレスにおいて劣化が顕在化したと考えられる。

電子注入とホール注入のどちらが g_m 劣化を律速しているか調べるため、ドレインパルスストレスによる g_m 劣化の High 期間(T_{Vd_high})および Low 期間(T_{Vd_low})の依存性を評価した。 T_{Vd_high} および T_{Vd_low} の定義は図 4.12(b) に示す通りである。High 期間では CHC ストレスによりホールが注入され、Low 期間では DAHC ストレスにより電子が注入される。ドレインパルスストレスによる g_m 劣化の T_{Vd_high} 依存性を図 4.20(a) に示す。パルス周期は 1 ms とし、 T_{Vd_high} (ホール注入期間) を 25 μ s から 100 μ s まで変化させた。 T_{Vd_low} (電子注入期間) は T_{Vd_high} (ホール注入期間) より十分長く、電子注入期間は一定とみなせる。図 4.20(a) より、 T_{Vd_high} (ホール注入期間) が増加するほど g_m は急激に劣化しており、 g_m 劣化はホール注入期間に大きく依存することを示している。一方、図 4.20(b) に示すように、 g_m 劣化は T_{Vd_low} (電子注入期間) にはほとんど依存しない。DAHC ストレス時の電子注入量は、CHC ストレス時のホール注入量よりも桁で多く短時間で飽和するため、電子注入期間の依存性は小さいものと考えられる。

以上の結果より、ドレインパルスストレスは、温度が高いほど、またホール注入時間が

長いほど劣化が顕在化することがわかった。さらに前述のように、CHC ストレスではドレイン端よりもゲート電界の大きいソース端の方がホール注入量が多いことから、pチャネル TFT の AC ストレス劣化には NBT ストレスが大きく関与していると考えられる。

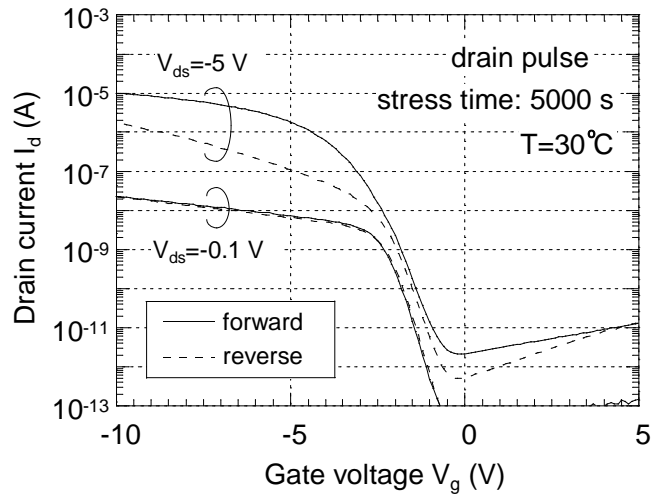


図 4.18 ドレインパルスストレス印加後の V_g - I_d 特性 (順逆方向比較) ¹³⁾

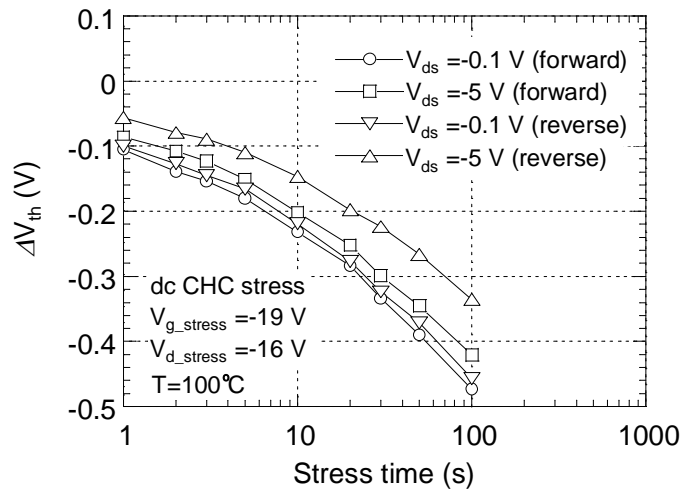
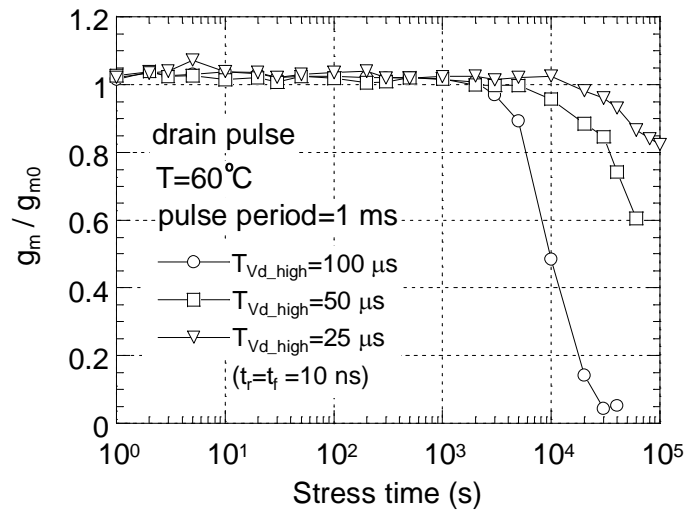
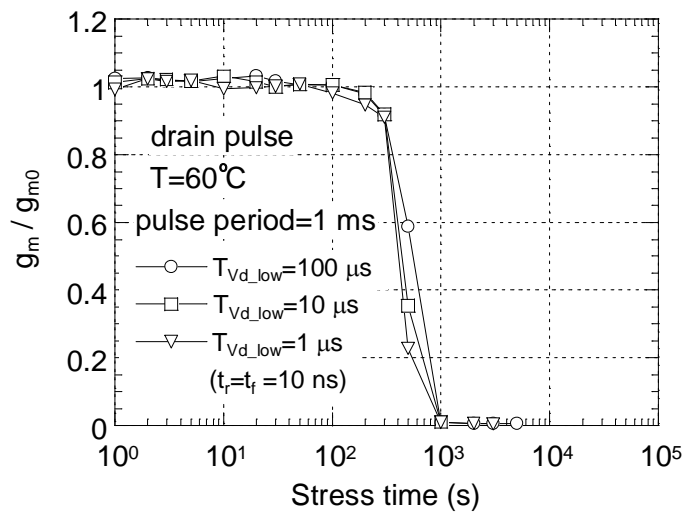


図 4.19 CHC ストレスによる V_{th} シフトの経時変化 (順逆方向比較) ¹³⁾



(a) High 期間依存性



(b) Low 期間依存性

図 4.20 ドレインパルスストレスによる g_m 劣化の High 期間, Low 期間依存性¹³⁾

4.3.2 電子注入とホール注入の相互作用

これまでの解析により、p チャンネル TFT の AC ストレス劣化は、電子注入とホール注入の繰り返しにより顕在化すること、さらにホール注入には NBT ストレス劣化が大きく関与していることが明らかとなった。そこで、NBT ストレス（ホール注入）と DAHC ストレス（電子注入）の繰り返しによる劣化特性を評価し、AC ストレス劣化の支配要因について解析した。評価に用いたストレス波形を図 4.21 に示す。期間(a)と(b)はそれぞれ NBT ストレスと DAHC ストレス期間に対応している。NBT ストレス期間ではチャンネル全体にホールが注入され、DAHC ストレス期間ではドレイン端に電子が注入されるため、電子とホールの両方が注入されるドレイン端において劣化が発生する。

AC ストレスによる I_{ON} 劣化率の温度依存性を図 4.22 に示す。温度が高いほど g_m 劣化が顕在化するため $\Delta I_{ON}/I_{ON_initial}$ が急激に増加している。この温度依存性を DC-NBT ストレス劣化と比較するため、 I_{ON} 劣化寿命の活性化エネルギー (E_a) を評価した。 I_{ON} 劣化寿命は $\Delta I_{ON}/I_{ON_initial}=0.06$ で定義し、図 4.22 より求めた。図 4.23 に示すように、 E_a は 0.51 ~ 0.56 eV であり、図 4.11 に示した DC-NBT ストレスの E_a に近い値となった。さらに、図 4.21 に示す AC ストレスと $V_{gs}=V_{ds}=0$ V の回復期間を繰り返し印加したところ、図 4.24 に示すように AC ストレスにおいても DC-NBT ストレスと類似の回復現象が起こることを確認した。このように、AC ストレス劣化特性は、活性化エネルギーや回復現象など、DC-NBT ストレス劣化と同様の特性を有している。従って、NBT ストレス劣化が AC ストレス劣化の支配要因であり、ドレイン端における劣化は、主に Si-H 結合の解離によるゲート酸化膜界面準位の発生であると考えられる。

AC ストレス劣化メカニズムを詳しく調べるために、図 4.25 に示すように 100 秒の DC-NBT ストレスと 1 秒の DC-DAHC ストレスを交互に印加し、DC-NBT ストレス印加後、DC-DAHC ストレス印加後それぞれについて I_{ON} 劣化を評価した。図 4.26 に示すように、 $\Delta I_{ON}/I_{ON_initial}$ は DAHC ストレス後（電子注入後）ではなく、NBT ストレス後（ホール注入後）に顕著に劣化している。さらに電子注入の影響を調べるため、NBT ストレス時の V_g (V_{g_NBT}) は一定とし、DAHC ストレス時の V_d (V_{d_DAHC}) のみを変化させて DC 交互ストレス劣化を評価した。図 4.27 と図 4.26 を比較すると、NBT ストレス条件は一定であるにも関わらず、 V_{d_DAHC} を小さくすると、NBT ストレス後の I_{ON} 劣化が小さくなるのがわかる。DAHC ストレス時の V_d を小さくするほどドレイン端近傍の電子注入量が少なくなるので、この結果は、DAHC ストレス時の電子注入が NBT 劣化を加速させていることを示している。従って、DAHC ストレス時にドレイン端近傍のゲート酸化膜に捕獲された電子によって、実効的なゲート電圧が局所的に高くなり、この実効的に高くなったゲート電圧によって NBT ストレス劣化が加速されることが p チャンネル TFT の AC ストレス劣化の原因と考えられる。またこの結果は DAHC ストレス時の電子注入量を低減させることにより AC ストレス劣化を抑制できることを示している。

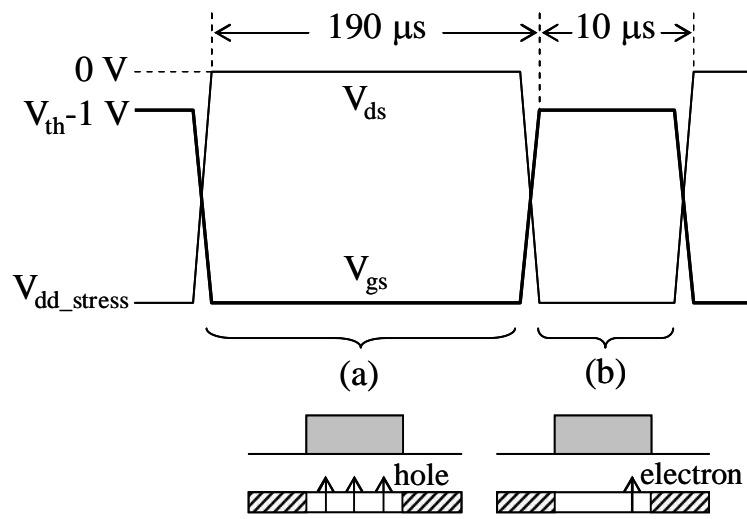


図 4.21 AC ストレス波形 (NBT ストレスと DAHC ストレスの繰り返し) ¹²⁾

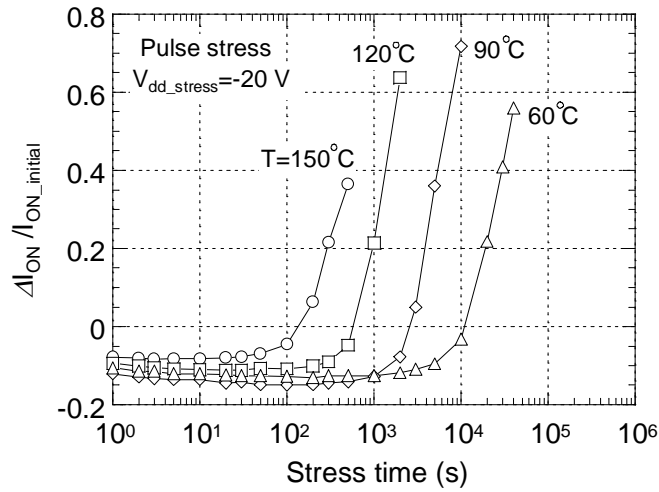


図 4.22 AC ストレスによる I_{ON} 劣化の温度依存性 ¹²⁾

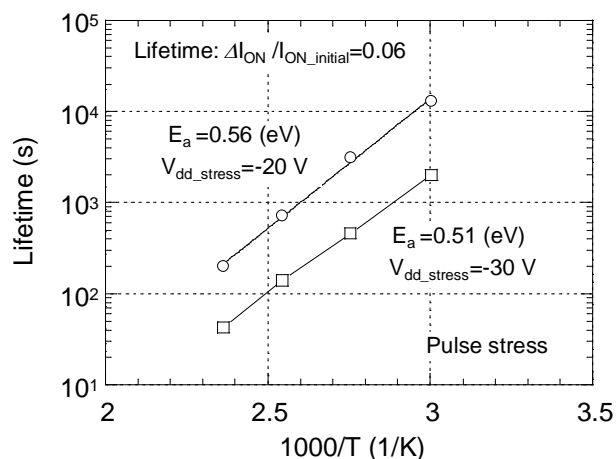


図 4.23 AC ストレスによる I_{ON} 劣化寿命の温度依存性¹²⁾

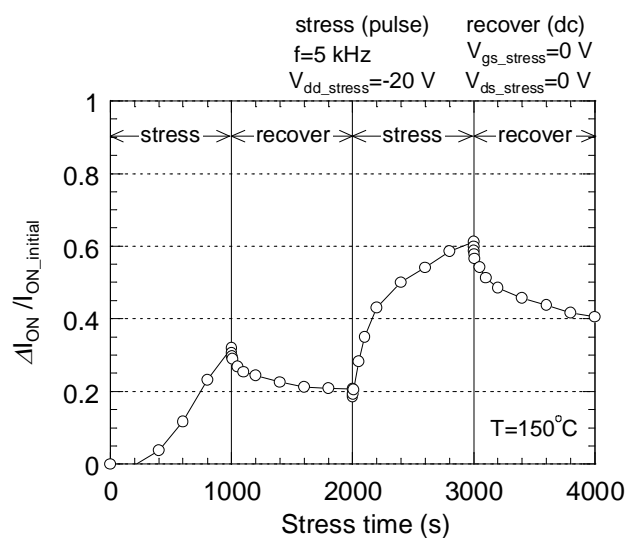


図 4.24 AC ストレス劣化の回復特性¹²⁾

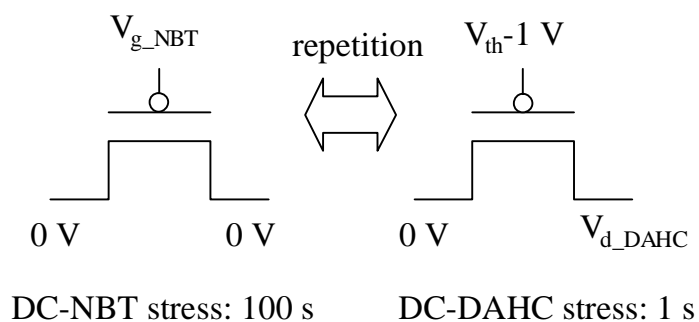


図 4.25 DC 交互ストレスの電圧条件¹²⁾

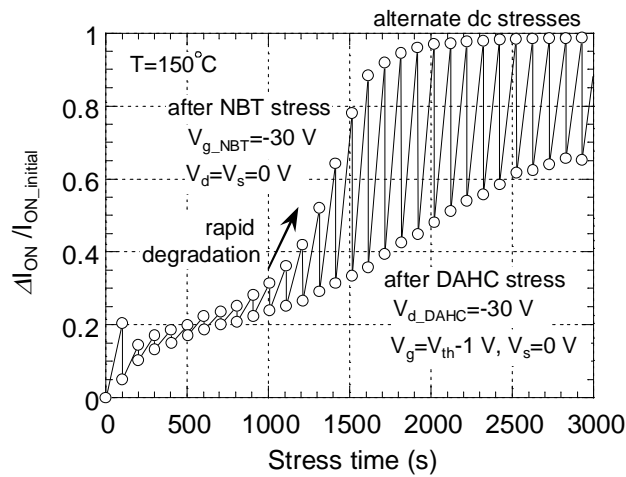
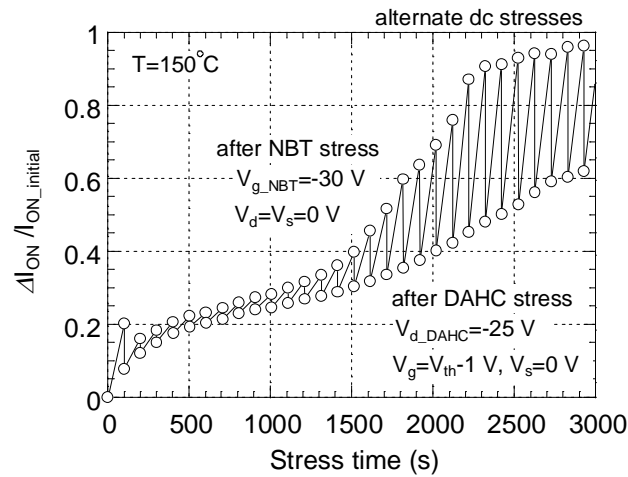
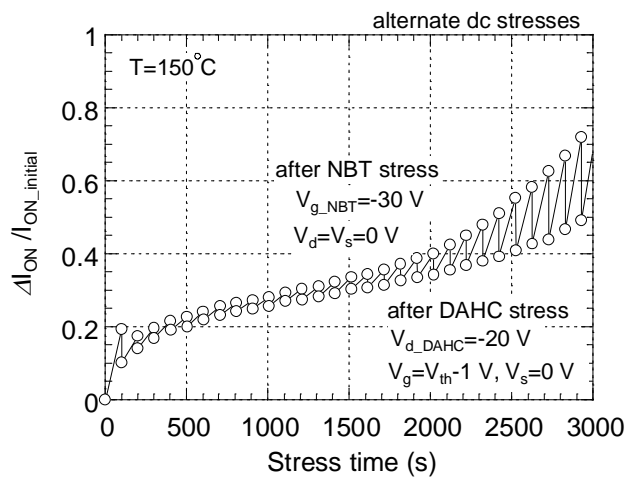


図 4.26 DC 交互ストレスによる I_{ON} 劣化の経時変化¹²⁾
 ($V_{d_DAHC} = -30$ V)



(a) $V_{d_DAHC} = -25$ V



(b) $V_{d_DAHC} = -20$ V

図 4.27 DC 交互ストレスによる I_{ON} 劣化の V_{d_DAHC} 依存性¹²⁾

ストレスゲート電圧が高い場合、NBT ストレスの他に FN (Fowler Nordheim) ストレスに起因した劣化を考慮する必要がある。もし、FN 劣化が支配的であれば温度依存性は観測されないはずである。そこで $V_g = -70$ V において I_{ON} 劣化の温度依存性を評価した。図 4.28 に示すように温度が高いほど I_{ON} 劣化が増加しており、挿入図に示すように活性化エネルギーは $E_a = 0.53$ eV となった。この結果は、 V_g が高い場合においても NBT ストレスが p チャネル TFT の主な劣化要因であることを示している。図 4.29 に DC-NBT ストレスによる g_m 劣化の V_g 依存性を示す。 $V_g = -20$ V では g_m 劣化はわずかであるが、 V_g が高くなると g_m 劣化が増加することがわかる。従って、実効的にゲート電圧が高くなっているドレイン端近傍では、NBT ストレスの加速によりゲート酸化膜界面準位と正の固定電荷が発生していると考えられる。

p チャネル TFT の AC ストレス劣化の特徴として、ある時間から急激に劣化が進むという現象が挙げられる。例えば図 4.26 に示すように、ストレス 1000 秒以降 I_{ON} は急激に劣化している。この急激な劣化について詳しく調べるため、図 4.26 に示す NBT ストレス印加後の $\Delta I_{ON}/I_{ON_initial}$ を詳細に解析した。図 4.30 に図 4.26 中に示す NBT ストレス後の $\Delta I_{ON}/I_{ON_initial}$ と、 V_{th} シフトが原因で起こりうる $\Delta I_{ON}/I_{ON_initial}$ の予測値 (V_{th} シフトから見積もった $\Delta I_{ON}/I_{ON_initial}$) とを比較した結果を示す。 $\Delta I_{ON}/I_{ON_initial}$ の予測値は、DC 交互ストレスによる V_{th} シフト量だけ初期特性をシフトさせて計算により求めた。ストレス初期では、 V_{th} シフトから予測した $\Delta I_{ON}/I_{ON_initial}$ と NBT ストレス後の $\Delta I_{ON}/I_{ON_initial}$ はほぼ同じ特性となっている。従って、ストレス初期の I_{ON} 劣化は、DC-NBT ストレスによりチャネル全体に発生した正の固定電荷による V_{th} シフトが支配的であることがわかる。しかしストレス 1000 秒以降、DC 交互ストレスによる $\Delta I_{ON}/I_{ON_initial}$ は急激に増加するのに対し、 V_{th} シフトから予測した $\Delta I_{ON}/I_{ON_initial}$ には急激な増加は見られない。図 4.31 に図 4.26 中に示す NBT ストレス後の $\Delta I_{ON}/I_{ON_initial}$ と $\Delta g_m/g_{m0}$ を比較した結果を示す。ストレス 1000 秒以降、両者はほぼ一致しており急激な I_{ON} 劣化の主要因は g_m 劣化であることがわかる。従って、ある時間から急激に劣化が進む原因は以下のように考えられる。図 4.32 に、図 4.26 および図 4.27 に示す NBT ストレス後の I_{ON} 劣化特性を比較した結果を示す。 I_{ON} 劣化は、 V_{th} シフトに起因した I_{ON} 劣化と g_m 劣化に起因した I_{ON} 劣化との重ね合わせであることがわかる。すなわち、ストレス初期では V_{th} シフトに起因した I_{ON} 劣化が支配的であるが、その後 g_m 劣化に起因した I_{ON} 劣化が支配的になる。 V_{th} シフトは NBT ストレスによってチャネル全体に発生した正の固定電荷が原因であるため、 V_{d_DAHC} に依存しない。一方、 g_m 劣化はドレイン端近傍において局所的に加速された NBT ストレス劣化(ゲート酸化膜界面準位の発生)が原因であり、DAHC ストレス時の電子注入による実効的なゲート電圧の増大に起因しているため V_{d_DAHC} に大きく依存すると考えられる。

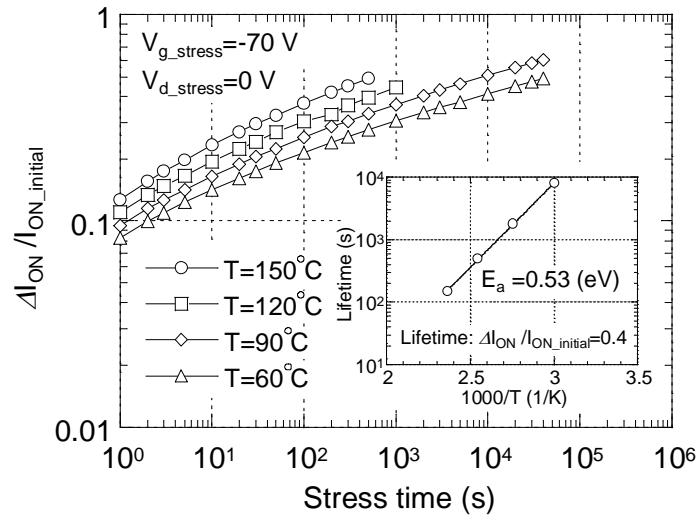


図 4.28 高 V_g ストレスによる I_{ON} 劣化率の温度依存性 ¹²⁾

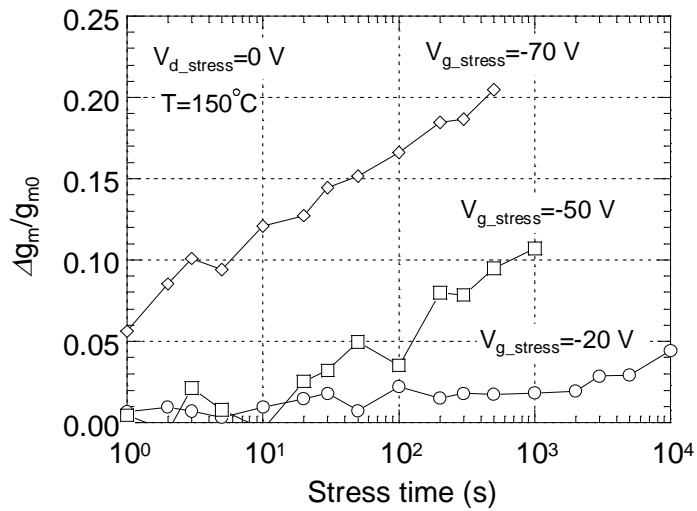


図 4.29 DC-NBT ストレスによる g_m 劣化率のストレス V_g 依存性 ¹²⁾

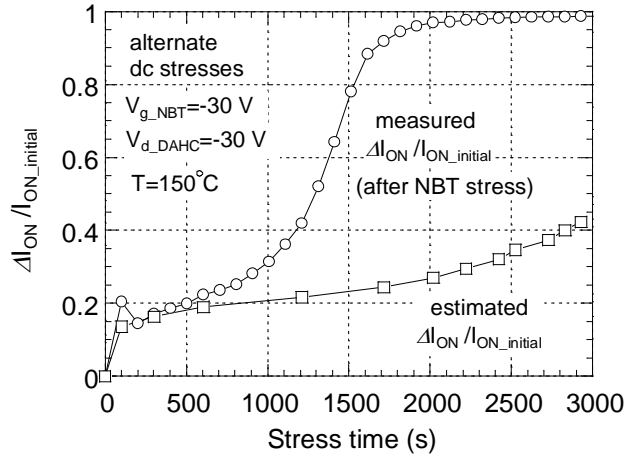


図 4.30 図 4.26 に示す NBT ストレス後の I_{ON} 劣化率と V_{th} シフトから見積もった I_{ON} 劣化率との比較¹²⁾

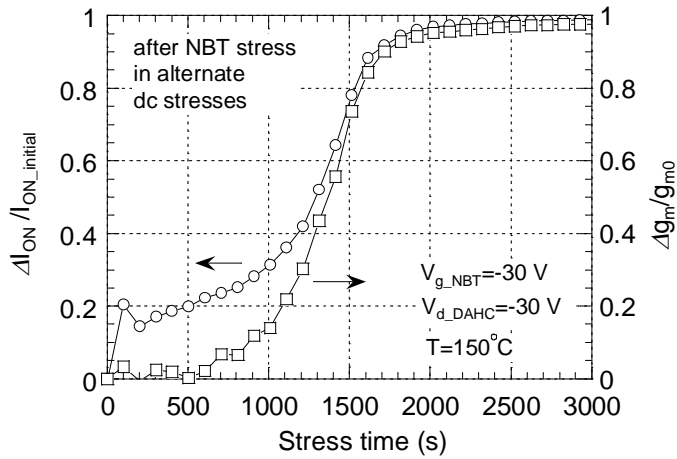


図 4.31 DC 交互ストレスによる I_{ON} 劣化率と g_m 劣化率の比較¹²⁾

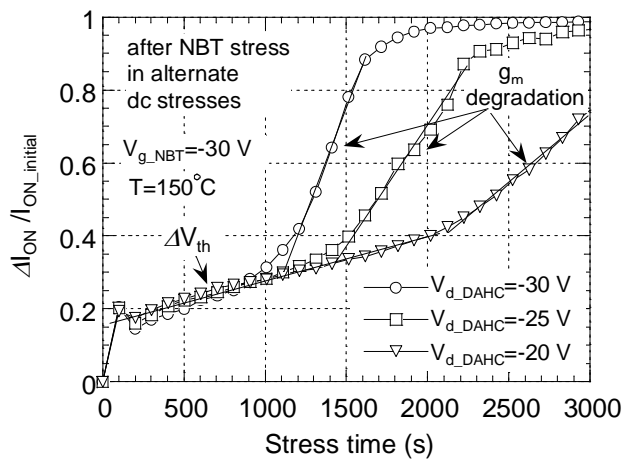


図 4.32 図 4.26-27 に示す NBT ストレス後の I_{ON} 劣化特性の比較¹²⁾

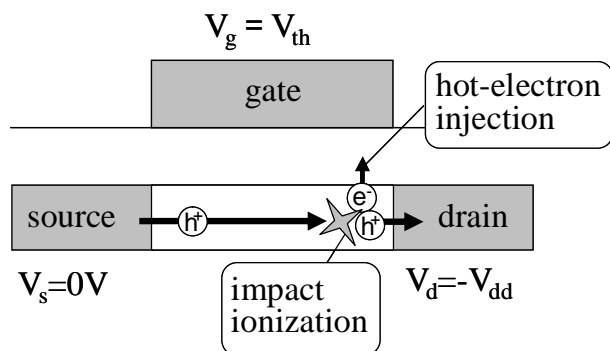
4.3.3 AC ストレス劣化メカニズム

以上の解析結果より，DAHC ストレス（電子注入）と NBT ストレス（ホール注入）の繰り返しによる p チャネル TFT の AC ストレス劣化は以下のメカニズムによるものと考えられる。

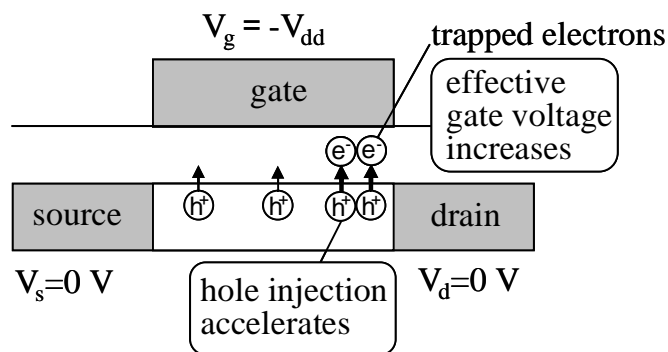
DAHC ストレスが印加された時，ドレイン端の高電界領域においてインパクトイオン化により電子・ホール対が発生。電子がゲート酸化膜に注入され負の固定電荷が発生する（図 4.33(a)）

後に NBT ストレスが印加された時，DAHC ストレス時に発生した負の固定電荷によって実効的なゲート電圧が高くなるため，ドレイン端においてゲート酸化膜界面へのホール注入が促進される。これにより，ドレイン端の局所領域において NBT ストレス劣化が加速され，ゲート酸化膜界面準位が発生するため g_m が劣化する（図 4.33(b)）

AC ストレスでは，NBT ストレスの後に再び DAHC ストレスが印加される。このため，NBT ストレス時に発生する正の固定電荷の影響は現れにくく V_{th} シフトは小さい。さらに，ゲート酸化膜への電子注入が繰り返し起こるため，NBT ストレス劣化は飽和しにくく，ゲート酸化膜界面準位の発生が累積されるため急激な g_m 劣化を引き起こすものと考えられる。



(a) DAHC ストレス印加時



(b) NBT ストレス印加時

図 4.33 p チャネル TFT の AC ストレス劣化メカニズム ¹⁴⁾

4.4 p チャネル TFT の性能と信頼性の両立技術

図 4.26 図 4.27 に示したように p チャネル TFT の AC ストレス劣化は V_{d_DAHC} の低減，すなわちドレイン端の電界緩和により抑制できる。従って n チャネル TFT と同様，GOLD TFT が性能と信頼性の両立技術として有効であると考えられる。GOLD 構造は LDD 構造よりも電界緩和効果は小さいが，p チャネル TFT は SD 構造が用いられているため，GOLD 構造の適用により電界を緩和することができ信頼性の向上が期待できる。p チャネル TFT の信頼性を向上させるもう一つの手段として，C-DOP (cyclic deposition with O_2 plasma treatment) 法¹⁵⁾によるゲート酸化膜の界面改質が挙げられる。C-DOP 法とは，薄い P-TEOS 膜の成膜と O_2 プラズマによる改質を繰り返し，高品質な界面酸化膜を形成する技術である。濱村らは C-DOP 界面酸化膜の適用により，電子注入やホール注入によって発生する固定電荷を低減でき，DAHC ストレス劣化を抑制できることを報告している¹⁵⁾。従って，DAHC ストレス時の電子注入による局所的なゲート電圧の増加や，NBT ストレス時の固定電荷および界面準位の発生を抑制でき AC ストレス信頼性の向上に有効であると考えられる。

4.5 まとめ

本章では，p チャネル TFT の DC/AC ストレス劣化メカニズムおよび性能と信頼性の両立技術を解析し，以下の結論を得た。

<DC ストレス>

- (1) $V_g \sim V_{th}$ の DAHC ストレスおよび $V_g > 0$ V のオフ状態において，インパクトイオン化により発生したホットエレクトロン注入によってゲート酸化膜界面に負の固定電荷が発生する。これによりチャンネル内にホールが誘起され，実効的なチャンネル長が短くなるためオン電流が増加する。
- (2) DC-NBT ストレス劣化特性は，劣化寿命の活性化エネルギーが 0.51 eV であること，またストレス印加を止めると劣化が回復することから，単結晶 Si MOSFET 同様，反応・拡散モデルに基づくものと考えられる。

<AC ストレス>

- (3) 電子注入とホール注入の繰り返しにより移動度が急激に低下する。この劣化には NBT ストレス劣化が大きく関与しており，ホール注入時間が長いほど，また高温になるほど劣化が顕在化する。
- (4) DAHC ストレス条件およびオフ状態では，ドレイン端の高電界領域においてゲート酸化膜界面に電子が注入されるため，局所的に実効ゲート電圧が高くなる。この実効的に高くなったゲート電圧によって，NBT ストレス劣化が加速されることが AC ストレス劣化の原因である。

<性能と信頼性の両立技術>

- (5) 性能と信頼性を両立するためには AC ストレス劣化を抑制することが重要であり，GOLD 構造の適用によりドレイン端電界を緩和し，DAHC ストレス時の電子注入を抑制することや，C-DOP 法などのゲート酸化膜界面改質により電子注入やホール注入によって発生する固定電荷を低減することが有効と考えられる。

【参考文献】

- 1) Y. Uraoka, Y. Morita, H. Yano, T. Hatayama, and T. Fuyuki, "Gate length dependence of hot carrier reliability in low-temperature polycrystalline-silicon p-channel thin film transistors," *Jpn. J. Appl. Phys.*, vol. 41, pp. 5894–5899, Oct. 2002.
- 2) 豊田善章, 芝健夫, 糸賀敏彦, 大倉理 "P-channel 低温 poly-Si TFT の電氣的ストレス劣化特性の解析" 第 64 回応用物理学会学術講演会 講演予稿集, no. 2, p. 778, 2003.
- 3) K. O. Jeppson and C. M. Svensson, "Negative bias stress of MOS devices at high electric fields and degradation of MNOS devices," *J. Appl. Phys.*, vol. 48, pp. 2004-2014, May. 1977.
- 4) C. E. Blat, E. H. Nicollian, and E. H. Poindexter, "Mechanism of negative-bias-temperature instability," *J. Appl. Phys.*, vol. 69, pp. 1712-1720, Feb. 1991.
- 5) S. Ogawa and N. Shiono, "Generalized diffusion-reaction model for the low-field charge-buildup instability at the Si-SiO₂ interface," *Phys. Rev. B*, vol. 51, pp. 4218-4230, Feb. 1995.
- 6) M. A. Alam, "A critical examination of the mechanics of dynamic NBTI for PMOSFETs," in *Proc. Int. Electron Device Meeting*, 2003, pp. 345-348.
- 7) S. Rangan, N. Mielke, and E. C. C. Yeh, "Universal recovery behavior of negative bias temperature instability," in *Proc. Int. Electron Device Meeting*, 2003, pp. 341-344.
- 8) M. Denais, V. Huard, C. Parthasarathy, G. Ribes, F. Perrier, N. Revil, and A. Bravaix, "New methodologies of NBTI characterization eliminating recovery effects," in *Proc. Solid-State Device Research Conference*, 2004, pp. 265-268.
- 9) A. T. Krishnan, C. Chancellor, S. Chakravarthi, P. E. Nicollian, V. Reddy, A. Varghese, R. B. Khamankar, and S. Krishnan, "Material dependence of hydrogen diffusion: implications for NBTI degradation," in *Proc. Int. Electron Device Meeting*, 2005, pp. 688-691.

- 10) D. Varghese, D. Saha, S. Mahapatra, K. Ahmed, F. Nouri, and M. Alam, "On the dispersive versus arrhenius temperature activation of NBTI time evolution in plasma nitrided gate oxide: measurement, theory, and implications," in *Proc. Int. Electron Device Meeting*, 2005, pp. 684-687.
- 11) S. Mahapatra, P. B. Kumar, and M. A. Alam, "Investigation and modeling of interface and bulk trap generation during negative bias temperature instability of p-MOSFETs," *IEEE Trans. Electron Devices*, vol. 51, pp. 1371–1379, Sep. 2004.
- 12) Y. Toyota, M. Matsumura, M. Hatano, T. Shiba, and M. Ohkura, "Accelerated negative-bias temperature degradation in low-temperature polycrystalline-silicon p-channel TFTs under dynamic stress," *IEEE Trans. Electron Devices*, vol. 54, pp. 2452–2459, Sep. 2007.
- 13) Y. Toyota, M. Matsumura, M. Hatano, T. Shiba, and M. Ohkura, "A new study on the degradation mechanism in low-temperature p-channel polycrystalline silicon TFTs under dynamic stress," *IEEE Trans. Electron Devices*, vol. 53, pp. 2280–2286, Sep. 2006.
- 14) Y. Toyota, M. Matsumura, M. Hatano, T. Shiba, and M. Ohkura, "Degradation characteristics of n- and p-channel polycrystalline-silicon TFTs under CMOS inverter operation," *IEEE Trans. Electron Devices*, vol. 57, pp. 429–436, Feb. 2010.
- 15) H. Hamamura, M. Matsumura, T. Mine, and K. Torii, "High-quality CVD SiO₂ interfacial layer prepared by cyclic deposition with O₂ plasma treatment," *J. Electrochemical Society*, 153 (7), pp. G636-G639, 2006

第5章 CMOS インバータ回路動作時の TFT 劣化特性

第3章～第4章において、AC ストレス印加による n チャンネル TFT および p チャンネル TFT の劣化メカニズムについて解析した。本章ではこれらの知見に基づき、実際の回路動作時における TFT の劣化特性を解析する。個々の TFT 特性が評価可能な CMOS インバータ TEG を用いて、回路設計の基本パラメータである周波数、Duty 比、立ち上がり時間、立ち下がり時間が、各 TFT の劣化特性に及ぼす影響を明らかにする。さらに TFT の劣化抑制の観点から、CMOS TFT を高速回路に適用する際の回路駆動方法の指針を示す。最後に、解析結果の適用事例として、CMOS 回路を内蔵した OLED ディスプレイの試作結果を述べる。

5.1 初期特性と作製プロセス

図 5.1 に n チャンネル TFT、p チャンネル TFT それぞれの V_g - I_d 特性を示す。n チャンネル TFT は LDD 構造、p チャンネル TFT は SD 構造である。表 5.1 に各 TFT のデバイスパラメータを示す。なお、各種デバイスパラメータの定義は、表 3.2、表 4.2 にそれぞれ示した通りである。n チャンネル TFT および p チャンネル TFT の作製プロセスを以下説明する。

ガラス基板上に PECVD 法により 50 nm の a-Si 膜を形成する。さらに、波長 308 nm の XeCl エキシマレーザを照射し a-Si を結晶化させ poly-Si 膜を得る。poly-Si 膜を島状に加工した後、400 °C 以下の PE-CVD 法により 100 nm のゲート酸化膜を形成する。このゲート酸化膜は、TEOS と O₂ の混合ガスを原料とした P-TEOS 膜である。ゲート電極 (MoW) を形成の後、ゲート電極をマスクとして n チャンネル TFT に対してはリンイオンを、p チャンネル TFT に対してはボロンイオンを打ち込みソース・ドレイン領域を形成する。その後、層間絶縁膜(500 nm)を形成し、490 °C 1 時間の活性化アニールを施す。コンタクトホール開口の後、ソース・ドレイン電極を形成し、SiN からなる保護絶縁膜を形成する。最後に、窒素雰囲気において 400 °C 1 時間のアニール処理を施し、SiN 膜中の水素の拡散により欠陥準位の終端化を行う。

5.2 評価 TEG の構成

評価に用いたインバータ TEG の構成を図 5.2 に示す。CMOS TFT、負荷容量、およびスイッチ用 TFT で構成されている。CMOS TFT の寸法は、n チャンネル TFT、p チャンネル TFT とともに $W=10\ \mu\text{m}$ 、 $L=4\ \mu\text{m}$ 、負荷容量は 300 fF である。スイッチ用 TFT は、各 TFT の V_g - I_d 測定とストレス印加とを切り替えるために設けられており、 V_g - I_d 測定時にスイッチ用 TFT の直列抵抗が無視できるよう、スイッチ用 TFT の寸法は、 $W=100\ \mu\text{m}$ 、 $L=4\ \mu\text{m}$ と

している。なお、一連の測定は半導体パラメータアナライザ (HP4156B) およびパルスジェネレータ(HP41501B)を用いて行っており、プログラム制御によりストレス印加と V_g - I_d 測定を切り替えて、インバータ動作時の TFT 劣化特性を評価した。図 5.3 にインバータ動作波形を示す。なお、図 5.3 は電源電圧 $V_{dd}=5$ V での波形であるが、ストレス印加時は $V_{dd}=20$ V としている。

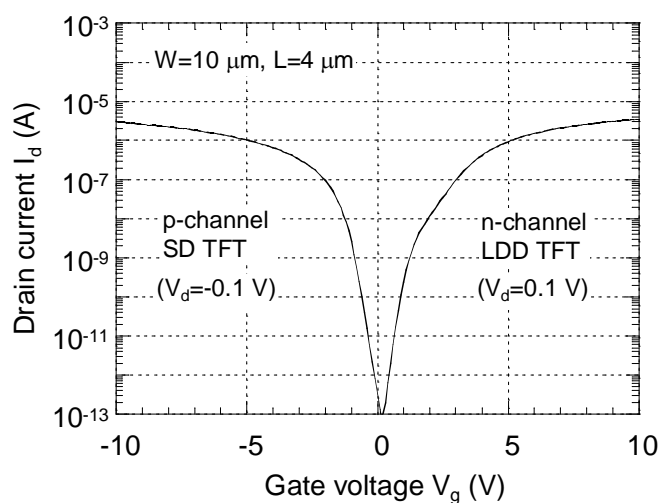


図 5.1 n チャンネル TFT および p チャンネル TFT の V_g - I_d 特性¹⁾

表 5.1 n チャンネル TFT および p チャンネル TFT のデバイスパラメータ¹⁾

TFT Type	移動度(cm^2/Vs)	V_{th} (V)	S (V/decade)
n-channel LDD TFT	70	2	0.28
p-channel SD TFT	48	-1.3	0.26

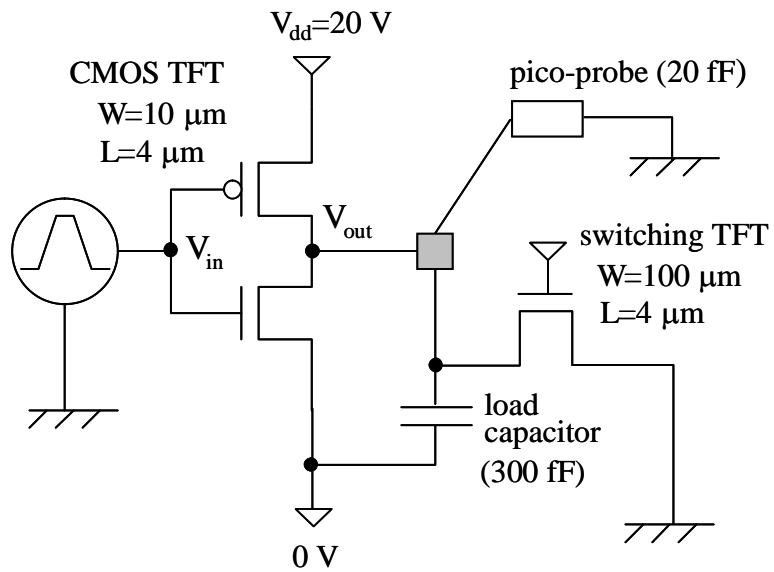
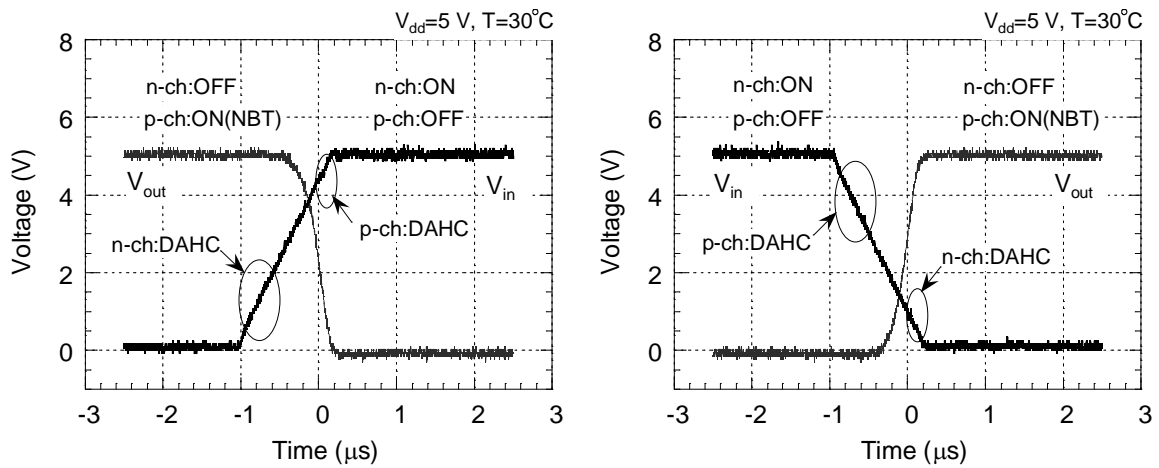


図 5.2 インバータ TEG の構成 (ストレス印加時の電圧条件) ¹⁾



(a) V_{in} 立ち上がり近傍

(b) V_{in} 立ち下がり近傍

図 5.3 インバータ動作波形 ¹⁾

5.3 実験結果

5.3.1 温度依存性

図 5.4 にインバータストレスによる n チャンネル LDD TFT , p チャンネル SD TFT それぞれの V_g - I_d 特性の変化を示す。入力パルスの周波数は 50 kHz , Duty 比は 5% , 立ち上がり時間(t_r) , 立ち下がり時間(t_f)はともに 100 ns である。n チャンネル TFT , p チャンネル TFT とともに V_{th} シフトはわずかであるが , I_{ON} が大きく減少している。従って , 以降の評価では I_{ON} 劣化率($\Delta I_{ON}/I_{ON_initial}$)を用いて , 各 TFT の劣化特性を評価した。

図 5.5 に n チャンネル TFT におけるインバータストレス劣化の温度依存性を示す。n チャンネル TFT では , 温度が低いほど $\Delta I_{ON}/I_{ON_initial}$ が増加する。第 3 章で述べたように , n チャンネル TFT (LDD 構造) の AC ストレス劣化は , DAHC ストレス劣化の累積で決定されるため , 図 5.5 の結果は , DC-DAHC ストレス劣化の温度依存性に起因していると考えられる。そこで 単体 n チャンネル TFT を用いて DC-DAHC ストレス劣化の温度依存性を評価した。結果を図 5.6 に示す。ストレス条件は $V_g = V_{th} + 1$ V , $V_d = 20$ V である。インバータストレスによる劣化特性と同様 , DC-DAHC ストレス劣化も温度が低いほど $\Delta I_{ON}/I_{ON_initial}$ が増加することを確認した。DC-DAHC ストレス劣化の温度依存性は , 単結晶 Si MOSFET において詳しく解析がなされており , 低温において劣化が増大することが報告されている²⁻³⁾。この原因としては , (1)チャンネル内の電子がフォノンと衝突する確率が小さくなるため , 酸化膜に注入されるホットエレクトロンの数が増える , (2)高いエネルギーをもった電子によってインパクトイオン化が引き起こされる確率が増加し , 酸化膜に注入されるホットキャリアの数が増える , (3)低温ほど欠陥準位の捕獲断面積が大きくなってキャリアが捕獲される確率が増える , などが考えられている⁴⁾。

一方 , p チャンネル TFT では図 5.7 に示すように , 温度が高いほど劣化が促進される。図 5.3 に示したように , p チャンネル TFT ではインバータ動作時に DAHC ストレスおよびオフ状態での電子注入と , NBT ストレスでのホール注入が繰り返し起こっており , インバータストレス時における p チャンネル TFT の劣化要因は , 第 4 章で述べた電子注入により加速された NBT ストレス劣化であるため高温ほど劣化が促進されると考えられる。ここで , 図 4.21 は NBT ストレスと DAHC ストレスの繰り返しであったが , インバータ動作時はオン状態 (NBT ストレス) とオフ状態の繰り返しであるため , 図 5.8 に示すインバータ模擬波形を用いて $\Delta I_{ON}/I_{ON_initial}$ のドレイン Low レベル(V_{d_low})依存性を評価した。図 5.9 に示すように , V_{d_low} を負側に大きくするほど , AC ストレス劣化は増加しており , インバータ動作時においても DAHC ストレスおよびオフ状態での電子注入が p チャンネル TFT の AC ストレス劣化を加速させることを示している。

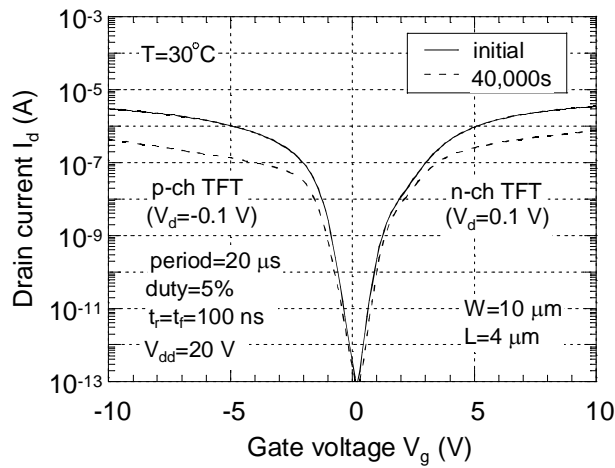


図 5.4 インバータストレスによる V_g - I_d 特性の変化¹⁾

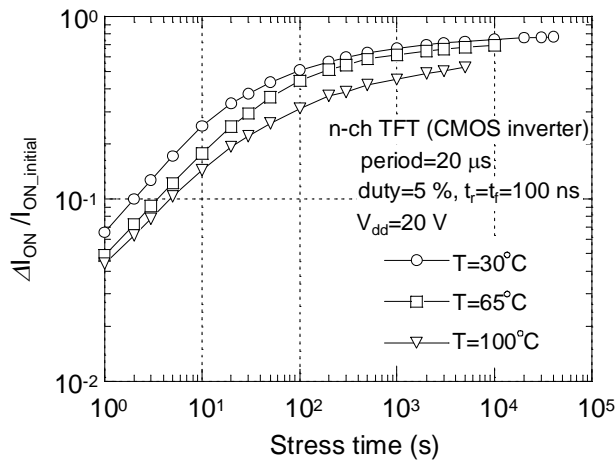


図 5.5 インバータストレス劣化の温度依存性 (n チャネル TFT)¹⁾

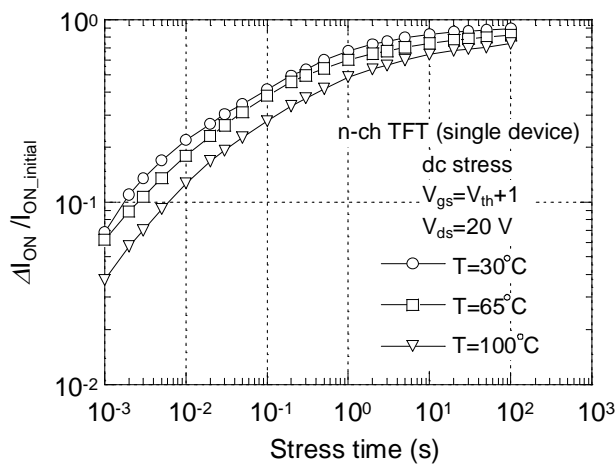


図 5.6 DC-DAHC ストレス劣化の温度依存性 (単体 n チャネル TFT)¹⁾

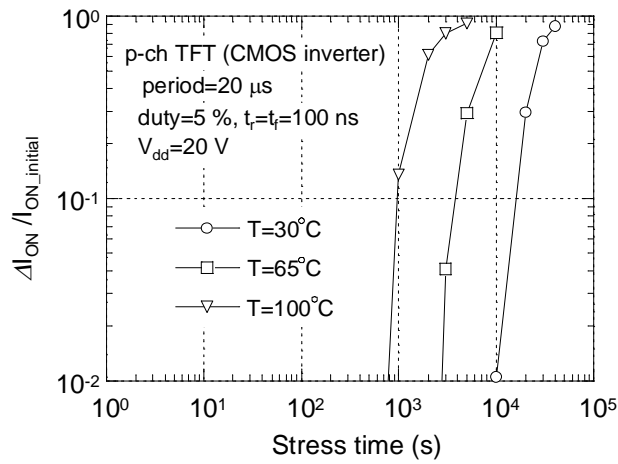


図 5.7 インバータストレス劣化の温度依存性 (p チャネル TFT) ¹⁾

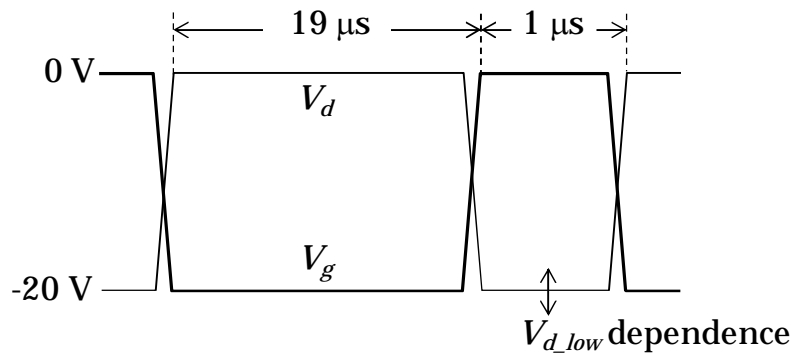


図 5.8 インバータストレスの模擬波形 ¹⁾

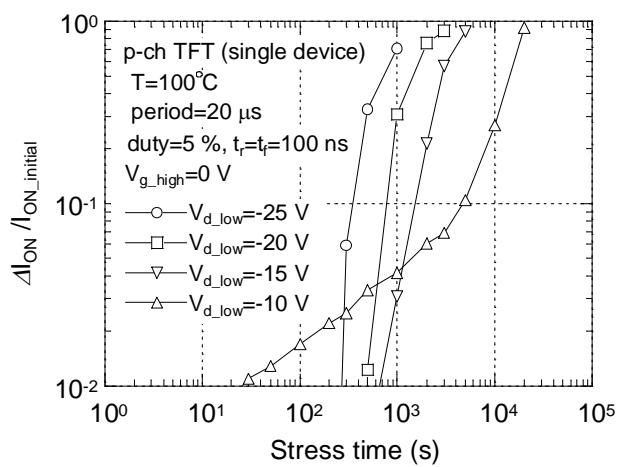


図 5.9 インバータ模擬波形による劣化の $V_{d,low}$ 依存性 (単体 p チャネル TFT) ¹⁾

5.3.2 周波数・Duty 比依存性

図 5.10 ,図 5.11 にインバータストレス劣化の周波数および Duty 比依存性をそれぞれ示す。ここで Duty 比とは、入力パルスの周期に占めるパルス幅の割合である。このインバータストレス劣化の周波数依存性および Duty 比依存性も、第 3 章および第 4 章で示した劣化モデルを用いて説明できる。図 5.10(a)に示すように、n チャネル TFT は、周波数が増加するほど $\Delta I_{ON} / I_{ON_initial}$ が大きくなる。これは、周波数を高くするとゲートパルスの立ち上がり / 立ち下がり時の DAHC ストレス回数が増加、すなわち累積 DAHC ストレス時間が増加するためであり、周波数を 1 桁増加させると、 I_d 劣化の時間が約 1 桁短くなる。また、Duty 比を変えても DAHC ストレス回数は変わらないため、図 5.11(a)に示すように $\Delta I_{ON} / I_{ON_initial}$ は Duty 比には依存しない。一方、p チャネル TFT は、周波数が高いほど、また Duty 比が小さい（パルス幅が短い）ほど $\Delta I_{ON} / I_{ON_initial}$ が大きくなる。Duty 比を小さくすると $\Delta I_{ON} / I_{ON_initial}$ が増加するのは、NBT ストレス時間が長くなるためであり、図 4.20 に示したように p チャネル TFT の AC ストレス劣化はホール注入時間に大きく依存することに起因する。また、周波数を高くするほど $\Delta I_{ON} / I_{ON_initial}$ が大きくなるのは、DAHC ストレスおよびオフ状態における電子の注入回数が増えることにより、NBT ストレス劣化が飽和しにくくなるためと考えられる。

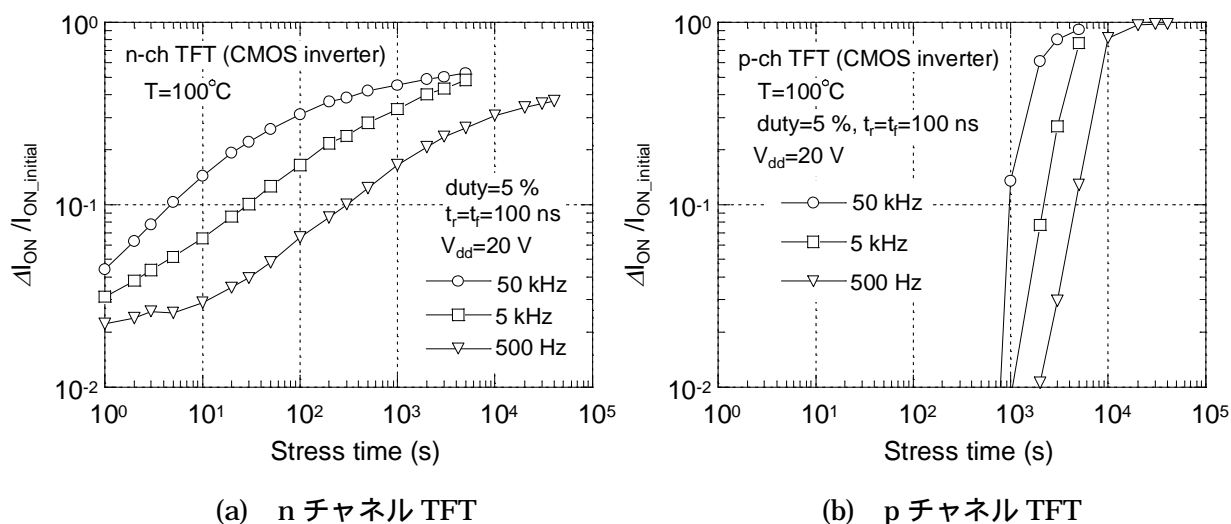


図 5.10 インバータストレス劣化の周波数依存性¹⁾

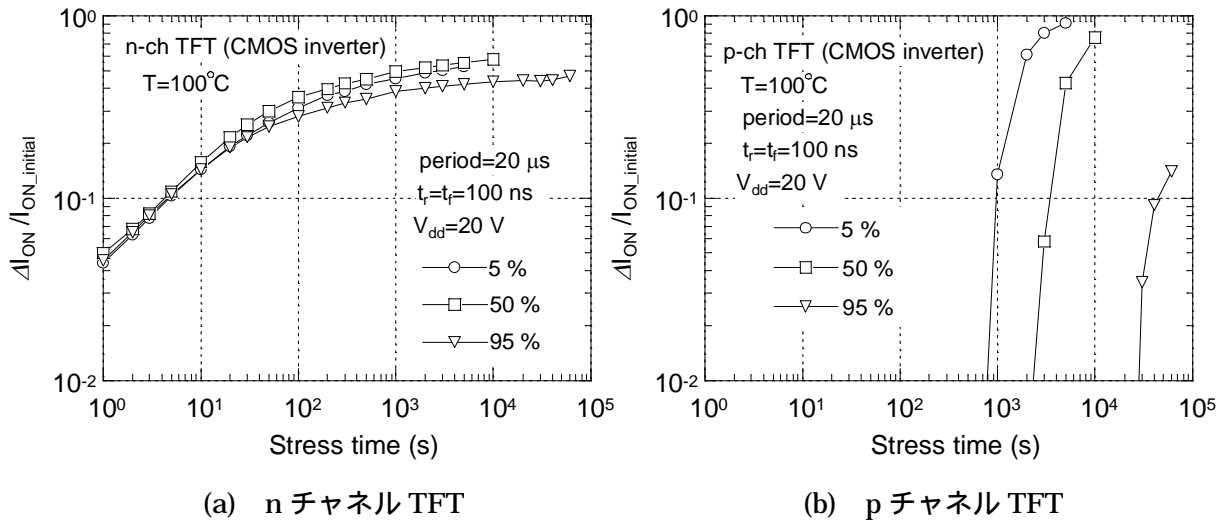


図 5.11 インバータストレス劣化の Duty 比依存性¹⁾

5.3.3 立ち上がり・立ち下がり時間依存性

図 5.12 にインバータストレス劣化の t_r , t_f 依存性を示す。n チャネル TFT は、 t_r , t_f を長くすると、DAHC ストレス時間が長くなるため $\Delta I_{ON}/I_{ON_initial}$ が増加する。 t_f を長くする場合に比べ、 t_r を長くした方が $\Delta I_{ON}/I_{ON_initial}$ が増加するのは、図 5.3 に示したように $V_g = V_{th}$ 近傍での V_d 値が異なる（立ち上がり時の方が $V_{out} (=V_d)$ が大きい）ためである。一方、p チャネル TFT は DAHC ストレス回数も NBT ストレス時間も同じであるため、 $\Delta I_{ON}/I_{ON_initial}$ は t_r , t_f には依存しないと予想されたが、図 5.12(b) に示すように t_r を長くすると $\Delta I_{ON}/I_{ON_initial}$ が減少した。この原因について調べるため、ゲートパルスの過渡変化による p チャネル TFT の特性変動について解析した。

第 3 章で示したように、n チャネル TFT (SD 構造) では、poly-Si 粒界またはゲート酸化膜界面に捕獲された電子がゲートパルスの過渡的な変化に追従することができず、ゲート Low レベル（ドレイン端電界の高い状態）において放出され、ホットになるため劣化が促進される。このゲートパルスの過渡変化による劣化は p チャネル TFT でも報告されており⁵⁾、n チャネル TFT と同様な欠陥準位に起因した劣化が p チャネル TFT でも起こっていることが考えられる。そこで、図 5.13 に示すようなストレス波形を印加し、過渡変化時の p チャネル TFT の劣化特性を評価した。図 5.14 に $V_g = \pm 20$ V の DC ストレスと、 $V_g = +20$ V ~ -20 V の AC ストレスを印加した場合の I_{ON} 劣化特性を示す。なお、縦軸は「劣化率」であり、正の値は I_{ON} が減少、負の値は I_{ON} が増加することを示している。図 5.14 に示すように、 $V_g = -20$ V では I_{ON} は減少、 $V_g = +20$ V では I_{ON} はほとんど変化していないが、パルスで $V_g = +20$ V と -20 V を繰り返した場合 I_{ON} は増加している。4.2.1 項で述べたように p チャネル TFT では DAHC ストレス条件およびオフ状態においてホットエレクトロンがゲ

ート酸化膜に注入され、負の固定電荷を発生させることにより I_{ON} が増加する。従って、過渡変化時の p チャネル TFT の劣化も n チャネル TFT と同様、欠陥準位からのキャリア(ホール)の放出に起因していると考えられる。図 5.15 に示すように、ゲート酸化膜界面または poly-Si 粒界の欠陥準位に捕獲されたホールが、ゲートパルスの急峻な変化に追従することができずオフ状態(接合端の電界が高い状態)において放出され、インパクトイオン化を引き起こしホットエレクトロンがゲート酸化膜に注入、負の固定電荷を発生させるため I_{ON} が増加すると考えられる。さらに、図 5.16 に示すようにストレスパルス(図 5.13)の t_r を長くした場合、 I_{ON} は増加しにくくなる。これは、立ち上がり時間が長くなると、TFT がオフ状態になる前にホールが欠陥準位から放出されるためインパクトイオン化が起こりにくくなり、ホットエレクトロンの発生量が減少するためと説明できる。以上の結果から、図 5.12(b)に示した p チャネル TFT のインバータストレス劣化の t_r 依存性は、 t_r が長くなるとホットエレクトロン注入による実効的なゲート電圧の増加が抑制されるため、NBT ストレス劣化が加速されにくくなることが原因であると考えられる。

5.3.4 高速回路駆動方法の指針

以上、インバータストレスによる n チャネル LDD TFT , p チャネル SD TFT それぞれの劣化特性を表 5.2 にまとめる。n チャネル TFT の劣化は、DC ストレス成分、すなわち ON/OFF スwitching時における DAHC ストレス劣化の累積が支配的であり、低温になるほど劣化が大きくなる。また、周波数が高いほど、 t_r 、 t_f が長くなるほど、累積 DAHC ストレス時間の増大により劣化が顕在化する。一方、p チャネル TFT の劣化は DAHC ストレスおよびオフ状態におけるゲート酸化膜への電子注入により加速された NBT ストレス劣化が支配的であり、温度が高いほど、Duty 比が小さいほど劣化が促進される。また周波数が高いほど、 t_r が短いほど、DAHC ストレスおよびオフ状態でのホットエレクトロン注入が起こり易くなるため劣化が大きくなる。

従って、 t_r 、 t_f が短い高速回路動作条件においては、p チャネル TFT の劣化を抑制することが重要となる。この一例として、図 5.17 にインバータ出力波形の経時変化を示す。ストレス時の入力信号は周波数 50 kHz、Duty 比 5%、 $t_r=t_f=100$ ns、 $V_{dd}=20$ V である。30 では出力波形の変動はわずかであるが、100 ではストレス 5000 秒において出力波形の立ち上がり特性が劣化している。これは、p チャネル TFT の I_{ON} 劣化に起因しており、図 5.7 に示したようにストレス 5000 秒において $\Delta I_{ON}/I_{ON_initial}$ が急激に増加することに対応している。このため、TFT 劣化がインバータ回路動作に及ぼす影響としては、n チャネル TFT よりも p チャネル TFT の方が大きい。以上の結果より、CMOS TFT を高速回路に適用する場合、p チャネル TFT の劣化を抑制する必要がある、回路駆動方法としては入力信号の Duty 比を大きくすることが重要である。

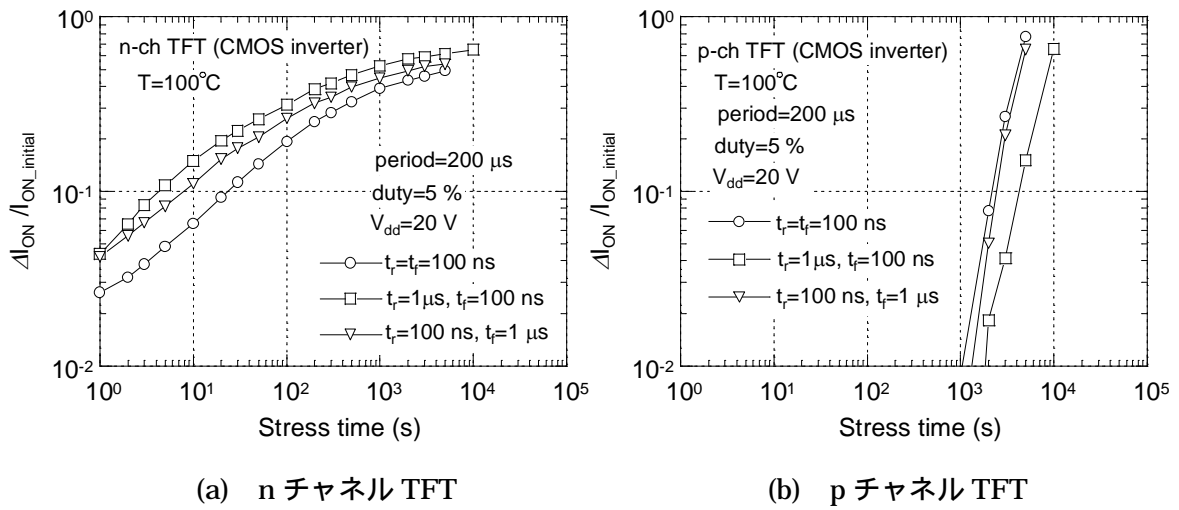


図 5.12 インバーストレス劣化の t_r , t_f 依存性¹⁾

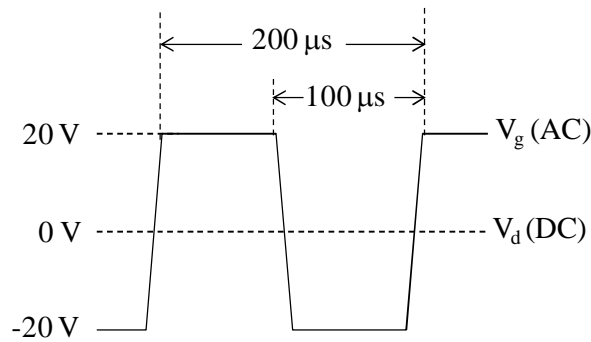


図 5.13 過渡変化時の p チャネル TFT 劣化解析に用いたストレス波形¹⁾

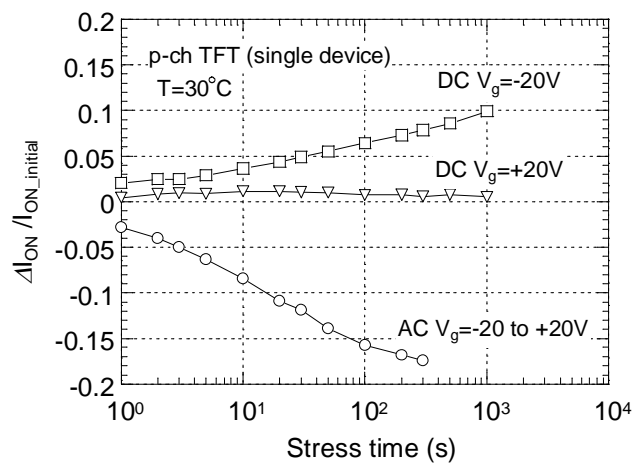
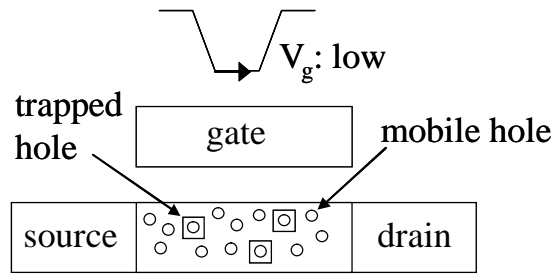
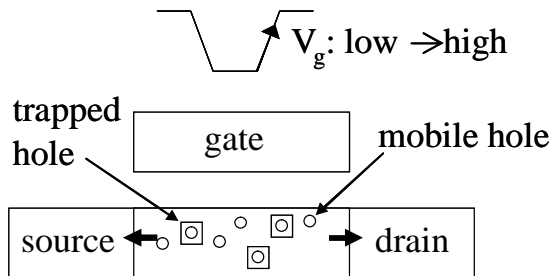


図 5.14 過渡変化に起因した p チャネル TFT の劣化¹⁾



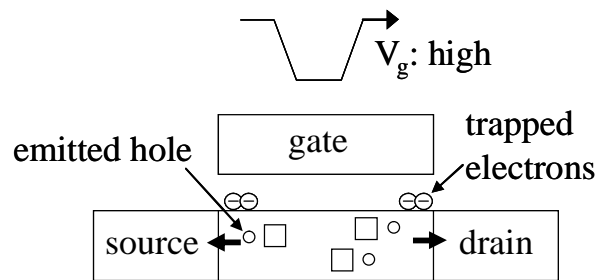
(a) ゲート Low レベル

自由ホールや，準位に捕獲されたホールが多数存在



(b) ゲートパルス立ち上がり

ゲート電圧に追従して自由ホール減少



(c) ゲート High レベル

準位から放出されたホールがインパクトイオン化を引き起こし，ゲート酸化膜へのホットエレクトロン注入により負の固定電荷発生

図 5.15 過渡変化時の p チャネル TFT 劣化メカニズム¹⁾

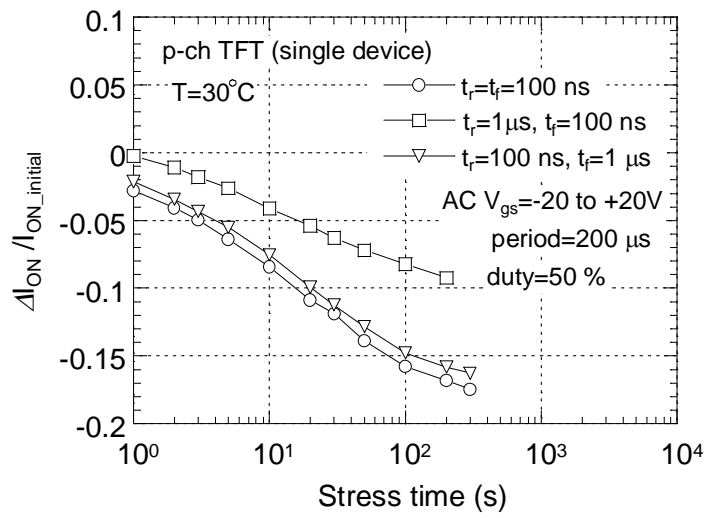
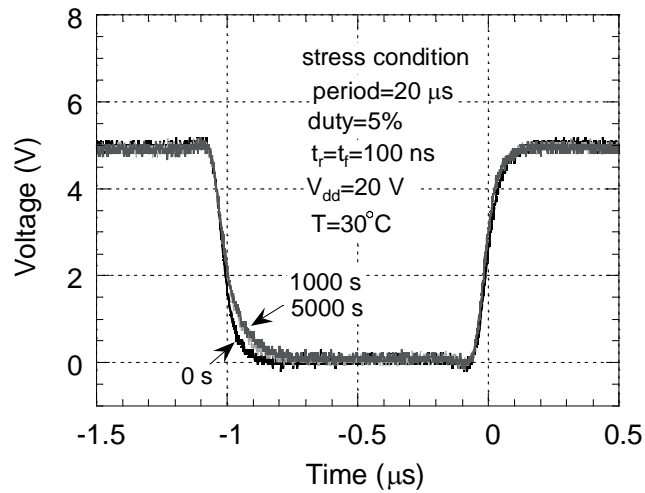


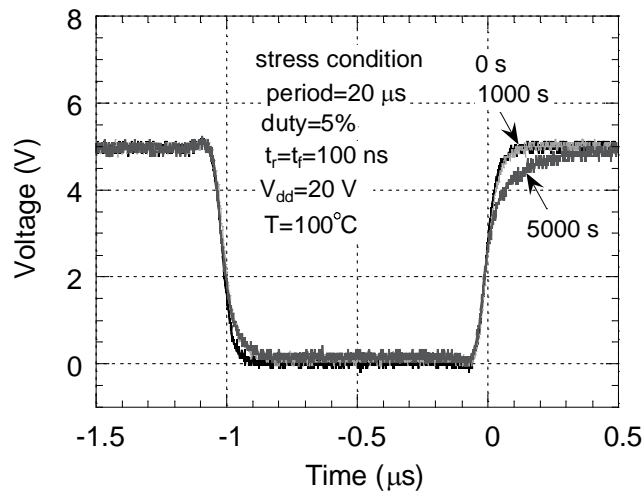
図 5.16 過渡変化時の p チャンネル TFT 劣化の t_r , t_f 依存性¹⁾

表 5.2 TFT 劣化を増加させる各種パラメータ変動方向¹⁾

parameters	n-channel LDD TFTs	p-channel SD TFTs
temperature	low	high
frequency	high	high
duty ratio	-	small
rising time	long	short
falling time	long	-



(a) T=30



(b) T=100

図 5.17 インバータ出力波形の経時変化¹⁾

5.4 OLED パネル試作結果

以上の解析で得られた結果を適用して OLED パネルを試作した⁶⁾。図 5.18 に試作した OLED パネルの回路ブロック図を示す。ゲートドライバ、ドレインドライバなどの周辺回路は CMOS TFT を用いて作製した。これらの周辺回路の中で最も動作速度が速いのはドレインドライバであり、シフトレジスタのクロック周波数は約 1 MHz である。従って、この試作ではシフトレジスタを構成する TFT の中でストレス電圧が最も高くなる p チャネル TFT をシミュレーションにより決定し、その p チャネル TFT の入力パルスの Duty 比を約 98% として劣化を抑制している。信頼性加速試験(ストレス印加 10,000 秒)において、Duty 比 2% の場合、シフトレジスタの動作可能最低電圧は 40% 上昇したのに対し、Duty 比 98%

の場合，動作可能最低電圧の上昇は 10%未満であることを確認した。OLED パネルの画像表示例を図 5.19 に示す。試作したパネルは，2.5 インチ，画素数は 640(H) × 240(V) (RGB デルタ配置)である。

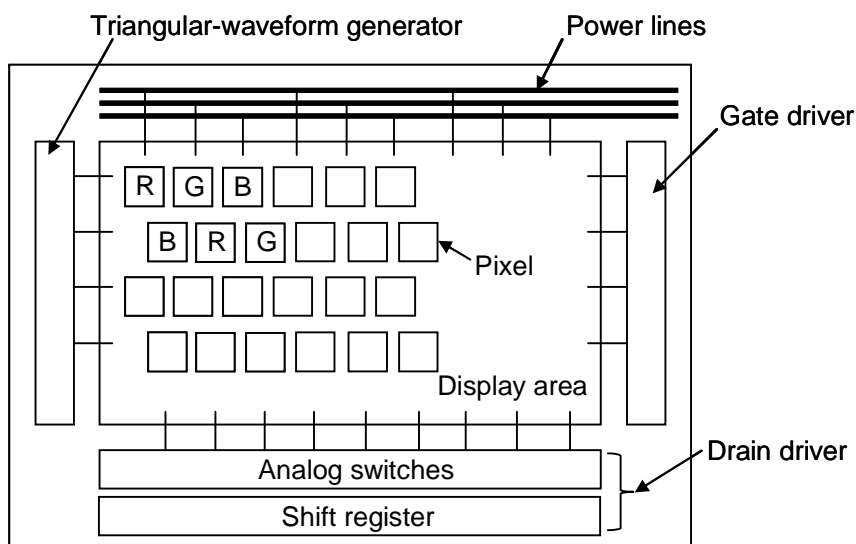


図 5.18 試作した OLED パネルの回路ブロック図⁶⁾



図 5.19 試作した OLED パネルの画像表示例⁶⁾

表 5.3 試作した OLED パネルの仕様⁶⁾

Panel size	50.7(H) × 46.4(V) mm
Display area size	2.5-in diagonal
Number of pixels	640(H) × 240(V) (RGB delta)

5.5 まとめ

本章では、n チャンネル TFT (LDD 構造) および p チャンネル TFT (SD 構造) の AC ストレス劣化メカニズムに基づき、実回路動作時の TFT 劣化特性を解析し以下の結論を得た。

- (1) n チャンネル TFT (LDD 構造) の劣化は、ON/OFF スイッチング時における DAHC ストレス劣化の累積が支配的であり、低温になるほど劣化が促進される。また、周波数が高いほど、 t_r , t_f が長くなるほど、累積 DAHC ストレス時間の増大により劣化が顕在化する。
- (2) p チャンネル TFT (SD 構造) の劣化は、ON/OFF スイッチング時における DAHC ストレスおよびオフ状態での電子注入により、オン状態における NBT ストレス劣化が加速されることが原因である。このため、温度が高いほど、Duty 比が小さいほど劣化が促進される。また周波数が高いほど、 t_r が短いほど、DAHC ストレスおよびオフ状態でのホットエレクトロン注入が起こり易くなるため劣化が顕在化する。
- (3) CMOS TFT を高速回路に適用する場合、n チャンネル TFT よりも p チャンネル TFT の方が劣化が大きくなるため、回路駆動方法としては、入力信号の Duty 比を大きくして p チャンネル TFT の劣化を抑制することが重要である。
- (4) 本章で得られた結果に基づき、入力パルスの Duty 比を約 98% とすることにより p チャンネル TFT の劣化を抑制し、ゲートドライバ、ドレインドライバなどの周辺駆動回路を内蔵した 2.5 インチ OLED パネルを試作した。

【参考文献】

- 1) Y. Toyota, M. Matsumura, M. Hatano, T. Shiba, and M. Ohkura, "Degradation characteristics of n- and p-channel polycrystalline-silicon TFTs under CMOS inverter operation," *IEEE Trans. Electron Devices*, vol. 57, pp. 429–436, Feb. 2010.
- 2) E. Takeda, Y. Ohji, and H. Kume, "High field effects in MOSFETs," in *Proc. Int. Electron Device Meeting*, 1985, pp. 60-63.
- 3) J. J. Tzou, C. C. Yao, R. Cheung, and H. Chan, "Hot-electron-induced MOSFET degradation at low temperatures," *IEEE Electron Device Lett.*, vol. 6, pp. 450-452, Sept. 1985.
- 4) T. H. Ning, "Hot-electron emission from silicon into silicon dioxide," *Solid State Electronics*, vol. 21, pp. 273-282, 1978.
- 5) Y. Uraoka, H. Yano, T. Hatayama, and T. Fuyuki, "Hot carrier effect in low-temperature poly-Si p-ch thin-film transistors under dynamic stress," *Jpn. J. Appl. Phys.*, vol. 41, pp. L13–L16, 2002.

- 6) H. Kageyama, H. Akimoto, N. Kasai, N. Tokuda, K. Kajiyama, N. Nakamura, and T. Sato, "A 2.5-inch low-power LTPS AMOLED display –using clamped-inverter driving- for mobile applications," in *Proc. SID Dig.*, 2006, pp. 1455-1458.

第 6 章 TFT の高性能化による性能と信頼性の両立技術

これまでの解析により，実回路動作における n チャネル TFT および p チャネル TFT の劣化要因が明らかとなった。どちらの TFT も，AC ストレスによる劣化促進には DAHC ストレスが関与しており，信頼性を向上させるためにはドレイン端の電界を緩和させることが有効である。ドレイン端電界を緩和し，性能と信頼性を両立させるためのアプローチとして 2 通りの方法が考えられる。1 つは GOLD 構造の適用であり，この効果については第 3 章で述べた通りである。そしてもう 1 つは電源の低電圧化である。すなわち，TFT の高性能化により電源の低電圧化を図り，性能と信頼性を両立させるという方法である。本章では，TFT の高性能化の方法として，ゲート酸化膜の薄膜化と，poly-Si 膜の高品質化について検討した結果を述べる。

図 6.1 に電源の低電圧化によって実現するシステムインディスプレイの概念図を示す。画素 TFT やゲートドライバなどの高耐圧 TFT 回路と，ドレインドライバなどの高性能 TFT 回路から構成される。高耐圧 TFT 回路は，液晶を駆動させるために高い駆動電圧が求められるが，動作速度は遅いため従来の LDD TFT で十分対応可能である。一方，高性能 TFT 回路は，高速動作が求められるため，TFT の高性能化および電源の低電圧化により性能と信頼性を両立させる必要がある。

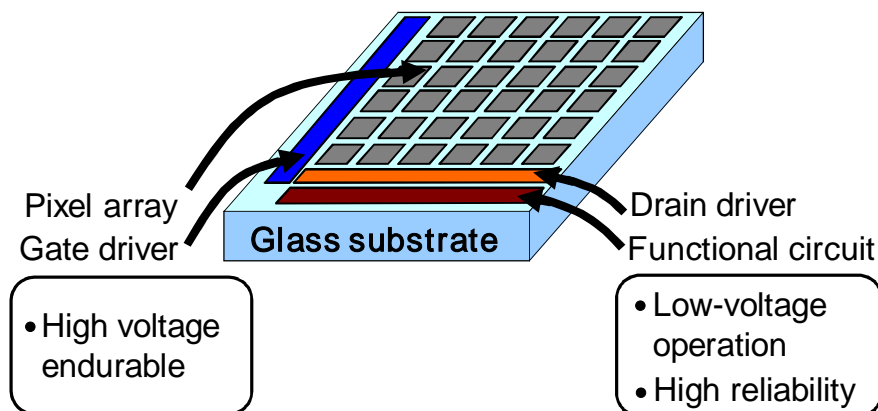


図 6.1 システムインディスプレイ概念図¹⁾

6.1 ゲート酸化膜の薄膜化

TFT の低電圧駆動を実現するためには，デバイス特性として S 値の改善と V_{th} の低減が求められる。ゲート酸化膜の薄膜化はこの両方に有効な技術である。本研究では，完全空乏型 SOI の理論式²⁾を基に，TFT の V_{th} 理論式を以下のように導出した。なお，簡単のため半導体層は単結晶 Si としている。

図 6.2 に TFT 内の電位分布概念図を示す。境界条件 $x=0$ のとき $\Phi = \Phi_{s1}$, $x=t_{si}$ のとき $\Phi = \Phi_{s2}$ としてポアソン方程式 $d^2 \Phi / dx^2 = qN_a / \epsilon_{si}$ ($q > 0$) を解くと,

$$\Phi(x) = \left(\frac{qN_a}{2\epsilon_{si}} \right) x^2 + \left(\frac{\Phi_{s2} - \Phi_{s1}}{t_{si}} - \frac{qN_a t_{si}}{2\epsilon_{si}} \right) x + \Phi_{s1} \quad (6-1)$$

となる。 N_a はアクセプタ濃度である。また, 電界は次式のように与えられる。

$$E(x) = -\frac{qN_a}{\epsilon_{si}} x - \left(\frac{\Phi_{s2} - \Phi_{s1}}{t_{si}} - \frac{qN_a t_{si}}{2\epsilon_{si}} \right) \quad (6-2)$$

ゲート SiO_2/Si 界面における電界は,

$$E(0) = -\frac{\Phi_{s2} - \Phi_{s1}}{t_{si}} + \frac{qN_a}{2\epsilon_{si}} t_{si} \quad (6-3)$$

$\text{Si}/$ 下地膜界面における電界は,

$$E(t_{si}) = -\frac{qN_a}{\epsilon_{si}} t_{si} + E(0) \quad (6-4)$$

Q_{s2} と Q_{ox2} を含む領域において, ガウスの法則を適用すると,

$$E(t_{si}) = -\frac{Q_{ox2} + Q_{s2}}{\epsilon_{si}} \quad (6-5)$$

(6-4)式を(6-5)式に代入すると,

$$E(0) = \frac{qN_a}{\epsilon_{si}} t_{si} - \frac{Q_{ox2} + Q_{s2}}{\epsilon_{si}} \quad (6-6)$$

ゲート SiO_2/Si 界面において, ガウスの法則を適用すると,

$$E_{ox} = \frac{\epsilon_{si} E(0)}{\epsilon_{ox}} - \frac{Q_{ox1} + Q_{s1}}{\epsilon_{ox}} \quad (6-7)$$

従って, ゲート酸化膜に加わる電圧は,

$$\begin{aligned} \Phi_{ox1} &= \frac{\epsilon_{si} E(0)}{C_{ox1}} - \frac{Q_{ox1} + Q_{s1}}{C_{ox1}} \\ &= \frac{qN_a}{C_{ox1}} t_{si} - \frac{Q_{ox1} + Q_{s1}}{C_{ox1}} - \frac{Q_{ox2} + Q_{s2}}{C_{ox1}} \end{aligned} \quad (6-8)$$

(6-3)式を(6-6)式に代入して, Φ_{s1} について解くと,

$$\Phi_{s1} = \frac{qN_a}{2C_{si}} t_{si} - \frac{Q_{ox2} + Q_{s2}}{C_{si}} + \Phi_{s2} \quad (6-9)$$

以上の式より, V_{th} は以下のように与えられる。表面のチャンネルが先に形成される($\Phi_{s1} > \Phi_{s2}$) 場合, $V_g = \Phi_{MS1} + \Phi_{s1} + \Phi_{ox1}$ に(6-8)式を代入し, $\Phi_{s1} = 2\Phi_F$, $Q_{s1} = Q_{s2} = 0$ とおくと,

$$V_{th} = \Phi_{MS1} + 2\Phi_F + \frac{qN_a}{C_{ox1}} t_{si} - \frac{Q_{ox1} + Q_{ox2}}{C_{ox1}} \quad (6-10)$$

$s_1 < s_2$, すなわち(6-9)式より $qN_a t_{si} < 2Q_{ox2}$ の時, バックチャネルが先に形成される。この場合, $V_g = \Phi_{MS1} + \Phi_{s1} + \Phi_{ox1}$ に(6-8)式, (6-9)式を代入し, $s_2 = 2\Phi_F$, $Q_{s1} = Q_{s2} = 0$ とおくと,

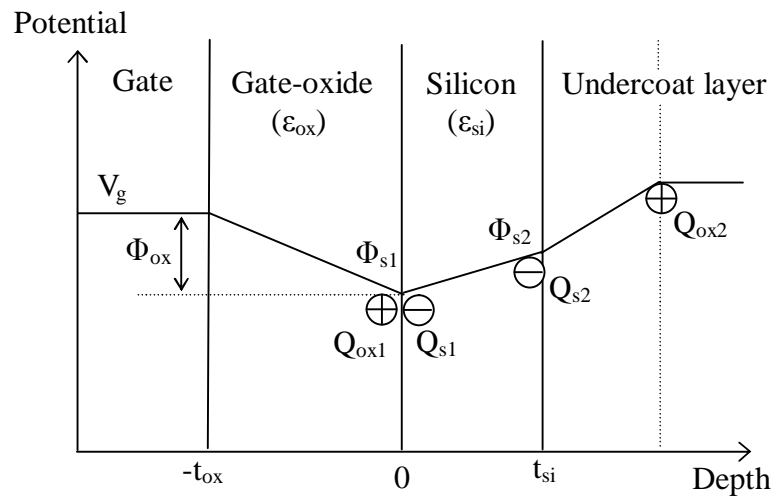
$$V_{th} = \Phi_{MS1} + 2\Phi_F + \frac{qN_a}{C_{ox1}} t_{si} + \frac{qN_a}{2C_{si}} t_{si} - \frac{Q_{ox1} + Q_{ox2}}{C_{ox1}} - \frac{Q_{ox2}}{C_{si}} \quad (6-11)$$

(6-10)式, (6-11)式よりゲート酸化膜を薄膜化すると C_{ox1} が増加するため, 固定電荷(Q_{ox1} , Q_{ox2}), アクセプタ濃度(N_a)の増加による V_{th} シフトを抑制できることがわかる。

また, S 値の理論式は, 単結晶 Si MOSFET での解析結果より以下のように与えられる。

$$\begin{aligned} S &\approx \ln 10 \cdot \frac{kT}{q} \left(1 + \frac{C_D + C_{IT}}{C_{ox}} \right) \\ &= \ln 10 \cdot \frac{kT}{q} \left(1 + \frac{C_D + C_{IT} t_{ox}}{C_{ox}} \right) \end{aligned} \quad (6-12)$$

ここで, C_D は空乏層容量, C_{IT} は酸化膜界面および粒界準位の等価容量である。



- Φ_{s1} : potential at the front interface
- Φ_{s2} : potential at the back interface
- Q_{ox1} : fixed charge at the front interface
- Q_{ox2} : fixed charge in the undercoat layer
- Q_{s1} : inversion charge in the front channel
- Q_{s2} : inversion charge in the back channel
- t_{si} : silicon thickness

図 6.2 TFT 内の電位分布概念図³⁾

図 6.3 に V_g - I_d 特性の t_{ox} 依存性を示す。ゲート酸化膜の薄膜化により、S 値が向上し V_{th} を低減できる。これは t_{ox} の減少に伴いゲート容量 C_{ox} が増加するため、(6-10)式 ~ (6.12)式に示したように、酸化膜界面および粒界準位の等価容量 C_{IT} の影響や、固定電荷 Q_{ox1} , Q_{ox2} , アクセプタ不純物 N_a の影響を抑制できるためである。図 6.4 に S 値の t_{ox} 依存性を示す。n チャンネル TFT, p チャンネル TFT とともに S 値と t_{ox} は線形関係にあり、その切片は 60 mV である。これらは、(6-12)式に示した関係と一致している。なお、 $t_{ox}=105$ nm での S 値が約 1 V と悪いが、これは結晶化を 600 °C、12 時間の N_2 アニール(固相成長)により行っており、ELA 法よりも粒界準位が多いためである。

ゲート酸化膜中または界面の固定電荷により V_{th} が負にシフトする場合、n チャンネル TFT に対してはボロンのイオン打込みによって V_{th} シフトを補正する必要がある。しかし、イオン打込みのドーズ量(以下、チャンネルドーズ量と記す)が多すぎると、 V_{th} が正にシフトし、TFT のオン電流が低下してしまう。(6-10)式、(6-11)式の右辺第 3 項より、ゲート酸化膜の薄膜化によりアクセプタ濃度 N_a の増加による V_{th} シフトを低減できることがわかる。そこで、チャンネルドーズ量を大きくし V_{th} を正にシフトさせた TFT を試作し、ゲート酸化膜の薄膜化による V_{th} シフトの抑制と、それに伴うオン電流向上の効果を解析した。

図 6.5 にチャンネルドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ の場合の V_g - I_d 特性を示す。 $W=100 \mu\text{m}$ の場合、 V_g - I_d 特性にハンブが現れている。このハンブ成分は $W=4 \mu\text{m}$ の特性と一致しており、 W に依存しないことから、poly-Si 端部におけるサイドチャンネル成分であると考えられる。poly-Si 端部では、poly-Si を垂直に加工しているため、P-TEOS のカバレッジが悪く膜厚が薄くなることに加え、形状効果により電界が集中し実効的な t_{ox} が減少している。そのため、実効的な t_{ox} が小さいサイドチャンネルは、平面成分よりも V_{th} シフトが小さくなり V_g - I_d 特性にハンブが現れる。

図 6.6 に $W=100 \mu\text{m}$ における V_g - I_d 特性の t_{ox} 依存性を示す。チャンネルドーズ量は $1 \times 10^{13} \text{ cm}^{-2}$ である。ゲート酸化膜の薄膜化により V_{th} シフトが抑制されオン電流が増加する。さらに、サイドチャンネル成分よりも平面成分の方が V_{th} シフト量が大きく減少するため、ハンブ特性も抑制されている。従って、ゲート酸化膜の薄膜化はゲート容量の増大によるドレイン電流の増加に加え、S 値の向上、 V_{th} シフトの抑制などの効果があり、電源電圧の低減に有効な技術といえる。

しかしながら一方で、ゲート絶縁膜を薄膜化すると耐圧が低下してしまうという課題がある。前述のように、低温 poly-Si TFT は、poly-Si 膜を島状に加工するため、poly-Si 端部において P-TEOS 膜のカバレッジが悪く耐圧低下が顕著である。そこで、TFT 性能を向上させるもう一つの方法として poly-Si 膜の高品質化技術について検討した。

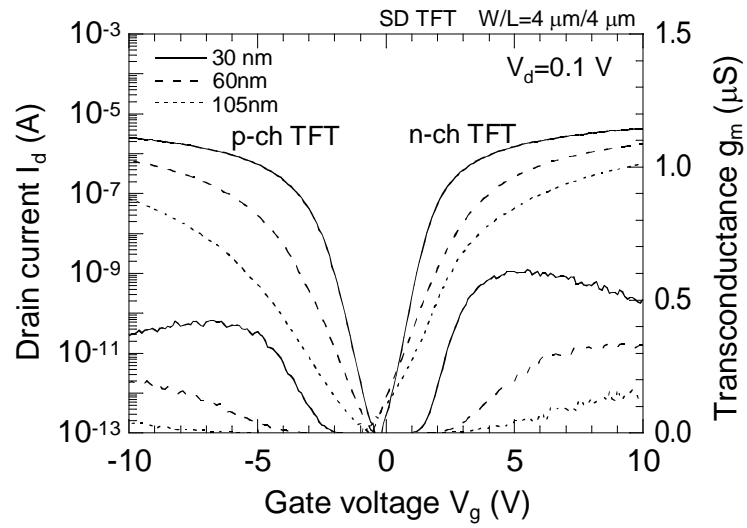


図 6.3 V_g - I_d 特性の t_{ox} 依存性

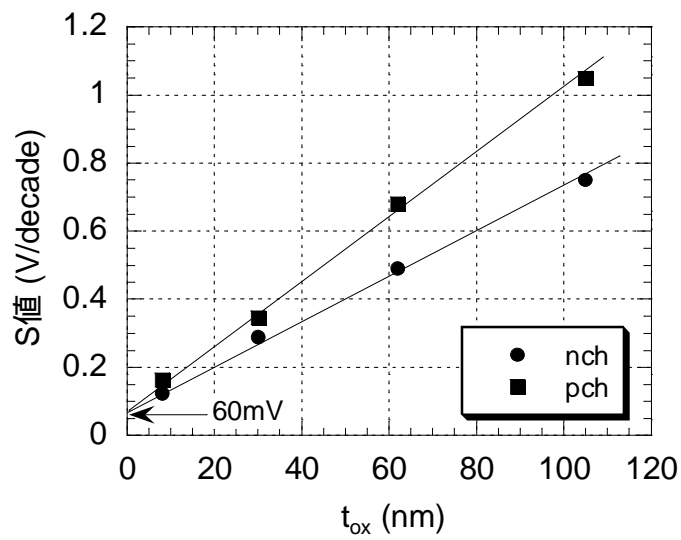


図 6.4 S 値の t_{ox} 依存性

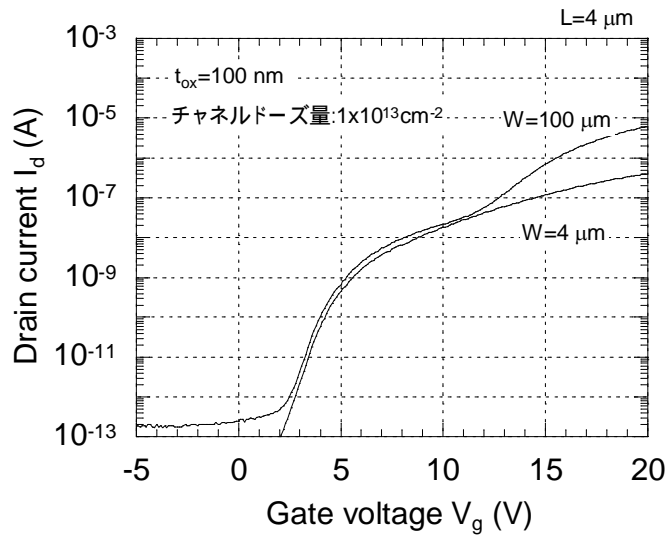


図 6.5 チャンネルドーズ量 $1 \times 10^{13} \text{cm}^{-2}$ における V_g - I_d 特性の W 依存性 ³⁾

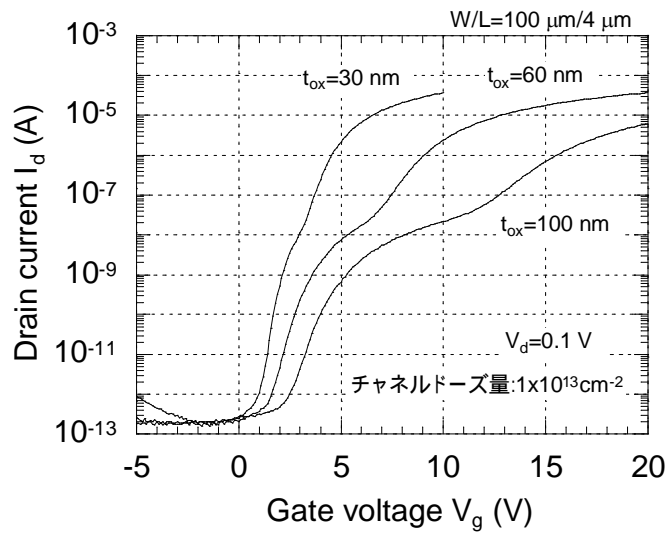


図 6.6 $W=100 \mu\text{m}$ における V_g - I_d 特性の t_{ox} 依存性 ³⁾

6.2 poly-Si 膜の高品質化

poly-Si 膜の高品質化技術として、SELAX (selectively enlarging laser crystallization) 法⁴⁾を適用した TFT の性能と信頼性を解析した。SELAX 法の概念図を図 6.7 に示す。SELAX 法とは、パルス変調された CW レーザを用いて、結晶をソース-ドレイン方向に大きく成長させる技術であり、ELA 法により結晶化した poly-Si 基板に CW レーザを照射することにより、選択的に高品質な poly-Si 膜を得ることができる。結晶化後は ELA TFT、SELAX TFT とともに同じプロセスを適用できるため、ゲート絶縁膜厚はともに 100 nm であり、ゲート耐圧を低下させることなく高性能 TFT を得ることができる。

図 6.8 に同じガラス基板上に作製した ELA TFT、SELAX TFT それぞれの V_g - I_d 特性を示す。ゲート長、ゲート幅はともに 4 μm 、デバイス構造は LDD 構造である。移動度および S 値は SELAX TFT において $300 \text{ cm}^2/\text{Vs}$ 、 0.19 V/decade 、ELA TFT において $110 \text{ cm}^2/\text{Vs}$ 、 0.33 V/decade である。SELAX poly-Si 膜の SEM 写真を図 6.9 に示す。図 2.3 に示した ELA poly-Si 膜の SEM 写真と比較すると、ELA poly-Si 膜は電流経路を横切る粒界が数多く存在するのに対し、SELAX poly-Si 膜は横方向に大きな結晶が成長しており、電流経路を横切る粒界が少ない。このため、SELAX TFT は ELA TFT よりも高い移動度を示す。図 6.10 に SELAX および ELA TFT の quasi-static C-V 特性を示す。この C-V 特性から界面準位密度 D_{IT} を求めたところ、SELAX TFT で $6 \times 10^{11} \text{ cm}^{-2}\text{eV}^{-1}$ 、ELA TFT で $9 \times 10^{11} \text{ cm}^{-2}\text{eV}^{-1}$ であった。(6-12)式からも明らかなように、界面準位密度が小さいほど S 値は向上する。このように、SELAX TFT は、ELA TFT よりも電流経路を横切る粒界が少なく、界面準位密度 D_{IT} が小さいため、高い移動度と急峻なサブスレッショルド特性を有している。

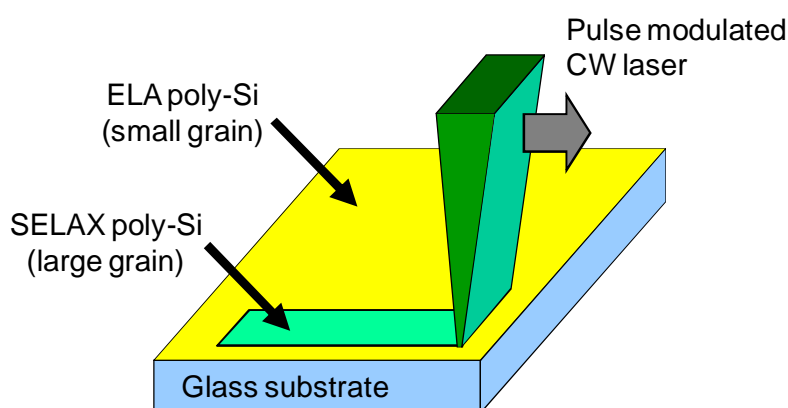


図 6.7 SELAX 法の概念図

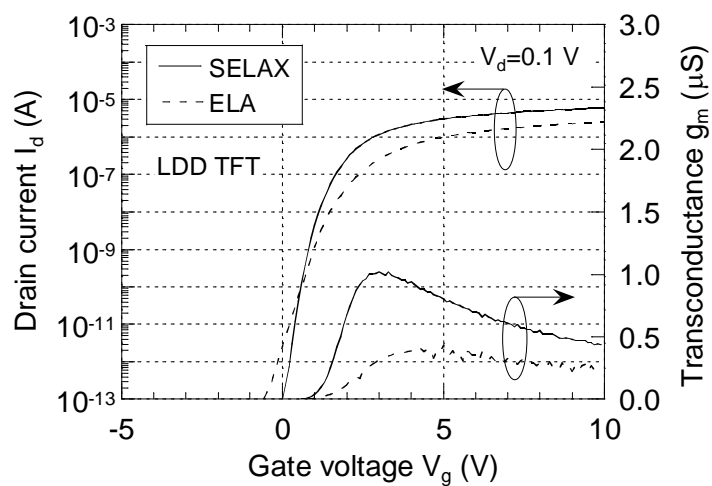


図 6.8 ELA TFT , SELAX TFT それぞれの V_g - I_d 特性¹⁾

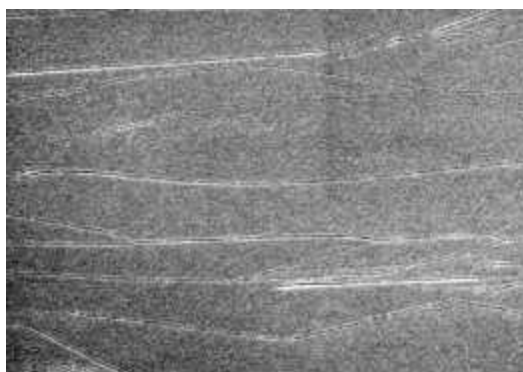


図 6.9 SELAX 法により結晶化した poly-Si 膜表面の SEM 写真⁴⁾

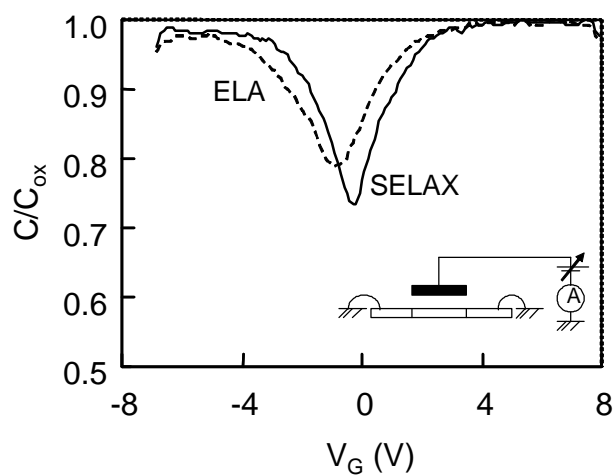


図 6.10 SELAX および ELA TFT の quasi-static C-V 特性¹⁾

オン電流 (I_{ON}) およびオン抵抗 (R_{ON}) の電源電圧 (V_{dd}) 依存性を図 6.11(a), (b) にそれぞれ示す。ここでは, I_{ON} は $V_g = V_d = V_{dd}$, R_{ON} は $V_g = V_{dd}/2$, $V_d = 0.1$ V とそれぞれ定義した。SELAX TFT と ELA TFT の比較から, SELAX TFT の適用による電源の低電圧化への効果は以下のように見積もることができる。図 6.11(a) より, ELA TFT と同じ I_{ON} を得るのであれば, SELAX TFT は ELA TFT よりも V_{dd} を 3 V 低くすることができ, さらに, 図 6.11(b) より ELA TFT と同じ R_{ON} を得るのであれば, SELAX TFT は ELA TFT よりも V_{dd} を 4 V 以上低くすることができる。

SELAX TFT と ELA TFT の信頼性を劣化寿命の理論式を用いて比較・解析した。単結晶 Si MOSFET の解析結果によると, 劣化寿命 (τ) は基板電流 (I_{sub}) に依存しており, その関係式は以下で与えられる⁵⁾。

$$\tau = A \cdot (I_{sub})^{-1} \quad A, l : \text{constant} \quad (6-13)$$

ここで, I_{sub} は, イオン化係数 (α) と I_d に比例し, α は以下の式で与えられる⁶⁾。

$$\alpha = B \cdot E_d \exp(-C / E_d) \quad B, C : \text{constant} \quad (6-14)$$

E_d はドレイン端電界である。(6-13)式と(6-14)式より τ は E_d と I_d を用いて以下のように表すことができる。

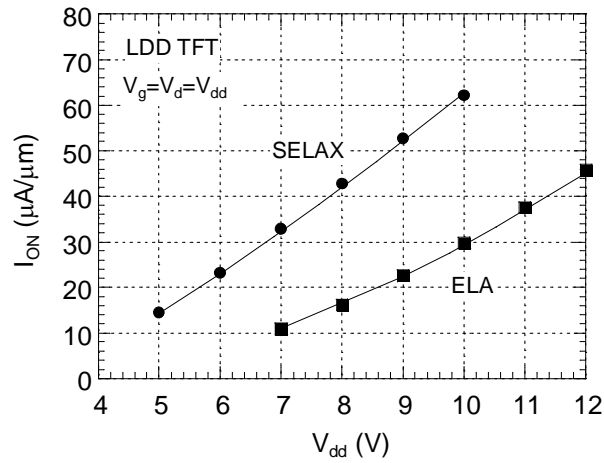
$$\tau = K \cdot (E_d)^{-1} \exp(D / E_d) \cdot (I_d)^{-1} \quad D, K : \text{constant} \quad (6-15)$$

(6-15)式は, E_d と I_d が小さいほど τ が大きくなる (信頼性が向上する) ことを示している。

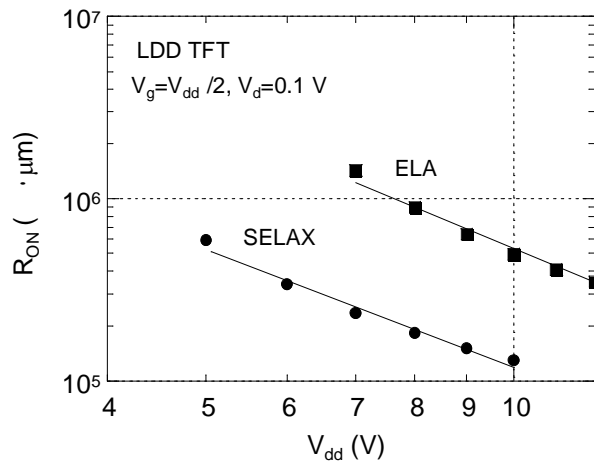
図 6.12 に DC ストレスによる劣化寿命 (τ) の V_{dd} 依存性を示す。ここで, 劣化寿命は DC-DAHC ストレスによって R_{ON} が 10% 増加する時間と定義した。図 6.12 に示すように, τ は SELAX TFT よりも ELA TFT の方が大きい。これは, ELA TFT は SELAX TFT よりもイオン化係数 α が小さく, インパクトイオン化により発生するホットキャリアが少ないためと考えられる。

また図 6.12 は, V_{dd} を小さくすると τ は指数関数的に増加することを示している。この特徴は(6-15)式からも明らかである。図 6.11 に示したように SELAX TFT は高性能化に伴い V_{dd} を低減できるため, これにより SELAX TFT においても LDD TFT と同等の信頼性を得ることができると考えられる。図 6.13, 図 6.14 に τ の I_{ON} および R_{ON} 依存性をそれぞれ示す。 I_{ON} , R_{ON} とともに同じ τ では, SELAX TFT の方が ELA TFT よりも高い性能を示している。従って, SELAX TFT は ELA TFT と同等の信頼性と ELA TFT 以上の性能を実現でき, 高性能・低電力回路に適しているといえる。

以上の結果より, SELAX 法は図 6.1 に示すシステムインディスプレイに有効な技術であると考えられる。図 6.1 において, 画素 TFT・ゲートドライバなどの高耐圧回路には ELA TFT を用い, ドレインドライバなどの低電圧回路には SELAX TFT を用いることにより, 高精細 (>300ppi) LCD の実現⁷⁾や, LCD の低消費電力化・高機能化が期待できる⁷⁾。



(a) オン電流(I_{ON})



(b) オン抵抗(R_{ON})

図 6.11 オン電流(I_{ON})およびオン抵抗(R_{ON})の電源電圧(V_{dd})依存性¹⁾

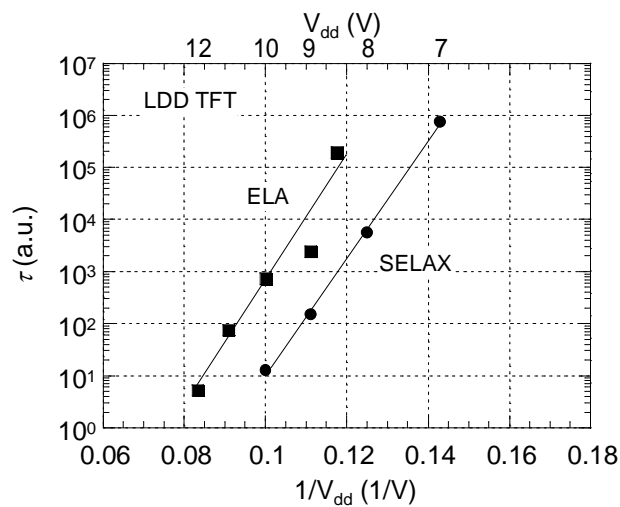


図 6.12 劣化寿命(τ)の電源電圧(V_{dd})依存性¹⁾

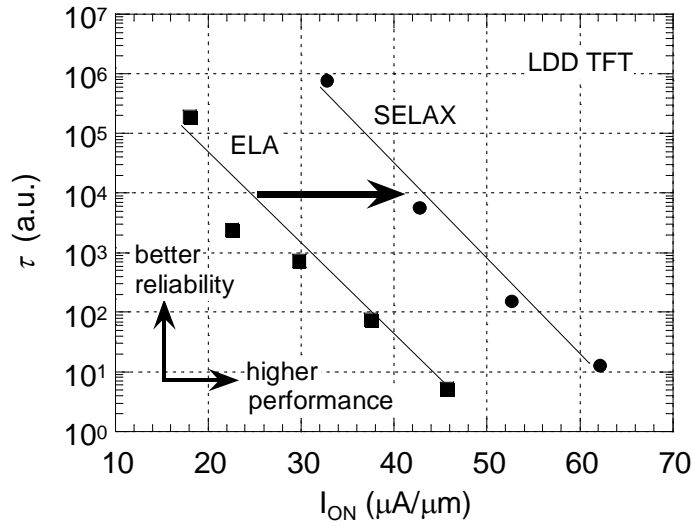


図 6.13 劣化寿命(τ) の I_{ON} 依存性¹⁾

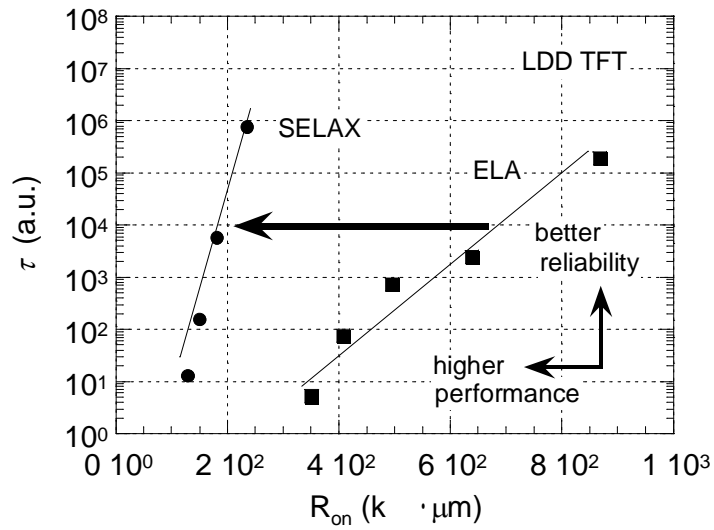


図 6.14 劣化寿命(τ) の R_{ON} 依存性¹⁾

6.3 まとめ

本章では、TFT の高性能化により電源電圧を低減し、性能と信頼性を両立させる方法としてゲート酸化膜の薄膜化と poly-Si 膜の高品質化について検討し、以下の結論を得た。

- (1) ゲート酸化膜の薄膜化により欠陥準位に起因した S 値の増加や、固定電荷・チャンネル内不純物に起因した V_{th} シフトを抑制でき、TFT の駆動電圧を低減できる。ただし、ゲート酸化膜の薄膜化によりゲート耐圧が低下するという課題もある。
- (2) SELAX 法は、結晶の成長方向を制御することにより、ソース-ドレイン方向に粒界の少ない高品質な結晶粒を形成でき、ELA 法よりも TFT の移動度、 S 値が向上する。
- (3) ELA TFT と同じ性能を得るのであれば、SELAX TFT は ELA TFT よりも電源電圧を 3 V 以上低くすることができる。さらに、電源電圧を低くすると劣化寿命は指数関数的に増加する。従って、SELAX TFT は電源の低電圧化により ELA TFT 同等の信頼性と ELA TFT 以上の性能を実現でき、高性能・低電力回路に有効である。

【参考文献】

- 1) Y. Toyota, M. Matsumura, M. Hatano, T. Shiba, T. Itoga, and M. Ohkura, "Integration of reliability with high current drivability by using SELAX technology for high-resolution (>300 ppi) system-in-displays," in *Proc. SID Dig.*, 2005, pp. 1439-1441.
- 2) J. P. Colinge, *Silicon-on-Insulator Technology: Materials to VLSI*, 2nd edition: Kluwer, p. 129.
- 3) Y. Toyota, T. Itoga, and T. Shiba, "Suppression of threshold-voltage fluctuation by thinning gate-oxide in poly-Si TFTs," in *Proc. AM-LCD Dig.*, 2002, pp. 247-250.
- 4) M. Tai, M. Hatano, S. Yamaguchi, T. Noda, S. K. Park, T. Shiba, M. Ohkura, "Performance of poly-Si TFTs fabricated by SELAX," *IEEE Trans. Electron Devices*, vol. 51, pp. 934-939, Jun. 2004.
- 5) E. Takeda and N. Suzuki, "An empirical model for device degradation due to hot-carrier injection," *IEEE Electron Devices Lett.*, vol. 4, pp. 111-113, Apr. 1983.
- 6) R. S. Muller and T. I. Kamins, *Device Electronics for Integrated Circuits*. Wiley, pp. 194-198, 1995.
- 7) T. Miyazawa, K. Goto, A. Hasegawa, M. Maki, H. Sato, T. Nagata, M. Ohkura, and N. Mamba, "An improved dynamic ratio less shift register circuit suitable for LTPS-TFT LCD panels," in *Proc. SID Dig.*, 2005, pp. 1050-1053.

第7章 結論

7.1 本研究で得られた成果

本研究では、(1) nチャネルおよびpチャネルTFTのDC/ACストレス劣化メカニズムを解析し、実回路動作時における低温 poly-Si TFTの電氣的ストレス劣化特性を明らかにすること、(2) 劣化メカニズムの解析結果に基づき、性能と信頼性の両立技術を検討することを目的とした。以下に本研究で得られた成果をまとめる。

第3章では、nチャネルTFTのACストレス劣化特性について、SD (single drain) TFTではACストレスにより劣化が促進されるが、LDD (lightly doped drain) TFTでは劣化促進は起こりにくく、DCストレスの累積による劣化が支配的になることを明らかにした。SD TFTにおけるACストレス劣化促進は、欠陥準位に捕獲された電子がゲートパルスの過渡的な変化に追従できず、ドレイン端電界が高くなるゲート Low レベルにおいて欠陥準位から放出されることが原因である。さらに、性能と信頼性の両立技術として GOLD (gate overlapped LDD) TFTを解析し、GOLD TFTはストレス時に発生した固定電荷などの影響をゲート電界によりスクリーニングできるだけでなく、高い n^- 濃度において電界を緩和できACストレス劣化促進を抑制できるためLDD TFTよりも高い性能と高い信頼性を有することを明らかにした。

第4章では、pチャネルTFTのACストレス劣化特性について、ゲート酸化膜への電子注入とホール注入の繰り返しにより移動度が急激に低下することを明らかにした。この劣化は、電子注入により実効的なゲート電圧が高くなり、ホール注入に起因したNBT (negative bias temperature) ストレス劣化が加速されることが原因である。pチャネルTFTの性能と信頼性の両立技術として、GOLD構造の適用により電界を緩和し電子注入を抑制すること、ゲート酸化膜の界面改質により電子注入やホール注入に対するストレス耐性を向上させることが有効であることを示した。

第5章では、第3章および第4章で得られた劣化メカニズムの知見に基づき、CMOSインバータ動作時のTFT劣化特性を解析した。nチャネルLDD TFTの劣化は、ON/OFFスイッチング時におけるDAHCストレス劣化の累積が支配的であり、低温になるほど劣化が促進され、周波数が高いほど、 t_r 、 t_f が長くなるほど劣化が顕在化することを明らかにした。また、pチャネルSD TFTの劣化は、ON/OFFスイッチング時におけるDAHCストレスおよびオフ状態での電子注入と、オン状態におけるNBTストレスでのホール注入の繰り返しが原因であり、温度が高いほど劣化が促進され、周波数が高いほど、Duty比が小さいほど、 t_r が短いほど劣化が顕在化することを明らかにした。さらに、nチャネルTFTよりもp

チャンネル TFT の方が移動度劣化が顕著であり，TFT 劣化抑制の観点から，回路駆動方法としては入力信号の Duty 比を大きくして p チャンネル TFT の劣化を抑制することが重要であることを示した。

第 6 章では，性能と信頼性の両立技術として，TFT の高性能化により電源の低電圧化を図り，性能と信頼性を両立させる方法を検討した。SELAX (selectively enlarging laser crystallization)法が TFT の高性能化に有効であり，SELAX TFT は，ELA TFT と同じ性能を得るのであれば，電源電圧を 3 V 以上低くでき，ELA TFT と同等の信頼性と ELA TFT 以上の性能を実現できることを明らかにした。

7.2 今後の展開と残された課題

今後の展開としては，ドレイン端の電界緩和やゲート酸化膜の界面改質を p チャンネル TFT に適用することにより，CMOS 回路全体の信頼性を向上することが挙げられる。また，本研究成果を用いると，回路駆動波形のシミュレーション結果から各 TFT の劣化寿命を予測でき，それをフィードバックすることにより信頼性を考慮した回路設計を行うことができる。このように本研究は，TFT の寿命予測技術としての展開も期待でき，開発期間の短縮などに貢献できる。

残された課題としては，しきい値ばらつきや低減が挙げられる。しきい値ばらつきが大きいと，冗長設計を行うため回路駆動電圧が高くなり，その結果，信頼性が低下してしまう。対策としては 6.1 節で述べたゲート酸化膜の薄膜化が有効であるが，薄膜化に伴いゲート耐圧が低下するという課題がある。TFT 作製プロセスにおける帯電防止技術や，ゲート酸化膜への電界集中を抑制し，耐圧を向上させるデバイス技術の開発が求められる。

謝辞

本論文の執筆にあたり，慶應義塾大学理工学部 松本智教授には多大なご指導とご助言を頂きました。心より感謝の意を表すると共に厚く御礼申し上げます。また，慶應義塾大学 桑野博名誉教授，慶應義塾大学理工学部 粟野祐二教授，太田英二教授，中野誠彦准教授には，丁寧なご指導を頂き深く感謝いたします。

本研究は，(株)日立製作所日立研究所ならびに中央研究所において行われたものです。同中央研究所 芝健夫研究主幹，波多野睦子環境エレクトロニクスプロジェクトリーダーには，トランジスタの信頼性を基礎からご指導頂き，研究を進める上でも多くのご指導とご助言を頂きました。また，本論文の執筆にあたっては親身なご指導と励ましを頂きました。同中央研究所 松村三江子主任研究員には，実験・解析において多くのご助言，ご討論を頂きました。(株)日立ディスプレイズ 大倉理開発本部長には，研究活動全般にわたり多くのご指導と貴重なご助言を頂くと共に，本研究に対し多大なご支援を頂きました。心より感謝申し上げます。

また，(株)日立ディスプレイズ 海東拓生部長代理，佐藤健史主任技師には，TFT プロセスについて多くのご指導を頂くと共に，有益なご助言・ご討論を頂きました。(株)日立製作所中央研究所 景山寛主任研究員には，回路技術についてご教示頂きました。深く感謝いたします。

著者がこの 12 年間の長期にわたり，本研究に従事することができたのは，川上潤三 元日立研究所長（現在，日立製作所顧問），西野壽一 元中央研究所長（現在，(株)ルネサステクノロジ取締役），福永泰 前中央研究所長（現在，研究開発本部技師長），小島啓二 中央研究所長を始めとして，木村勝高 元ソリューション LSI 研究センタ長（現在，生産技術研究所長），尾内享裕 前ソリューション LSI 研究センタ長（現在，研究開発本部研究戦略統括センタ長），長我部信行 研究開発本部長付（エレクトロニクス研究センタ長兼務），鳥居和功 ナノプロセス研究部長ならびに研究所の方々，(株)日立ディスプレイズ開発本部の皆様のご支援の賜物であり深く感謝いたします。

最後に，本論文の執筆にあたっては妻展子の支えも大きくここに感謝の意を表し結びといたします。

（2010 年 3 月）

本研究に関する発表論文

【印刷発表論文】

- 1) Y. Toyota, T. Shiba, and M. Ohkura, “A new model for device degradation in low-temperature n-channel polycrystalline silicon TFTs under ac stress,” *IEEE Trans. Electron Devices*, vol. 51, pp. 927–933, Jun. 2004.
- 2) Y. Toyota, T. Shiba, and M. Ohkura, “Effects of the timing of ac stress on device degradation produced by trap states in low-temperature polycrystalline silicon TFTs,” *IEEE Trans. Electron Devices*, vol. 52, pp. 1766–1771, Aug. 2005.
- 3) Y. Toyota, M. Matsumura, M. Hatano, T. Shiba, and M. Ohkura, “A new study on the degradation mechanism in low-temperature p-channel polycrystalline silicon TFTs under dynamic stress,” *IEEE Trans. Electron Devices*, vol. 53, pp. 2280–2286, Sep. 2006
- 4) Y. Toyota, M. Matsumura, M. Hatano, T. Shiba, and M. Ohkura, “Accelerated negative-bias temperature degradation in low-temperature polycrystalline-silicon p-channel TFTs under dynamic stress,” *IEEE Trans. Electron Devices*, vol. 54, pp. 2452–2459, Sep. 2007.
- 5) Y. Toyota, M. Matsumura, M. Hatano, T. Shiba, and M. Ohkura, “Degradation characteristics of n- and p-channel polycrystalline-silicon TFTs under CMOS inverter operation,” *IEEE Trans. Electron Devices*, vol. 57, pp. 429–436, Feb. 2010.

【口頭発表論文】

- 1) Y. Toyota, T. Shiba, and M. Ohkura, “Mechanism of device degradation under ac stress in low-temperature polycrystalline silicon TFTs,” in *Proceeding of IEEE International Reliability Physics Symposium*, pp. 278-282, 2002
- 2) Y. Toyota, T. Itoga, and T. Shiba, “Suppression of threshold-voltage fluctuation by thinning gate-oxide in poly-Si TFTs,” in *Proceeding of International Workshop on Active Matrix Liquid Crystal Displays AM-LCD*, pp. 247-250, 2002

- 3) Y. Toyota, M. Matsumura, M. Hatano, T. Shiba, T. Itoga, and M. Ohkura, "Integration of reliability with high current drivability by using SELAX technology for high-resolution (>300 ppi) system-in-displays," in *Digest of Technical Papers, Society for Information Display*, pp. 1439-1441, 2005.
- 4) Y. Toyota, M. Matsumura, M. Hatano, T. Shiba, and M. Ohkura, "Degradation mechanism in low-temperature p-channel polycrystalline silicon TFTs under dynamic stress," in *Proceeding of IEEE International Reliability Physics Symposium*, pp. 729-730, 2006.
- 5) Y. Toyota, M. Matsumura, M. Hatano, T. Shiba, and M. Ohkura, "Device degradation characteristics of low-temperature polycrystalline silicon p-channel TFTs under pulse stress," in *Proceeding of International Workshop on Active Matrix Flat Panel Displays AM-FPD*, pp. 61-62, 2007.
- 6) 豊田善章, 芝健夫, 大倉理 "ポリシリコン TFT のパルス電圧ストレスによる劣化機構" 第 61 回応用物理学会学術講演会, 6p-ZE-15, 2000.
- 7) 豊田善章, 芝健夫, 大倉理 "ポリシリコン TFT のパルス電圧ストレスによる劣化機構" 電子情報通信学会技術研究報告, SDM 2000-181, 2000
- 8) 豊田善章, 糸賀敏彦, 田井光春, 栗谷川武, 後藤康, 芝健夫, 大倉理 "Gate-overlapped LDD 構造による低温 poly-Si TFT の高信頼化技術" 電子情報通信学会技術研究報告, SDM 2001-202, 2001
- 9) 豊田善章, 芝健夫, 糸賀敏彦, 大倉理 "P-channel 低温 poly-Si TFT の電氣的ストレス劣化特性の解析" 第 64 回応用物理学会学術講演会, 1p-A-18, 2003.
- 10) 豊田善章, 松村三江子, 波多野睦子, 芝健夫, 大倉理 "P-channel 低温 poly-Si TFT のパルスストレス劣化特性の解析" 第 54 回応用物理学関係連合講演会, 29p-SM-18, 2007.