

# 主 論 文 要 旨

報告番号	甲 第 号	氏 名	吉田 洋一
主 論 文 題 目 :			
誘導結合インタフェースを用いた非接触ウェーハテストに関する研究			
(内容の要旨)			
<p>過去 30 年に渡る LSI 製造プロセスの微細化に牽引され、LSI チップは急速な小型化・高性能化を続けてきた。一方で、LSI システムの複雑化は LSI 製造工程におけるテストコストを急激に増加させる結果となった。テストコスト削減のためにテスト時間短縮を目指したウェーハテスト並列化の研究が続けられているが、プローブニードルの並列配置は、実装の難しさ・耐久性の低さ・位置合わせ精度等に問題があり、実現は現実的でない。この問題解決に向け、無線インタフェースを用いた非接触テスト技術の研究が始まったが、未だ高並列化された非接触ウェーハテストは実現されていない。そこで本研究では、誘導結合インタフェース技術を応用した高並列化可能な非接触ウェーハテストの開発を目指し、誘導結合チャンネルが近接配置された際に生じるチャンネル間クロストークを削減する技術の開発、同時双方向通信技術の開発、DC テストを非接触に実行するための基準電圧伝送技術の開発を目的とした。</p> <p>第 1 章に、本研究の背景である LSI テスト工程の持つ問題点と研究課題を概説した。</p> <p>第 2 章では、まず誘導結合インタフェース技術が研究され発展してきた背景・経緯について説明し基礎理論を解説した。次に誘導結合インタフェースの応用例を挙げ、その有用性について述べた。最後に本論文の主題である非接触ウェーハテストへの応用について議論した。</p> <p>第 3 章では、差動インダクタを誘導結合チャンネルに適用したクロストーク削減技術および同時双方向通信技術を提案した。差動インダクタが同相で入力される磁界信号に対する信号キャンセル効果を持つことを解説し、差動インダクタチャンネルはほぼチャンネルピッチを考えるとなしに近接した配置が可能であることを明らかにした。次に誘導結合を構成する差動インダクタ対の片方を水平面内で 90° 回転して配置する直交配置を定義し、その配置による信号キャンセル効果を電磁界シミュレーションにより検証した。さらに 2 組の差動インダクタチャンネルを直交配置したデュアルチャンネルを定義し、デュアルチャンネル内の 2 つのチャンネル間にクロストーク干渉がほぼ生じないことを利用した双方向通信インタフェースを提案した。提案技術は 0.18<math>\mu\text{m}</math> CMOS プロセスを用いた試作チップで性能評価を行った。2Gb/s の同時双方向通信を BER<math>&lt;10^{-12}</math> にて達成した。</p> <p>第 4 章では、DC テストを非接触に実行するために必要となる基準電圧伝送技術を提案した。送信回路が出力する非対称パルス数の制御により、任意のアナログ基準電圧を生成することが可能な受信回路を開発した。受信回路の出力電圧はデバイスばらつきや実装上の配置誤差によって変動するが、フィードバックチャンネルを用いたデジタルキャリブレーション技術により補正可能である。提案技術は 90nm CMOS プロセスを用いた試作チップによる実測で動作を実証した。出力電圧 0.15~1.1V のレンジにおいて、要求仕様を満たす 6bit の電圧分解能を達成した。</p> <p>第 5 章に、結論として各章で得られた内容をまとめ、本研究の成果を要約した。提案技術の適用により、テストコストを従来の 1/10 程度に削減できることを示した。</p>			
以上			

## SUMMARY OF Ph.D. DISSERTATION

School Integrated Design Engineering	Student Identification Number	SURNAME, First name YOSHIDA, Yoichi
Title  A Study on Inductive-Coupling Interface for Non-Contact Wafer Test		
Abstract <p>In the past 30 years, performance of LSI chip has been improved rapidly because of process scaling. On the other hand, complicated LSI system caused drastic increase of test cost. Therefore, highly-parallel wafer-level testing technique has been studied. However, increasing parallelism of wafer test by using more probe needles is very difficult due to problems of needle implementation to probe card, endurance of probe needle, and precise alignment. In order to solve the problems, research of non-contact testing technique with wireless interfaces has been started. Massively-parallel wafer test, however, has not been realized so far. In this study, crosstalk reduction technique, bi-directional communication technique, and DC voltage transmission technique were investigated for massively-parallel non-contact wafer test with inductive-coupling interfaces.</p> <p>Chapter 1 summarizes the background of LSI test.</p> <p>Chapter 2 describes background and motivation of the study of inductive-coupling inter-chip communications. Examples of LSI applications with inductive-coupling interfaces are introduced. Finally, the concept of non-contact wafer test is discussed.</p> <p>Chapter 3 describes crosstalk reduction technique and bi-directional communication technique using differential inductors. Differential inductor has strong immunity to common mode noise or crosstalk interference due to its physical shape. In order to make a bi-directional channel, two orthogonal differential inductor pairs are vertically overlapped. The bi-directional transceiver with on-chip differential inductor in 0.18<math>\mu</math>m CMOS was successfully demonstrated at 2 Gb/s without adding any complicated circuits and BER is less than <math>10^{-12}</math>.</p> <p>Chapter 4 describes DC voltage transmission technique for non-contact testing. A new inductive-coupling transceiver circuit was developed which can generate arbitral output DC voltage, <math>V_{OUT}</math> by controlling number of input pulses. In addition, digital calibration with digital feedback channel which calibrates <math>V_{OUT}</math> enables to compensate the affects which are caused by process variation and misalignment between probe-chip and DUT chip. The inductive-coupling DC voltage transceiver was fabricated in 90nm CMOS and successfully demonstrated. 6bit resolution wireless DC voltage transmission was achieved for the range of <math>V_{OUT}</math> from 0.15V to 1.1V.</p> <p>Chapter 5 summarizes the results of this study.</p>		